



HAL
open science

Contribution à la fiabilisation des interconnexions 3D dans le cadre du développement des capteurs photographiques

Stephane Moreau

► **To cite this version:**

Stephane Moreau. Contribution à la fiabilisation des interconnexions 3D dans le cadre du développement des capteurs photographiques. Sciences de l'ingénieur [physics]. Université Grenoble Alpes (UGA), 2024. tel-04524276

HAL Id: tel-04524276

<https://cea.hal.science/tel-04524276>

Submitted on 28 Mar 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

HABILITATION À DIRIGER DES RECHERCHES

Présentée par

Stéphane MOREAU

préparée au sein du **CEA-LETI**
proposée par le comité HdR **Électronique, Électrotechnique, Automatique et Traitement du signal (EEATS)** de l'Université de Grenoble Alpes

Contribution à la fiabilisation des interconnexions 3D dans le cadre du développement des capteurs photographiques

Habilitation soutenue publiquement le "12/01/2024",
devant le jury composé de :

M. Olivier THOMAS

Professeur, Université Aix-Marseille, Président

M. Alain BRAVAIX

Professeur et Directeur de Recherche, ISEN Yncréa Méditerranée Toulon, Rapporteur

M. Roland FORTUNIER

Professeur, Ecole Centrale de Lyon, Rapporteur

M. Guillaume PARRY

Maître de conférences hors classe, Grenoble INP, Rapporteur

Mme Hélène FREMONT

Professeur, Université de Bordeaux, Examineur

M. Eric WOIRGARD

Professeur, Université de Bordeaux, Examineur



« La fin du monde, c'est quand on cesse d'avoir confiance. »
Madeleine Ouellette-Michalska, journaliste et romancière québécoise

Remerciements

« *“Il n’est pas d’hiver sans neige,
de printemps sans soleil,
et de joie sans être partagée.”* »
Proverbe serbe

En ce moment charnière de ma carrière, je suis rempli d’une profonde gratitude envers ceux qui ont contribué à mon parcours académique et professionnel. Permettez-moi de prendre un instant pour exprimer mes sincères remerciements.

Tout d’abord, je tiens à adresser mes plus vifs remerciements aux rapporteurs Alain BRAVAIX, Roland FORTUNIER et Guillaume PARRY pour avoir consacré leur temps et leur expertise à évaluer mon travail avec rigueur et bienveillance. Leurs commentaires perspicaces ont été essentiels pour cette étape cruciale de ma vie académique.

Je souhaite également exprimer ma reconnaissance envers le président du jury, Olivier THOMAS, pour sa capacité à guider les débats et pour m’avoir motivé à m’engager dans la démarche d’H.D.R. Un remerciement spécial va à Hélène FREMONT pour avoir accepté de diriger plusieurs thèses que je proposais, mais surtout pour m’avoir, elle aussi, encouragé dans la démarche de soutenir cette H.D.R. et d’avoir assumé le rôle de tutrice dont la guidance éclairée a été un phare dans la réussite de cette épreuve. Sa sagesse, son soutien et sa confiance en moi ont été des moteurs dans les moments difficiles.

À Éric WOIRGARD, je suis reconnaissant pour le trait d’union qu’il représente entre ma soutenance de thèse et celle d’H.D.R. !

Je souhaite également exprimer ma gratitude envers mes collègues du CEA-LETI, dont la collaboration et le partage de connaissances ont été des piliers essentiels de mon développement professionnel. Leur soutien constant et leurs encouragements ont contribué de manière significative à ma croissance en tant que chercheur.

À mes chers (anciens) étudiants, je vous adresse mes remerciements les plus chaleureux. Votre curiosité, votre engagement et votre enthousiasme ont été une source constante d’inspiration pour moi. Travailler avec vous a été une expérience enrichissante, et je suis reconnaissant pour les échanges stimulants que nous avons eus ensemble.

Enfin, je ne saurais terminer sans exprimer ma profonde reconnaissance envers mes proches. Leur soutien indéfectible et leur patience infinie ont été le socle sur lequel j’ai pu construire mes ambitions académiques et professionnelles. Leur présence à mes côtés a été ma plus grande source de force et de motivation.

À vous tous, je vous adresse mes plus sincères remerciements. Vos contributions ont façonné mon parcours et ont fait de cette étape un moment inoubliable ; soutenir le jour de son anniversaire encore plus ! Puisseons-nous continuer à travailler ensemble vers de nouveaux horizons et à partager de nouvelles réussites.

Table des matières

Remerciements	i
Table des matières	iii
Introduction générale	1
1 Exploitation de la troisième dimension dans les circuits intégrés : origine, statut et problématiques d'un point de vue interconnexions et fiabilité	4
1.1 Courte histoire des interconnexions : de l'optimisation matériau à l'optimisation de l'architecture	5
1.1.1 La voie matériau comme axe d'amélioration	5
1.1.2 La voie de l'architecture comme axe d'amélioration	6
1.2 Les interconnexions de l'intégration 3D	10
1.2.1 La bille de brasure, l'ancêtre des interconnexions 3D	10
1.2.2 Le via traversant le silicium	11
1.2.3 La ligne de redistribution des signaux électriques	12
1.2.4 Le collage moléculaire ou collage direct	12
1.3 Notions de robustesse et de fiabilité pour les interconnexions électriques des circuits intégrés	14
1.3.1 Test de vie accélérée	15
1.3.2 Analyse statistique	15
1.3.3 Mécanismes et modes de dégradation des interconnexions électriques	17
1.3.4 Analyse de défaillance	28
1.4 La fiabilité des interconnexions 3D	30
1.5 Conclusion	32
2 L'avènement de l'intégration 3D dans les capteurs photographiques	34
2.1 Bref historique du capteur photographique	35
2.2 Du F.S.I. au B.S.I. et de l'intégration 2D à l'intégration 3D	36
2.3 Conclusion	39
3 Contribution à l'amélioration de la robustesse et de la fiabilité du TSV	41
3.1 Modes de défaillance de la brique TSV	42
3.2 TSV et électromigration	44
3.2.1 TSV-last Haute Densité, la technologie	44
3.2.2 Structure de test	45
3.2.3 Conditions de test et critère de défaillance	46
3.2.4 Évolution temporelle de la résistance, analyses de défaillance & analyses statistiques	46
3.2.5 Modélisation analytique de l'augmentation de résistance électrique	49
3.2.6 Loi d'extrapolation	52
3.3 Corrélation entre la cinétique de la dégradation électrique et de la dégradation physique par test <i>in situ</i>	55

3.3.1	Réalisation du banc de test	55
3.3.2	Caractérisation de la dégradation par électromigration	57
3.3.3	Relation résistance électrique et morphologie du défaut tueur	62
3.3.4	Rôle de la microstructure	64
3.4	Conclusion	69
4	Contribution à l'amélioration de la robustesse et à la fiabilité des interconnexions à base de collage Cu/SiO₂	71
4.1	Du collage direct au collage hybride	72
4.2	Potentielles menaces de fiabilité	73
4.3	Sensibilité à l'électromigration	75
4.3.1	Ère pré-industrielle	75
4.3.2	Ère industrielle	77
4.3.3	Étude de la corrélation entre temps à défaillance et volume de cuivre déplacé	84
4.4	Sensibilité à la diffusion du cuivre	87
4.4.1	Caractérisations BTS-TSV	87
4.4.2	Caractérisation EELS de la zone de désalignement, à l'interface de collage	91
4.4.3	Fiabilité diélectrique	93
4.5	Conclusion	98
5	La simulation numérique comme aide à la compréhension de l'analyse défaillance	100
5.1	Simulation numérique et diffusion du cuivre à l'interface de collage	101
5.1.1	Modèles et équations associées	101
5.1.2	Comparaison en 1D des 2 modèles	102
5.1.3	Application au cas réel du collage hybride	102
5.2	Simulation numérique et interaction puce/boîtier	105
5.3	Modélisation numérique et phénomène d'électromigration	107
5.3.1	Échelle locale & modélisation numérique de la dégradation par électromi- gration	107
5.3.2	Échelle circuit & modélisation numérique de la dégradation par électro- migration	109
5.4	Conclusion	112
	Conclusion générale et perspectives de recherche	114
	Bibliographie	I
A	Notice personnelle	XXI
A.1	État civil	XXII
A.2	Parcours académique	XXII
A.3	Parcours professionnel	XXII
A.4	Encadrement	XXIII
A.4.1	Thèses	XXIII
A.4.2	Post-docs	XXIV
A.4.3	Stages	XXIV
A.4.4	Publications et encadrements	XXV
A.5	Rayonnement scientifique et actions à l'international	XXV
A.5.1	Publications marquantes	XXV
A.5.2	Collaborations internationales	XXV
A.5.3	Insertion dans des réseaux	XXVI

A.5.4	Invitations	XXVI
A.5.5	Conférences et journaux	XXVII

Introduction générale

Ce mémoire scientifique fait la synthèse d'un certain nombre de travaux de recherche que j'ai eu l'occasion de mener ou co-encadrer au sein du CEA-LETI dans le domaine de la fiabilité de l'intégration 3D entre 2008 et 2023. Ce document est organisé en 5 chapitres. Les résultats de ces travaux sont issus en grande partie des différentes thèses co-encadrées et également de projets de recherche en partenariat avec des industriels. La très grande majorité de ces travaux de recherche a été valorisée dans des articles de revues et de conférences internationales.

Les deux premiers chapitres sont des chapitres introductifs afin de contextualiser mon activité de recherche. Le chapitre 1 traite de l'exploitation de la troisième dimension dans les circuits intégrés. Ce chapitre retrace les grandes étapes de l'évolution des interconnexions des circuits intégrés au travers des changements des matériaux constitutifs, du passage d'une intégration planaire (2D) à une intégration tridimensionnelle (3D), accompagnée de l'arrivée de son lot de nouvelles interconnexions. Pour terminer, un certain nombre d'éléments relatifs à la robustesse/fiabilité des interconnexions, thème central de ce mémoire, seront apportés (vocabulaire, concepts...) car nécessaires à une lecture sereine des chapitres 3 à 5. Le chapitre 2 retrace succinctement les événements marquants de l'évolution du capteur photographique depuis le film « argentique » au capteur photographique numérique intelligent. Le capteur photographique numérique se trouve être l'application sous-jacente ayant nécessité les recherches présentées, de manière non-exhaustive, dans ce mémoire.

Les chapitres 3 à 5 constituent des chapitres de résultats d'études réalisées en propre ou que j'ai co-encadrées.

Le chapitre 3 aborde la robustesse et la fiabilité des vias traversant le silicium ou *Through Silicon Via* (TSV), figure de proue de l'intégration *3D-packaging*. Après une succincte description des potentiels risques de défaillance de ces objets ou associés à ces objets, le chapitre traite principalement de la dégradation par électromigration du TSV-last Haute Densité. L'électromigration correspond de manière simpliste au déplacement d'atomes dans un conducteur induit par un flux d'électrons. Outre la localisation de la défaillance en fonction du sens de polarisation, la loi d'extrapolation des performances aux conditions normales d'utilisation est déterminée ainsi qu'un modèle analytique permettant de décrire l'évolution temporelle de la résistance électrique de la structure sous test. Ces résultats « post-mortem » sont confrontés à des résultats issus d'essais d'électromigration menés dans un microscope électronique à balayage pour obtenir une corrélation entre les cinétiques de la dégradation électrique et de la dégradation physique.

Le chapitre 4 change d'objet d'étude. On passe du TSV à une interconnexion à base de collage hybride. A l'image du chapitre précédent, le chapitre débute sur une succincte description des potentiels risques de défaillance de ce nouveau type d'interconnexion. Par la suite, des études relatives à une dégradation par électromigration ou par diffusion du cuivre dans la matrice oxyde environnante sont présentées.

Le dernier chapitre (chapitre 5) est une rapide mise en lumière de l'emploi de la simulation numérique dans le contexte de ces études de robustesse/fiabilité. Ce sujet est traité selon 3

thématiques : la diffusion du cuivre dans l'intégration collage hybride, les contraintes thermo-mécaniques consécutives à l'interaction puce-boitier ou encore l'électromigration.

Ce mémoire ne déroge pas à la règle, il se termine par une partie « conclusion et perspectives ». Une courte conclusion rappelle les thèmes discutés et les principaux résultats obtenus. Le diplôme d'Habilitation à diriger des Recherches (HdR) sanctionnant la capacité à diriger des études scientifiques mais aussi à définir ces études, à aller chercher des financements pour les mener à bien..., la sous-partie « perspectives de travail » s'attellera à exposer des pistes de recherche ainsi que les moyens de les financer. Ce travail s'appuie bien évidemment sur les résultats présentés au gré des chapitres « résultats » mais aussi par l'analyse des orientations prises par la micro-électronique internationale et mes aspirations personnelles.



Exploitation de la troisième dimension dans les circuits intégrés : origine, statut et problématiques d'un point de vue interconnexions et fiabilité

Sommaire

1.1	Courte histoire des interconnexions : de l'optimisation matériau à l'optimisation de l'architecture	5
1.1.1	La voie matériau comme axe d'amélioration	5
1.1.2	La voie de l'architecture comme axe d'amélioration	6
1.2	Les interconnexions de l'intégration 3D	10
1.2.1	La bille de brasure, l'ancêtre des interconnexions 3D	10
1.2.2	Le via traversant le silicium	11
1.2.3	La ligne de redistribution des signaux électriques	12
1.2.4	Le collage moléculaire ou collage direct	12
1.3	Notions de robustesse et de fiabilité pour les interconnexions électriques des circuits intégrés	14
1.3.1	Test de vie accélérée	15
1.3.2	Analyse statistique	15
1.3.3	Mécanismes et modes de dégradation des interconnexions électriques	17
1.3.4	Analyse de défaillance	28
1.4	La fiabilité des interconnexions 3D	30
1.5	Conclusion	32

D'un point de vue volontairement simpliste, le terme « interconnexion », appliqué au domaine de la micro-électronique, correspond à une ligne de métal à faible résistivité électrique (ou à conductivité électrique élevée) reliant différentes fonctions d'un circuit intégré (C.I.). Dans un cas strictement idéal, les interconnexions n'engendrent aucun délai de propagation du signal, prennent une place négligeable par rapport à la zone active/aux zones actives, sont bon marché et toujours fonctionnelles. L'expérience acquise depuis l'avènement de la micro-électronique (~ 60 ans) renvoie une réalité bien différente ! L'enjeu perpétuel des interconnexions consiste à atteindre des valeurs de délai de propagation du signal ($\tau = R \times C$), de dimensions, de coût et de fiabilité qui constituent un compromis acceptable pour leur mise en œuvre dans les circuits intégrés.

Ce chapitre se propose de retracer les grandes étapes de l'évolution de ces interconnexions au travers des changements des matériaux constitutifs, du passage d'une intégration planaire (2D) à une intégration tridimensionnelle (3D), accompagnée de l'arrivée de son lot de nouvelles interconnexions. Pour terminer, un certain nombre d'éléments relatifs à la robustesse/fiabilité des interconnexions, thème central de ce mémoire, seront apportés pour faciliter la lecture des chapitres suivants.

N. B. : la problématique des interconnexions étant très vaste (au niveau transistor, au niveau puce, au niveau boîtier, au niveau carte électronique, etc.), dans ce document, nous nous limiterons à celles relatives au niveau « puce ».

1.1 Courte histoire des interconnexions : de l'optimisation matériau à l'optimisation de l'architecture

1.1.1 La voie matériau comme axe d'amélioration

Depuis la création du premier circuit intégré (C.I.), en 1958 par Jacques Kilby, l'aluminium (Al) ou l'un de ses alliages (AlSi, AlCu) était le matériau principal des lignes d'interconnexions et l'oxyde de silicium (SiO_2), le matériau d'isolation (matériau diélectrique) pour séparer ces dernières. L'avènement des circuits hautement intégrés (*Very Large Scale Integration*, VLSI) ont mis en lumière des limitations associées à la brique « interconnexion ». La limitation majeure concerne le délai de propagation du signal électrique τ qui, à ces technologies avancées (250 nm et suivants), devient prépondérant devant le délai induit par la commande de la grille d'un transistor (cf. figure 1.1).

De ce constat, les industriels, IBM en tête en 1997 [IBM2011], ont été contraints de se tourner vers un nouveau matériau, le cuivre, pour les raisons suivantes :

- résistivité électrique plus faible que celle de l'aluminium ; -35 % (respectivement 17 et 28.10^{-9} Ohm.m) pour une interconnexion de même longueur, épaisseur et largeur ;
- conductivité thermique plus importante autorisant une dissipation thermique plus importante ;
- meilleure résistance au vieillissement par électromigration ;
- meilleures propriétés thermomécaniques garantissant notamment une meilleure tenue aux contraintes de cisaillement et donc aux ruptures adhésives.

Cependant, l'introduction du cuivre a nécessité une complète revisite du procédé de fabrication. Très schématiquement, il a fallu passer de la gravure soustractive des métaux au remplissage additif de tranchées ou de trous avec du cuivre. Ce nouveau procédé de réalisation des interconnexions a pris le nom de procédé « damascène » en rapport avec le mode de fabrication des épées et couteaux à Damas (Syrie), au Moyen-Âge.

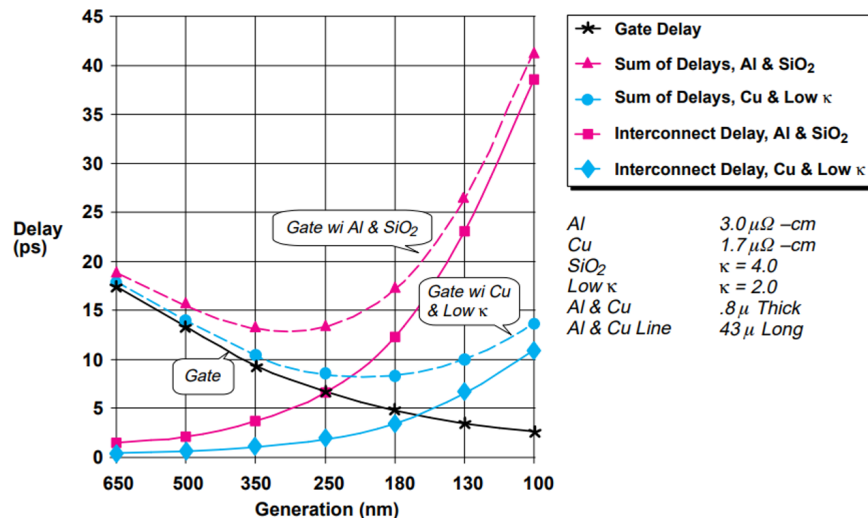


FIGURE 1.1 – Comparaison des contributions associées aux transistors et aux interconnexions en fonction de l'évolution des nœuds technologiques [source : ITRS - Technology Needs, 1997 Edition].

A cela s'ajoute le fait que le cuivre diffuse, sous forme atomique ou ionique, très facilement dans de nombreux matériaux de la micro-électronique annihilant tous les bénéfices de ce changement de matériau. Ainsi, il a fallu mettre en place des barrières pour garantir la fiabilité des circuits intégrés à interconnexions en cuivre.

En parallèle de ce changement, le diélectrique « conventionnel » a lui aussi évolué pour limiter l'explosion de ce délai de propagation du signal avec la réduction dimensionnelle des interconnexions. La composante capacitive de ce facteur peut être minimisée en passant à des matériaux à faible permittivité diélectrique ou *low-k* en anglais. Pour cela, le matériau diélectrique est rendu plus ou moins poreux en fonction des besoins. Le but étant de tendre vers une valeur de constante diélectrique relative (ϵ_r) de 1. Les appellations *low-k*, *ultra low-k* (ULK), *extreme low-k* (ELK) voire *air gap* sont alors employées respectivement lorsque les constantes diélectriques relatives sont autour de 3, 2,5 et en-dessous de 2,5 voire proches de 1 dans le cas de l'*air gap*. Cet exercice est d'autant plus difficile que plus la quantité de porosité s'accroît, plus le matériau diélectrique présente une tenue mécanique faible donc une fragilité accrue.

1.1.2 La voie de l'architecture comme axe d'amélioration

Ces principales restrictions technologiques relatives aux interconnexions ont joué et jouent encore un rôle déterminant sur les performances des circuits intégrés actuels et futurs. Ces limitations avaient pour conséquence de freiner l'augmentation de la densité d'intégration, rendant cette stratégie industrielle dite *More Moore* plus coûteuse et donc avec un avenir incertain. Or, les circuits électroniques actuels ont des spécifications de plus en plus avancées, essentiellement pilotées par les applications grand public (applications portatives, calcul « haute performance », automobile électrique et/ou autonome...). Les spécifications électriques et environnementales de ces produits sont principalement dictées par une augmentation significative des performances et de la fonctionnalité des circuits. Ainsi, sans volonté de juger la dynamique de création d'un nouveau produit électronique, celui-ci se doit d'offrir toujours plus de puissance de calcul, d'être plus compact, de consommer moins d'énergie et cela pour un tarif identique à la génération précédente voire même plus faible. Du fait de la concurrence internationale, la phase de conception s'effectue souvent à marche forcée pour garantir un délai de mise sur le marché le plus court possible. En bout de chaîne, le client final, consciemment ou non, s'attend à découvrir plus de fonctions qu'attendu. On a ainsi vu apparaître des fonctionnalités diverses intégrées sur une même puce, incluant

soit des technologies similaires, soit des technologies hétérogènes. Ces systèmes « tout-en-un » sont plus connus sous les appellations anglophones *System-on-Chip* (SoC) et *System-in-Package* (SiP) [Georgel2008]. Ils doivent être compris comme étant deux systèmes d'intégration complémentaires. Leur important développement leur fait jouer un rôle prépondérant dans les applications grand public actuelles. Néanmoins, les systèmes sur puce (SoC) se trouvent limités par leur grande complexité de conception, une des principales problématiques actuelles de la démarche de progression *More Moore*, et les systèmes en boîtier (SiP) doivent faire face à une mise en boîtier (*packaging*) de plus en plus complexe à réaliser et donc coûteuse, ce qui constitue la limite principale des systèmes hétérogènes de la démarche *More than Moore*.

Cependant, malgré les efforts fournis, les limites physiques de ces deux voies d'évolution approchent. Pour dépasser ce problème, un nouveau mode de conception des puces électroniques a émergé depuis une quinzaine d'années même si le concept est bien plus ancien [Lau2011, Kada2015] : l'utilisation de la troisième dimension.

L'intégration 3D consiste, dans sa version la plus perfectionnée, en l'empilement de circuits intégrés hétérogènes, c'est-à-dire des circuits intégrés présentant des technologies et des fonctionnalités différentes. Cette nouvelle architecture/intégration a été avant tout développée afin de réduire l'encombrement du circuit final, de diminuer la longueur des interconnexions et ainsi limiter les pertes par effet Joule et par conséquent les délais de transmission en comparaison d'un circuit 2D équivalent [Rousseau2009]. Pour illustrer ces propos, reprenons des estimations (cf. figure 1.2) présentées dans la feuille de route 2009 de l'ITRS pour l'assemblage et le packaging sur la base d'une intégration 2D présentant une surface de $3,8\text{ mm} \times 2,9\text{ mm}$ [ITR2009]. Ainsi, on pourrait s'attendre, par le passage à une intégration 3D, à une réduction de 35 % de la surface du nouveau circuit intégré, une amélioration de 40 % d'un point de vue puissance du signal et même une réduction de 45 % du coût de la mise en boîtier. Bien évidemment, la réalité est un peu plus complexe...

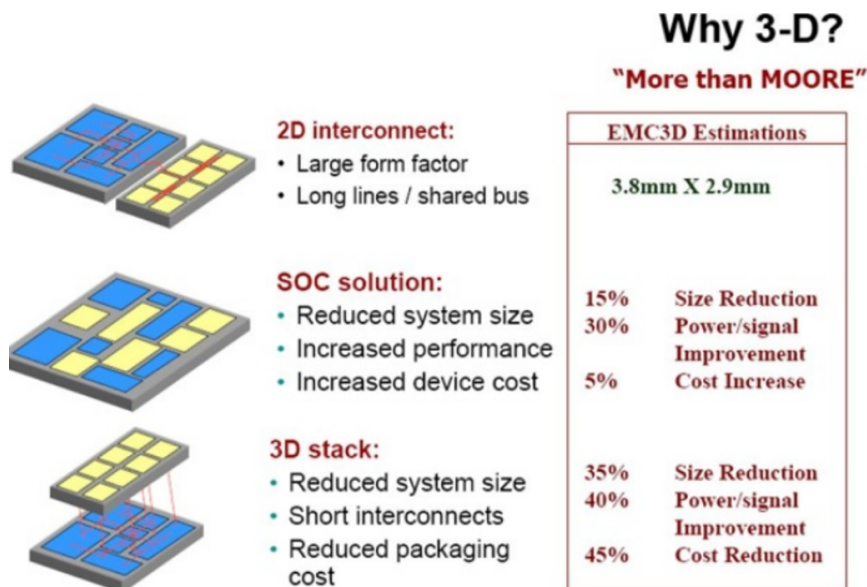


FIGURE 1.2 – Avantages d'un passage d'une intégration planaire (2D) à une intégration verticale dite intégration 3D. Source : [ITR2009].

Si l'intégration 3D n'a pas été appliquée plus tôt, c'est qu'elle nécessite un investissement initial colossal pour développer les nouveaux procédés de fabrication qu'elle requiert. En effet, il est nécessaire de développer de nouveaux procédés et de nouvelles technologies pour assurer les connexions qui permettent une communication électrique verticale entre chaque puce. Citons à ce propos, les vias traversant le silicium (*Through Silicon Vias*, TSV), les microbilles ou équivalents (pilier de cuivre, micro-insert, *stud bump*), le collage hybride et par extension la couche de

redistribution du courant (*ReDistribution Layer*, RDL).

La figure 1.3 présente une partie de ces interconnexions dans le cadre d'un Interposeur Actif (IntAct) développé pour les besoins du « calcul haute performance » [Coudrain2019]. Cet objet, issu des travaux du **programme 3D de l'IRT Nanoelec**, illustre parfaitement la complexité d'un assemblage 3D et notamment ses différentes échelles : du transistor (nanomètre) à la bille de brasure (centaine de micromètres) en passant par le TSV (micromètre). Même si en première approche, un béotien pourrait croire qu'il suffit de percer des trous dans les puces, de les remplir de métal pour avoir une conduction électrique face avant/face arrière et de coller des puces entre elles pour aboutir à cette fameuse intégration 3D, la réalité est évidemment tout autre. Il faut en effet maîtriser un nombre très conséquent de paramètres pour garantir la fabrication d'un tel assemblage ainsi que ses performances électriques, thermiques... et au final sa fiabilité.

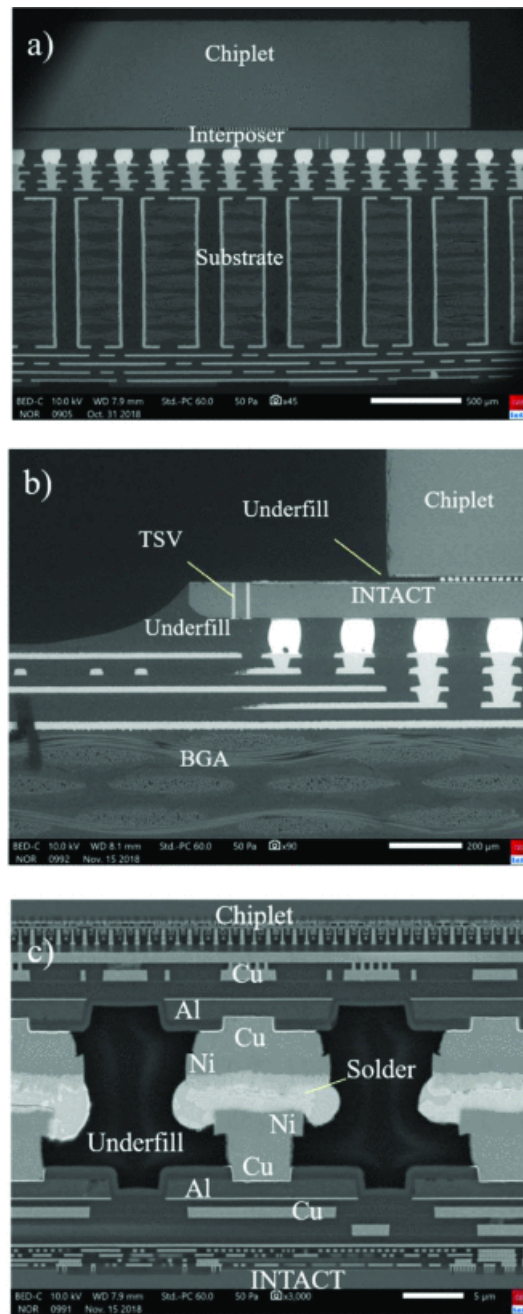


FIGURE 1.3 – Prototype d'interposeur actif ou IntAct, issu des travaux du programme 3D de l'IRT Nanoelec, pour les applications de type « calcul haute performance ». IntAct illustre la complexité d'un assemblage 3D et ses différentes échelles : a-b) puce multi-processeurs (épaisseur : 600 µm) reportée sur un interposeur actif fin (100 µm), lui-même reporté sur boîtier à matrice de billes (Ball Grid Array, BGA). TSV (diamètre : 10 µm, hauteur : 80 µm), micro-piliers de cuivre (10 µm de diamètre) et billes de brasure (80 µm de diamètre) c) zoom à l'interface puce/interposeur actif et notamment les micro-piliers de cuivre, le BEoL de la puce et de l'interposeur actif. Source : [Coudrain2019].

1.2 Les interconnexions de l'intégration 3D

1.2.1 La bille de brasure, l'ancêtre des interconnexions 3D

Même si le TSV a apporté une rupture technologique et transparait actuellement comme l'interconnexion emblématique de l'intégration 3D, reconnaissons que les microbilles ou leurs équivalents sont les premières interconnexions autorisant l'empilement vertical de puces même si le câblage filaire permet de réaliser de belles choses comme illustré sur la figure 1.4.

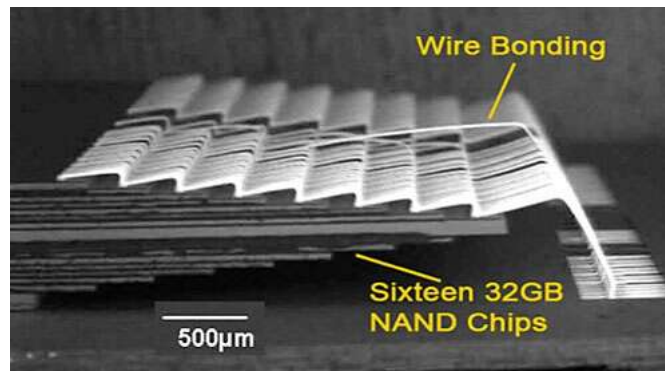


FIGURE 1.4 – Exemple de câblage filaire avancé réalisé par Toshiba dans le cadre d'une mémoire NAND de 64 Go présentant 16 puces empilées, amincies à 30 µm. Source : [Handy2010].

L'avènement de la technologie de report dite *flip chip* a été une étape importante de cette miniaturisation. Cette technologie, de soudage collectif de billes de brasure (cf. figure 1.5), a permis aux concepteurs de puces d'augmenter le nombre d'entrées/sorties (E/S) en les distribuant sur toute la surface de la puce par rapport à la technologie de liaison par fil qui n'utilisait que sa périphérie. L'utilisation de toute la surface de la matrice a permis de réduire la taille de la matrice et en même temps d'augmenter sa fonctionnalité.

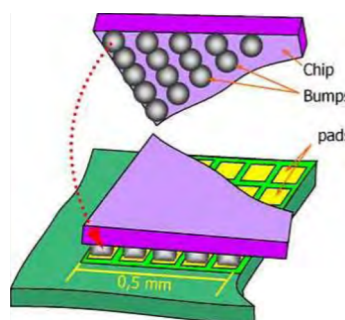


FIGURE 1.5 – Illustration schématique de la technologie flip chip. Source : [Pedder2010].

Cette technologie a bien évolué en 60 ans d'existence. Cette évolution peut-être divisée en 2 générations. La première génération a généralement un pas d'interconnexion supérieur à 40 µm et correspond, peu ou prou, à la bille de brasure de l'emblématique *Controlled Collapse Chip Connection* ou C4 d'IBM (cf. figure 1.6, schéma du haut). La deuxième génération, nommée usuellement pilier de cuivre, a été développée pour obtenir des pas d'interconnexion inférieurs à 40 µm (cf. figure 1.6, schéma du bas). La forme du pilier permet un rapport élevé entre la hauteur et le diamètre du pilier, permettant ainsi un pas d'interconnexion très serré même lorsque les hauteurs des cylindres sont importantes. Parfois, un capuchon de soudure est formé sur le sommet du pilier pour aider à la connectivité avec la puce à reporter. La capacité de dissiper la chaleur est un autre avantage de cette technologie, ce qui en fait de bons candidats pour les applications hautes performances. La hauteur du pilier peut varier de 5 à 100 µm pour un diamètre de 10 à

100 μm voire plus. La plupart des piliers actuellement en production ont une hauteur supérieure à 20 μm [AMK2019, CHI2022, SHI2022, SPI2022].

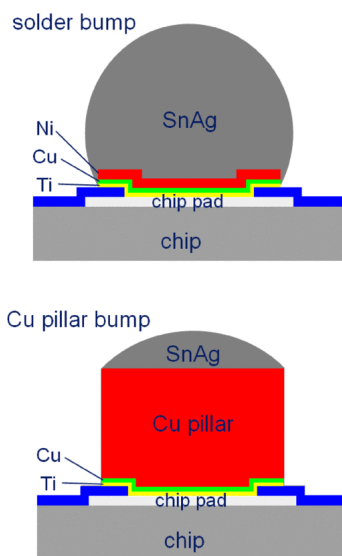


FIGURE 1.6 – Schéma de principe (haut) d'une bille de brasure et (bas) d'un pilier de cuivre. Source : [Ebersberger2008].

Ainsi, on voit très bien que le pilier de cuivre n'est que le petit frère des billes de brasure et que le premier étage de la fusée *intégration 3D*!

1.2.2 Le via traversant le silicium

Le second étage de cette fusée est le via traversant le silicium, figure de proue emblématique de l'intégration 3D. Cet élément n'est pas une idée récente puisqu'il est au cœur du brevet américain n°3044909, datant du 23 octobre 1958, du prix Nobel de Physique de 1956, William Shockley [Lau2011]. A l'époque, on ne parlait encore que de trou dans le silicium et l'idée n'intervenait pas dans le contexte d'un empilement de circuits (intégration 3D).

Le via traversant le silicium, plus connu sous l'acronyme anglophone TSV pour *Through Silicon Via* est une interconnexion qui relie électriquement le BEoL de la face avant et la couche de redistribution des signaux électriques (*Redistribution Layer*, RDL) de la face arrière. Sa hauteur est donc égale à l'épaisseur de silicium de la puce qui est elle même définie en fonction de l'application finale. Elle varie de quelques micromètres pour en atteindre quelques centaines.

Trois voies d'intégration sont généralement définies et illustrées schématiquement à la figure 1.7 [Malta2014, Gambino2015] : *via-first*, *via-middle* et *via-last*. La première intègre les TSV avant le FEOl, la seconde après le FEOl mais avant le BEoL, et la dernière après le FEOl et le BEoL. Le choix d'un schéma d'intégration dépend du cahier des charges du produit final. L'approche *TSV-first* n'est plus considérée comme une option viable en raison de limitations inhérentes, principalement, à la résistance électrique du TSV ainsi fabriqué. En effet, cette approche nécessite l'utilisation de polysilicium comme conducteur en raison des exigences de compatibilité avec les procédés de fabrication du FEOl et les températures élevées que le TSV doit pouvoir supporter pendant ces étapes de fabrication. Pour contrer cet effet, des vias à large diamètre ($> 100 \mu\text{m}$) sont fabriqués limitant de fait les applications aux MEMS ou encore à certains capteurs photographiques. Le choix entre une approche *TSV-last* et une approche *TSV-middle* est réalisé essentiellement en fonction des contraintes applicatives du futur circuit intégré desquelles vont découler des contraintes en terme de densité d'interconnexions et valeur de résistance par interconnexion.

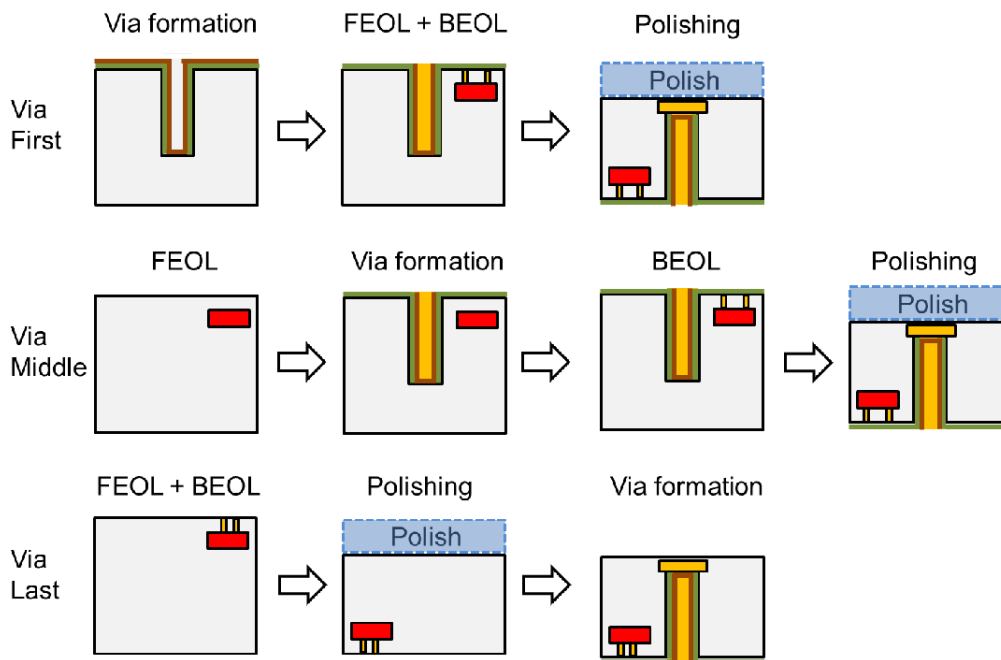


FIGURE 1.7 – Illustration des 3 voies d'intégration du TSV : via-first, via-middle ou via-last. Ces voies se distinguent par la chronologie de fabrication du TSV (grand pilier rectangulaire orange) eu égard à la fabrication du FEoL (rectangle rouge) et du BEoL (petits piliers oranges). Source : [Singulani2014].

1.2.3 La ligne de redistribution des signaux électriques

Le corollaire de cette densification a été le développement d'un nouveau niveau métallique, en surface des puces, afin d'assurer une redistribution des signaux entre les niveaux enfouis et les TSV et/ou les micro-billes/piliers de cuivre (cf. figure 1.8). La couche de redistribution ou *Redistribution Layer* (RDL) en anglais joue ce rôle.

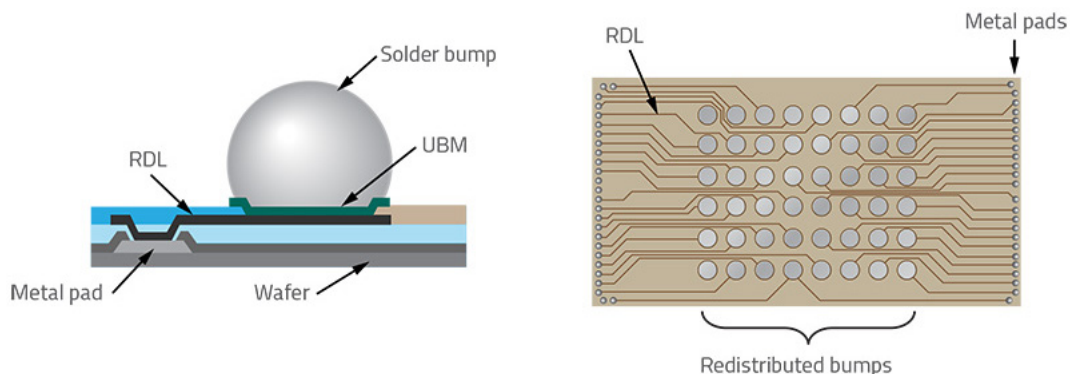


FIGURE 1.8 – Schéma de principe d'une ligne de redistribution ou RDL, vue en coupe (gauche) et de dessous (droite). Source : [Lepedus2018].

1.2.4 Le collage moléculaire ou collage direct

La technologie TSV bien que mature semble limitée à son tour pour répondre aux exigences les plus sévères en terme de densité d'intégration du fait de son encombrement relativement important même si de nouveaux développements avec des amincissements extrêmes des substrats pourraient

changer la donne [Jourdain2020]. A cela s'ajoute le fait que le remplissage métallique du TSV est complexe et nécessite un solide savoir-faire. Pour surmonter ces limitations, les acteurs du milieu ont commencé à chercher d'autres solutions. Un premier pas en avant vers une nouvelle façon d'empiler des puces a été la technologie ZiBond[®] développée par Ziptronix (maintenant XPeri), une variante du collage direct oxyde-oxyde qui met en jeu un procédé plaque à plaque basse température (150-300 °C). La seconde évolution a été de combiner le collage direct oxyde-oxyde local avec du collage direct métal-métal local, plus communément appelée aujourd'hui « collage hybride », afin d'obtenir une connexion électrique entre une plaque supérieure et une plaque inférieure. Cela a amené à la technologie DBI[®], pour *Direct Bond Interconnect*, en 2005 (cf. figure 1.9). La technologie a été transférée sous licence à des clients industriels et académiques, citons à ce titre Sony, Omnivision, le Fermilab, l'institut Fraunhofer EMFT..

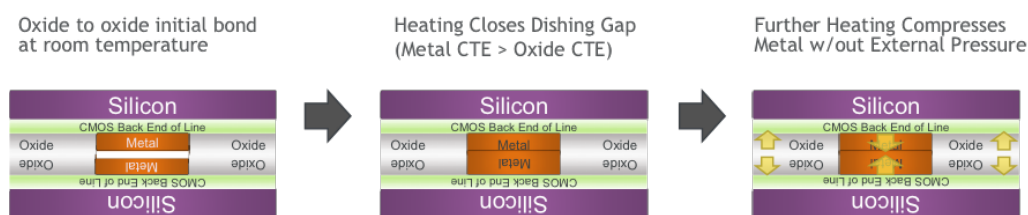


FIGURE 1.9 – « Collage hybride » selon le procédé DBI[®] de la société XPeri. Source : [von Trapp2018].

En parallèle, des instituts de recherche ont développé leur propre technologie :

- L'IMEC a opté pour un collage Cu/SiCN. Celui-ci permet d'abaisser la température du recuit de collage et potentiellement empêcher la diffusion du cuivre à l'interface de collage en cas de désalignement. La seconde particularité est l'utilisation de plots de différentes tailles. Les plots de la puce supérieure sont plus petits que ceux de la puce inférieure afin de garantir un contact total malgré le désalignement intrinsèque. Un pas d'interconnexion record de 720 nm a été atteint par cet institut de recherche [Beyne2017].
- Le CEA-LETI associé à STMicroelectronics a commencé à développer le collage hybride en 2008 [Di Cioccio2008]. Les derniers travaux publiés font état d'un pas d'interconnexion de 1,44 μm [Jourdon2018, Ayoub2020]. Plus d'informations seront données au chapitre 4.

1.3 Notions de robustesse et de fiabilité pour les interconnexions électriques des circuits intégrés

Le passage du stade de la preuve de concept à un produit commercialisable est conditionné non seulement par la réalisation maîtrisée des différentes étapes technologiques mais également la gestion des nouvelles contraintes générées par ces nouvelles interconnexions notamment d'un point de vue robustesse ou fiabilité.

Pour illustrer ces propos, prenons 3 exemples :

1. La réalisation du TSV nécessite l'amincissement des puces qui entraîne la diminution de leur rigidité mécanique. Cet amincissement a également des conséquences d'un point de vue thermique, puisque la quantité de silicium pour dissiper la chaleur générée par le fonctionnement du circuit se réduit. De très nombreux phénomènes de dégradation étant thermiquement activés, se pose un problème de robustesse/fiabilité.
2. Ce même TSV, du fait de son empreinte physique, génère des contraintes thermomécaniques qui peuvent perturber le fonctionnement des dispositifs actifs (FEoL) situés à proximité en changeant la mobilité des porteurs des composants MOS. Si ce fait est avéré, il est nécessaire de définir des zones d'exclusion (*Keep out Zone*, KOZ) autour de ces TSV sous peine d'avoir de mauvaises performances électriques et potentiellement un problème de robustesse/fiabilité.
3. Le collage hybride quant à lui, du fait du désalignement, inhérent à la précision d'alignement des équipements (200 nm à $\pm 3\sigma$ pour une approche plaque à plaque), présente, a priori, une faiblesse d'un point de vue diffusion du cuivre des interconnexions dans la matrice oxyde environnante. Le cuivre étant connu pour être néfaste à la fiabilité des oxydes se pose en conséquence la question de la robustesse/fiabilité du collage hybride de ce point de vue.

Ainsi, ce qui pourrait passer pour de petites évolutions technologiques, peut avoir des conséquences plus ou moins importantes en termes de robustesse/fiabilité et doivent donc être évaluées et quantifiées de ce point de vue.

Qu'entendons-nous par fiabilité ? Même si tout le monde emploie le terme « fiabilité » de nos jours, ce terme est souvent utilisé de manière inappropriée. Clarifions les choses en donnant une définition. L'agence française de normalisation ou AFNOR définit la fiabilité comme « l'aptitude d'une entité à accomplir une fonction requise, dans des conditions données, pendant un intervalle de temps donné » [AFN1988]. Naturellement, découlent de cette définition plusieurs notions comme le profil de mission, la défaillance et ses corollaires que sont la durée de vie et le critère de défaillance.

La défaillance est définie simplement comme étant la « cessation de l'aptitude d'une entité à accomplir une fonction requise » [AFN1988].

Une bonne illustration de cette notion de fiabilité est cette annonce de recrutement de la SCNF de 2009 (cf. figure 1.10) où l'on retrouve les notions de profil de mission (1 train toutes les 2 min), de durée de vie (100 ans) et en conséquence de fiabilité et de critère de défaillance.

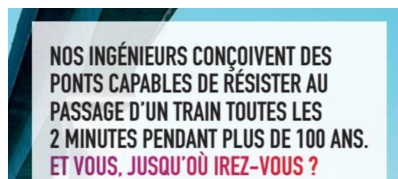


FIGURE 1.10 – Fiabilité et annonce de recrutement à la S.N.C.F. Source : [COOLTURE2009].

Le critère de défaillance consiste donc au franchissement d'une limite par l'état du système considéré. Il peut s'agir d'un état de ruine de la structure correspondant à une défaillance phy-

sique, on parle alors de dégradation catastrophique, ou d'un état correspondant en fait à un fonctionnement dégradé mais encore acceptable. Le critère de défaillance est fixé arbitrairement ou est fonction du cahier des charges du futur produit par exemple.

Comme indiqué peu avant, l'utilisation du terme fiabilité est souvent galvaudée. Par exemple ce mot est employé en lieu et place des termes « qualification » ou « robustesse ». La norme JEDEC JEP148B [JED2014] définit respectivement ces 2 termes comme : « processus consistant à démontrer qu'une entité est capable de satisfaire ou de dépasser les exigences spécifiées » et « capacité à fonctionner correctement ou à ne pas tomber en panne dans des conditions d'application et de production variables ». De manière grossière, la fiabilité permet de déterminer des durées de vie quant aux 2 autres, il ne s'agit que de savoir si l'on passe avec succès des tests normatifs.

1.3.1 Test de vie accélérée

Les tests de vie accélérée (*Accelerated Life Test*, ALT) sont des essais de vieillissement d'un objet (structure de test comme futur produit) en le soumettant à des conditions (température, tension, irradiation, fréquence de vibration, pression...) au-delà de ses conditions normales d'utilisation aussi bien en termes d'amplitude que de fréquence de sollicitation. En effet, dans des conditions normales d'utilisation, si un C.I. doit pouvoir fonctionner 10 ans sans connaître de défaillance, il n'est pas envisageable, principalement pour des raisons de vitesse de mise sur le marché mais également de coût (mobilisation d'un banc de test, d'un local...), de mener des essais de vieillissement pendant 10 ans afin de confirmer une telle fiabilité. Pour répondre à la question, des essais de vieillissement accélérés sont menés avec une ou plusieurs variables d'accélération.

Les méthodes d'essai accélérées peuvent être « qualitatives » ou « quantitatives ».

1. Les tests qualitatifs accélérés (*Highly Accelerated Life Test/HALT*, *Highly Accelerated Stress Test/HAST*...) sont principalement utilisés pour révéler les modes de défaillance probables de l'objet d'étude afin que, par exemple, les ingénieurs « produit » puissent améliorer la conception du produit.
2. Les tests quantitatifs de vie accélérée (*Quantitative Accelerated Life Test*, QALT) sont conçus pour produire les données nécessaires à l'analyse des données de vie accélérée. Cette méthode d'analyse utilise des données de vie obtenues dans des conditions accélérées pour extrapoler, via une loi d'accélération, une fonction de densité de probabilité estimée (*Probability Density Function*, PDF) pour l'objet en question dans des conditions normales d'utilisation.

En conséquence, un test accéléré de durée de vie permet de répondre aux types de questions suivants :

- A quel moment cet objet devrait-il présenter une défaillance ?
- Quel est l'effet de telle ou telle variable d'accélération sur la durée de vie d'un produit ?
- Quels sont les paramètres qui maximisent la durée de vie du produit ?

Le facteur d'accélération ne doit cependant pas être trop important car :

- l'invariance du facteur de forme (un seul mécanisme de défaillance) doit être conservée,
- on ne doit pas engendrer de mécanismes de défaillances que l'on ne verrait pas aux conditions normales d'utilisation, comme illustré à la figure 1.11.

1.3.2 Analyse statistique

Les statisticiens, les mathématiciens et les ingénieurs ont développé des modèles de relation « durée de vie-contrainte » qui permettent à l'analyste d'extrapoler une fonction de densité de

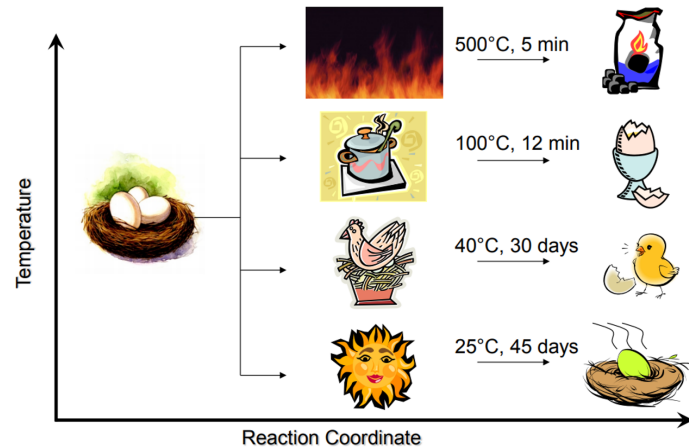


FIGURE 1.11 – Illustration du risque d'accélération dans une étude quantitative de vie accélérée. Source : [Sorensen2015].

probabilité aux conditions normales d'utilisation à partir de données de vie obtenues à des niveaux accrus de contraintes (cf. figure 1.12). Ces modèles décrivent le cheminement d'une durée de vie particulière de la distribution, appelée usuellement durée de vie caractéristique, d'un niveau de contrainte à un autre. Pour la distribution de Weibull et la la distribution log-normale, la valeur de cette durée de vie caractéristique est obtenue respectivement à 63,2 % et 50 % de dégradation. Toute la difficulté est de choisir la bonne distribution statistique pour décrire la répartition des dégradations puisqu'elle conditionne à la fois l'extraction de la durée de vie caractéristique mais également l'extrapolation aux conditions normales d'utilisation.

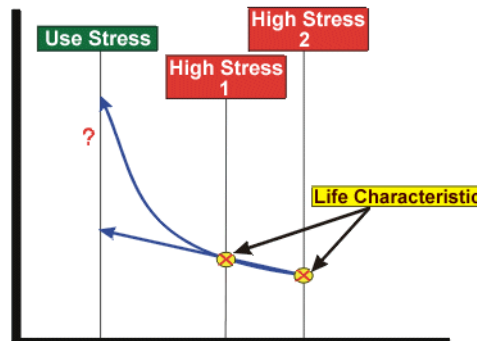


FIGURE 1.12 – Illustration de l'extrapolation par un modèle de relation « durée de vie-contrainte » des performances aux conditions normales d'utilisation à partir de données issues d'essais de vie accélérés. Source : [ReliaSoft Corporation2015].

Le praticien doit choisir une relation durée de vie-contrainte qui correspond au type de données analysées. Les relations « durée de vie-contrainte » disponibles incluent à titre d'exemples les modèles d'Arrhenius, d'Eyring et de loi de puissance inverse. Ces modèles sont conçus pour analyser les données avec un type de contrainte (par exemple, la température, l'humidité ou la tension). Alternativement, les relations température-humidité et température-contrainte non thermique sont des modèles combinés qui sont utilisés pour analyser les données avec deux types de contraintes (par exemple, température et tension, température et humidité).

Il est important de noter que nombre de ces relations ou modèles sont dits phénoménologiques, c'est-à-dire qu'ils expriment mathématiquement le résultat de l'observation d'un phénomène sans s'attarder à sa signification fondamentale. C'est principalement pour cette raison que la recherche des lois statistiques sous-jacentes, la vérification de l'indépendance des variables d'accélération, le cas échéant, ne sont souvent pas connues et/ou traitées. Comme l'écrivait le statisticien George

Box, « tous les modèles sont faux, mais certains sont utiles » [Box1976, Box1987] ! L’aphorisme reconnaît ainsi que les modèles statistiques/scientifiques sont toujours en deçà des complexités de la réalité mais peuvent toujours être utiles. Pour illustrer ce fait, à titre d’exemple, prenons la loi de Black propre aux dégradations par électromigration qui est une relation durée de vie-contrainte de type température-contrainte non thermique (température-courant électrique, cf. paragraphe 1.3.3). De nombreuses études ont montré très rapidement son incapacité à décrire finement de nombreux résultats expérimentaux mais malgré ce constat, depuis 50 ans, cette loi est utilisée de par sa facilité de mise en œuvre.

1.3.3 Mécanismes et modes de dégradation des interconnexions électriques

En premier lieu, clarifions les termes « mécanisme » et « mode défaillance » pour lever toute ambiguïté. Ainsi, la norme NF X60-011 [AFN1981], bien que obsolète, définissait ces 2 expressions de la manière suivante :

- Mécanisme de défaillance : processus physiques, chimiques ou autres qui conduisent ou ont conduit à une défaillance,
- Mode de défaillance : effet par lequel une défaillance se manifeste.

Ci-après sont présentés de manière succincte et non exhaustive les mécanismes de défaillance et les modes de dégradation associés aux interconnexions 3D.

Electromigration

L’électromigration étant le mécanisme de dégradation au cœur de ma thématique de recherche, volontairement la partie introductive qui lui est consacrée et plus conséquente que pour les autres mécanismes.

Historique L’électromigration est un mécanisme de transport de matière observé dans les métaux traversés par de fortes densités de courant. Ce phénomène est décrit pour la première fois en 1861 par un chercheur français, M. Gérardin. Mais ce n’est qu’à la fin des années 1960 qu’un réel tournant est marqué avec l’apparition des premiers circuits intégrés, dont la durée de fonctionnement n’est que de quelques semaines. L’électromigration y est identifiée comme la cause de la défaillance des interconnexions en aluminium qui transportent des densités de courant pouvant aller jusqu’à 1 MA/cm^2 [Blech1966]. A titre d’exemple, les câbles métalliques conventionnels transportent des densités de courant de l’ordre de 1 kA/cm^2 [DIN2013]. Le phénomène d’électromigration y est totalement négligeable ; leur utilisation est en fait limitée par l’auto-échauffement par effet Joule, pouvant entraîner la fusion des lignes. Dans le cas des interconnexions des circuits intégrés, l’auto-échauffement n’est plus un problème car la chaleur peut se dissiper via le silicium. Par contre, à ce niveau de densité de courant, l’électromigration devient le mécanisme de défaillance dominant.

Depuis 70 ans, avec la diminution constante de leur section, les interconnexions sont soumises à des densités de courant croissantes et donc une sensibilité accrue à la dégradation par électromigration. Ce phénomène de dégradation fait l’objet de nombreuses études. Celles-ci se concentrent sur la compréhension de la cinétique de dégradation et sur le développement de procédés de fabrication permettant d’améliorer la fiabilité des lignes métalliques. Du point de vue des procédés de fabrication, deux améliorations majeures sont ainsi intervenues. La première est l’utilisation de l’alliage AlCu, en remplacement de l’aluminium pur, ce qui a grandement amélioré la durée de vie des interconnexions. L’incorporation d’une faible quantité de cuivre (jusqu’à $\sim 4 \%$ atomique) [Tao1991, Shih1995] a permis de limiter la diffusion par les joints de grains qui sont le principal chemin de diffusion pour l’aluminium. En 1997, un changement radical intervient avec l’introduction du cuivre par IBM [IBM2011]. Comme vu précédemment (cf. partie 1.1.1, p. 5) ce choix est notamment justifié par une meilleure conductivité électrique, comparé à l’aluminium,

mais aussi à sa meilleure résistance à la dégradation par électromigration et ainsi augmenté la durée de vie des lignes métalliques [Alam2005].

Physique de l'électromigration Le champ électrique appliqué à une interconnexion pendant le fonctionnement du C.I. polarise le mouvement net des ions métalliques dans la direction du flux d'électrons (c'est-à-dire de la cathode à l'anode). Ce flux net d'atomes est causé par l'électromigration, qui peut être décrite comme l'auto-diffusion des ions métalliques en réponse à un champ électrique. Le flux atomique est principalement le résultat de deux forces d'entraînement opposées : la force du vent électronique déplaçant les ions dans la direction du flux d'électrons et une force contraire qui pousse les ions dans la direction opposée (cf. figure 1.13).

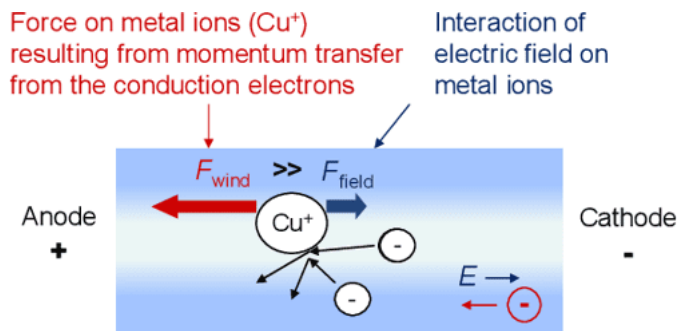


FIGURE 1.13 – Illustration des forces en jeu dans le phénomène d'électromigration. Deux forces agissent sur les ions métalliques qui composent le réseau du matériau d'interconnexion. L'électromigration est le résultat de la force dominante, c'est-à-dire du transfert de la quantité de mouvement des électrons qui se déplacent dans le champ électrique appliqué. Source : [Lienig2018b].

Le flux atomique (J) peut être décrit par l'équation suivante, dans un problème unidimensionnel (1D) :

$$J = -\frac{DC}{k_B T} \times \left(Z^* e E - \Omega \frac{d\sigma_H}{dx} \right) \quad (1.1)$$

D étant la diffusivité thermique atomique (m^2/s), C , la concentration atomique ($1/m^3$), k_B , la constante de Boltzmann (eV/K), T , la température (K), Z^* , la charge effective apparente (sans unité), e , la charge élémentaire ($A \times s$), E , le champ électrique (V/m), Ω , le volume atomique (m^3) et σ_H , la contrainte hydrostatique (Pa).

L'électromigration est bel et bien un problème de fiabilité car pouvant conduire à une défaillance des interconnexions. Les défaillances se produisent sur des sites de divergence de flux atomique, c'est-à-dire où le flux net d'atomes est non nul. Aux sites où il y a un manque d'atomes métalliques, les contraintes mécaniques locales deviennent de plus en plus de traction, ce qui peut éventuellement conduire à l'apparition de cavités dans l'interconnexion une fois qu'une valeur critique de contrainte de traction est atteinte (σ_{crit}). Dans le cas d'interconnexions de type BEoL, ces dernières sont entourées de couches de matériaux réfractaires (SiN, SiC, SiCN...). Le courant électrique peut passer à travers ces couches une fois qu'une cavité s'est formée. Du fait d'une résistance électrique supérieure de ces matériaux, un saut de résistance est observé. Cette augmentation peut devenir trop élevée par rapport au cahier des charges « produit », moment auquel l'interconnexion sera alors considérée comme défaillante. À l'extrême, cet état peut conduire à la défaillance par circuit ouvert. Aux sites où il y a une nette accumulation d'atomes, les contraintes locales deviennent de plus en plus compressives, ce qui peut conduire à la formation d'extrusions métalliques. Une défaillance par court-circuit peut se produire si le métal extrudé touche une interconnexion voisine.

Le lecteur soucieux d'en apprendre plus sur la physique de l'électromigration pourra se reporter, par exemple, aux ouvrages suivants : [Ohring1998a, Tan2010c, Doyen2009].

Tests accélérés et extrapolation aux conditions normales d'utilisation Comme décrit précédemment (cf. parties 1.3.1, p. 15 et 1.3.2, p. 15), l'évaluation de la résistance au phénomène d'électromigration passe par des tests accélérés en termes de température et de densité de courant dont les résultats sont ensuite extrapolés aux conditions normales d'utilisation. Cette extrapolation repose très généralement sur la loi empirique issue des travaux de J. R. Black [Black1967]. Ce modèle relie le temps moyen à la défaillance (*Mean Time To Failure*, MTF) à la température et à la densité de courant de la manière suivante :

$$MTF = \frac{A}{J^n} \times \exp\left(\frac{E_a}{k_B T}\right) \quad (1.2)$$

où A est une constante déterminée empiriquement, J, la densité de courant électrique (A/m^2), n, l'exposant de dépendance à la densité de courant électrique, E_a , l'énergie d'activation (eV/K) associée à la dégradation par électromigration, les paramètres restants ayant leur signification courante. Il est à noter que, comme mentionné par Black [Black1969], la constante A regroupe la contribution de diverses propriétés physiques telles que la section de la ligne métallique sous test, la résistivité électrique du métal, le libre parcours moyen des électrons et la vitesse moyenne...

Par cette extrapolation, il est possible de déterminer si une technologie d'interconnexion est fiable (cf. définition 1.3, p. 14) et par voie de conséquence si cette dernière requiert une amélioration/optimisation aussi bien d'un point de vue du *design* que d'un point de vue du procédé de fabrication.

Ce modèle empirique permet de déterminer soit le courant d'usage ou le courant maximum pour une durée de vie, une température de fonctionnement et un taux de défaillance donnés. À l'inverse, il est possible de déterminer la température d'usage pour une durée de vie, une température de fonctionnement et un taux de défaillance donnés. Pour obtenir ces grandeurs, un rapport des lois de Black entre conditions cibles et conditions accélérées est employé :

$$\frac{MTF_{cible}}{MTF_{acc}} = \left(\frac{J_{acc}}{J_{cible}}\right)^n \times \exp\left[\frac{E_a}{k_B} \times \left(\frac{1}{T_{cible}} - \frac{1}{T_{acc}}\right)\right] \times \exp(N\sigma) \quad (1.3)$$

où MTF_{cible} étant le temps moyen à la défaillance aux conditions normales d'utilisation, MTF_{acc} correspondant au temps moyen à la défaillance aux conditions accélérées. J_{acc} et J_{cible} sont respectivement la densité de courant (A/m^2) en conditions accélérées et en conditions normales d'utilisation. T_{acc} et T_{cible} sont respectivement les températures en conditions accélérées et en conditions normales d'utilisation. N est une constante qui permet une mise à l'échelle des temps à la défaillance (passer de 1 à 0,1 % de dégradation par exemple). σ est l'écart-type des temps à la défaillance et les autres paramètres conservent les définitions précédemment données.

Pertinence de loi de Black et de la distribution statistique log-normale Comme mentionné à la fin du paragraphe 1.3.2, tous les modèles présentent des limites dans leur applicabilité. La loi de Black et la distribution statistique sous-jacente, la loi log-normale, n'y échappent pas puisqu'elles n'arrivent pas à décrire un certain nombre de résultats expérimentaux.

La distribution statistique usuellement employée est régulièrement remise en cause or le choix de cette distribution est critique puisqu'elle impacte significativement l'extrapolation de la durée de vie aux conditions normales d'utilisation. Cette constatation est d'autant plus criante aux faibles pourcentages de dégradation comme c'est la règle dans l'industrie. Ainsi, selon les cas pratiques, les distributions statistiques de Weibull [Attardo1971, Basavalingappa2017], d'extremum généralisée [Loupis1995] ou encore « multi-log-normale » (MLN) [Yoh2000] ont pu remplacer la distribution log-normale.

Concernant la loi d'extrapolation, telle que décrite ci-dessus (cf. équation 1.2), il est fait l'hypothèse que [TAN2010b] :

- seuls 2 facteurs d'accélération co-existent pendant un essai d'électromigration : la température et la densité de courant,
- le terme pré-exponentiel est indépendant de la température,
- il n'y a pas d'interaction entre température et densité de courant ou tout autre facteur d'accélération,
- l'énergie d'activation effective est indépendante de la densité de courant ou tout autre facteur d'accélération.

Plusieurs études ont montrées que ces hypothèses n'étaient pas toujours valides et que l'un des biais de ce modèle était, a minima, la non prise en compte de l'effet des contraintes thermo-mécaniques. En effet, les essais accélérés étant effectués à « hautes températures », les lignes de métal se retrouvent dans un état faiblement contraint d'un point de vue thermo-mécanique, le système étant proche de la température où la contrainte thermo-mécanique est nulle. A contrario, à basse température d'accélération, la contrainte thermo-mécanique est beaucoup plus importante devenant ainsi un facteur d'accélération de la dégradation additionnelle [TAN2010b]. Ainsi, d'un point de vue de l'extrapolation des durées de vie aux conditions normales d'utilisation, en partant de résultats obtenus à « hautes températures », on sous-estime l'accélération thermo-mécanique alors qu'en partant de résultats obtenus à « basses températures », on surestime leur contribution.

Outre cette remarque sur les hypothèses sous-jacentes de la loi de Black, notons également des tentatives régulières pour la reformuler. Un premier raffinement a été de la généraliser c'est-à-dire de supposer que le facteur de dépendance à la densité de courant n'avait pas de valeur fixe [Blair1971]. Un second raffinement a été apporté par Llyod [Lloyd2007]. Il a ainsi pris le parti de considérer 2 phases dans la dégradation, une étape de nucléation de la cavité et une phase de croissance de cette dernière. Bien que pertinent, ce modèle ajoute de la complexité dans la détermination expérimentale des paramètres associés à ce modèle.

Ces faits sont connus de longue date, mais la loi log-normale et l'équation généralisée de Black restent largement employées de par leur facilité d'utilisation et de mise en œuvre !

Rôle de l'énergie d'activation, E_a L'énergie d'activation représente la barrière énergétique contre le procédé de diffusion atomique résultant de l'électromigration. Du fait de la dépendance exponentielle du temps à la défaillance à l'énergie d'activation, une valeur élevée de cette dernière est fortement recherchée. Il a été montré que la valeur de cette énergie est relative aux chemins de diffusion mis en œuvre (cf. tableau 1.1 et figure 1.14). Il est à noter que cette grandeur est une grandeur effective ce qui signifie que sa valeur reflète l'action majoritaire d'un chemin de diffusion même si tous les chemins sont actifs simultanément.

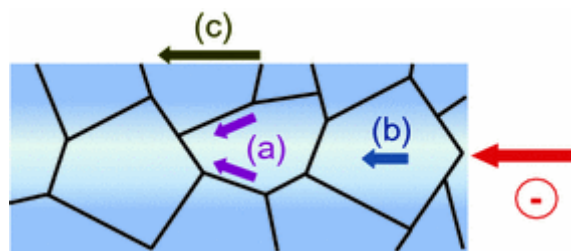


FIGURE 1.14 – Illustration des différents chemins de diffusion dans le matériau métallique d'une interconnexion électrique : (a) joint de grain, (b) diffusion de volume et (c) diffusion de surface. Source : [Lienig2013].

TABLE 1.1 – Energies d'activation typiques pour les divers chemins de diffusion dans l'aluminium, l'aluminium dopé cuivre et le cuivre.

Chemin de diffusion	Matériau - Energie d'activation (eV)		
	Al	AlCu	Cu
Massif	1,2-1,4	1,2	2,2
Joints de grains	0,6-0,7	0,7	0,88-0,95
Surface/interface	0,8	0,9-1,0	0,8-0,9
Référence	[Lloyd1999]	[Lloyd1999]	[Hau-Riege2004]

Rôle de l'exposant de la dépendance à la densité de courant, n Il a été établi par des études sur les interconnexions à base d'aluminium que la défaillance limitée par la croissance de cavité est représentée par un exposant de densité de courant de 1, tandis que la défaillance limitée par la nucléation de la cavité est représentée par un exposant de 2. Ces concepts sont également valables pour des interconnexions à base de cuivre où des corrélations ont été établies entre les valeurs de n et des analyses de défaillances [Hau-Riege2004].

Autrement dit, une défaillance résultant d'une cavité apparaissant directement sous un via peut être limitée par son temps de nucléation (cf. figure 1.15-A-B), alors que celle résultant d'une cavité apparaissant juste en aval de ce via mais ne déconnectant pas électriquement immédiatement ce via peut être limitée par le temps de croissance de cette cavité (cf. figure 1.15-C-D).

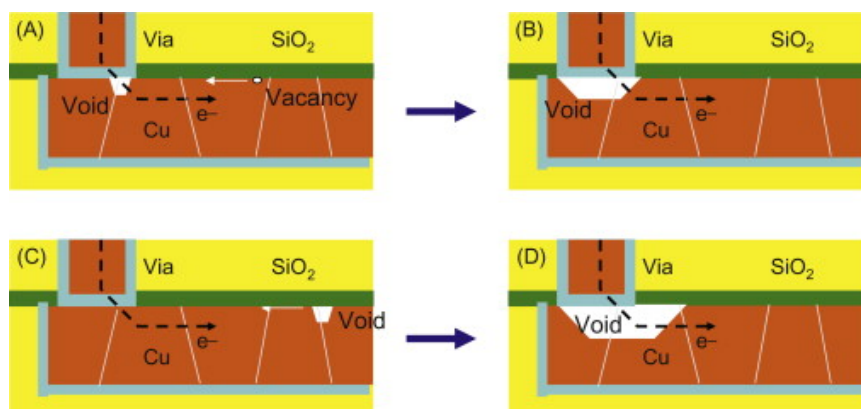


FIGURE 1.15 – (A)-(B) Illustration d'une défaillance par électromigration résultant d'une cavité limitée par son temps de nucléation, et (C)-(D) celle résultant d'une cavité limitée par son temps de croissance. Source : [Gambino2012].

L'impact de n sur l'extrapolation de la durée de vie dépend des amplitudes relatives des densités de courant des essais accélérés et aux conditions normales d'utilisation (J_{cible}/J_{acc}), comme on le voit en reprenant l'équation 1.3 ($MTTF_{cible}/MTTF_{acc}$). On peut cependant affirmer qu'une valeur plus élevée de n augmente la sensibilité de la densité de courant sur le temps de défaillance extrapolé résultant.

Rôle du paramètre N N spécifie le pourcentage de défaillance auquel la fiabilité des interconnexions doit être garantie pour une condition d'utilisation donnée. La valeur de ce paramètre est obtenue en se rapportant au cahier des charges du (futur) « produit ». Une valeur de N plus élevée correspond à un pourcentage de défaillance inférieur, et donc à un critère de défaillance plus strict. A titre d'exemples de relation entre N et une loi normale, une extrapolation à « $2,326 \times \sigma$ » (par identification avec l'équation 1.3, $N = -2,326$) correspond à un pourcentage de défaillance

cumulée de 1 %, tandis qu'une extrapolation à « $-3,09 \times \sigma$ » (ou $N=-3,09$) correspond à un pourcentage cumulé de défaillance de 0,1 %.

Rôle du paramètre σ Ce paramètre correspond à la pente inverse d'une distribution log-normale et décrit l'étalement ou la dispersion des temps de défaillance. Pour cette raison, il est communément appelé « paramètre de forme ». σ joue un rôle important sur l'extrapolation où, comme on le voit dans l'équation 1.3, une valeur plus élevée de σ conduit à des temps de défaillance extrapolés exponentiellement inférieurs. Cette relation peut être vue graphiquement sur la figure 1.16, qui représente deux distributions avec des temps moyens à la défaillance similaires, mais 2 valeurs du paramètre de forme, où $\sigma_2 > \sigma_1$, respectivement courbe avec cercles noirs et courbe avec triangles bleus. L'effet indésirable d'une valeur élevée de ce paramètre devient plus prononcé à des pourcentages de défaillance inférieurs ou à un N plus élevé.

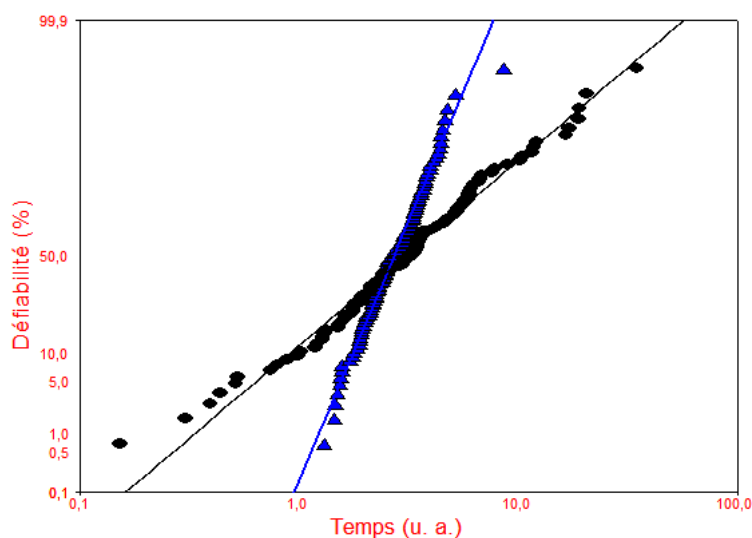


FIGURE 1.16 – Illustration de l'influence du paramètre de forme σ d'une loi log-normale sur la distribution de 100 temps à la défaillance présentant le même temps moyen/médian à la défaillance. La courbe à cercles noirs ($\sigma = 1$) présente un paramètre de forme supérieur à celui de la courbe à triangles bleus ($\sigma = 0,3$).

De nombreux aspects plus ou moins importants n'ont pas été abordés car rappelons-le, l'objectif de ce chapitre n'est pas d'être exhaustif mais d'apporter un minimum d'information pour la compréhension des parties à venir. D'un point de vue électromigration, nous aurions pu aborder le rôle de la microstructure et du métal et de ses alliages, les effets de ligne courte, de réservoir, la non-unicité de la loi log-normale... Pour le lecteur désireux d'approfondir ces connaissances sur ce phénomène de dégradation, nous lui recommandons de se tourner vers les ouvrages ou publications suivantes : [Black1967, Hau-Riege2004, Blech1976, Vairagar2005, Dreyer1993, Hu2007, Arnaud2011, Arnaud2013].

Migration sous contrainte

La migration sous contrainte ou *stress migration/stress-induced voiding* (SM/SiV) est un mécanisme de défaillance qui se produit souvent dans la métallisation des circuits intégrés (aluminium, cuivre). Des cavités se forment à la suite de la migration de lacunes provoquée par le gradient de contrainte hydrostatique. Une grande quantité de cavités peut conduire à un circuit électrique ouvert ou à une augmentation de résistance électrique inacceptable qui entravera alors les performances du C.I. (cf. figures 1.17 et 1.18).

1.3. Notions de robustesse et de fiabilité pour les interconnexions électriques des circuits intégrés

Citons à titre d'exemple le cas de la fabrication des interconnexions en cuivre dites « double damascène ». Ce procédé de fabrication laisse le cuivre avec une contrainte de traction importante en raison d'une inadéquation des coefficients de dilatation thermique des matériaux impliqués. La contrainte thermomécanique peut se relâcher avec le temps grâce à la diffusion de lacunes conduisant à la formation de cavités et, finalement, à des défaillances de type circuit ouvert.

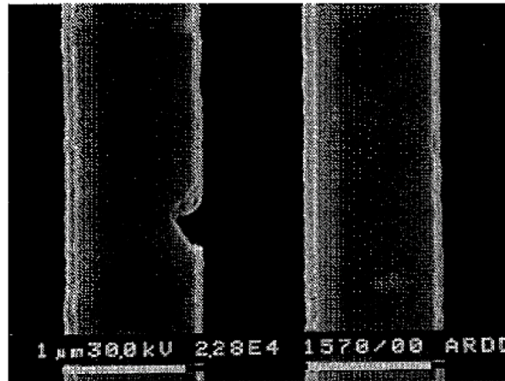


FIGURE 1.17 – Exemple de défaut produit par migration sous contrainte dans une ligne d'AlCu. Source : [Kordic1995].

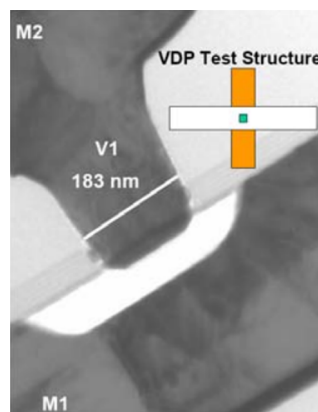


FIGURE 1.18 – Cavité induite par migration sous contrainte dans une structure Van der Pauw réalisé par procédé double-damascène (interconnexion cuivre) après un recuit de 100 h à 150 °C. Source : [Zhang2006].

La loi d'accélération usuellement employée par la communauté pour ce mécanisme de dégradation est donnée ci-après [JED2017] :

$$MTTF = A \times (T_0 - T)^{-n} \exp\left(\frac{E_a}{k_B T}\right) \quad (1.4)$$

où T_0 (K), température à laquelle la structure est dans un état de contrainte mécanique nul, E_a (eV), l'énergie d'activation effective, A et n sont des constantes et k_B et T ont les significations usuelles.

Claquage diélectrique dépendant du temps

Le claquage diélectrique dépendant du temps plus connu sous l'acronyme anglo-saxon TDDB (*Time-Dependant Dielectric Breakdown*) est un mécanisme de défaillance typique des oxydes de grille des transistors MOS mais également des oxydes présents entre les niveaux métalliques (*Inter Layer Dielectric*, ILD) ou entre les lignes métalliques (*Inter Metal Dielectric*, IMD) du fait de la réduction des épaisseurs des couches diélectriques et/ou de leur largeur. Cette défaillance a pour

origine le passage d'un courant au travers de l'oxyde susceptible de le dégrader progressivement au point d'aboutir à une rupture localisée.

L'oxyde se détériore à la suite d'une application de longue durée d'un champ électrique relativement faible (comme par opposition à une panne immédiate, provoquée par un fort champ électrique).

Schématiquement la dégradation induite par le TDDDB commence quand des pièges se forment aux bornes de l'oxyde. Cette formation de pièges dépend fortement des conditions de polarisation mais aussi des conditions de fabrication des échantillons. Au début, la densité des pièges est relativement faible et aucun chemin de conduction n'existe (cf. figure 1.19-a). Ensuite, lorsque cette génération de pièges augmente, les pièges produits commencent à se chevaucher formant un chemin de conduction entre l'anode et la cathode, ainsi la dégradation du diélectrique commence. Ce type de dégradation est appelé *Soft Breakdown* (SBD) (cf. figure 1.19-b). Cette dégradation est réversible. Une fois le chemin de conduction formé, de nouveaux pièges sont créés par dégradations thermiques comme le montre la figure 1.19-c. Au final, la conductance augmente de façon brutale, aboutissant à une rupture localisée de l'oxyde, ce type de défaillance est appelé *Hard Breakdown* (HBD) (cf. figure 1.19-d). Au contraire du SBD, le HBD constitue une dégradation catastrophique c'est-à-dire définitive et donc non réversible.

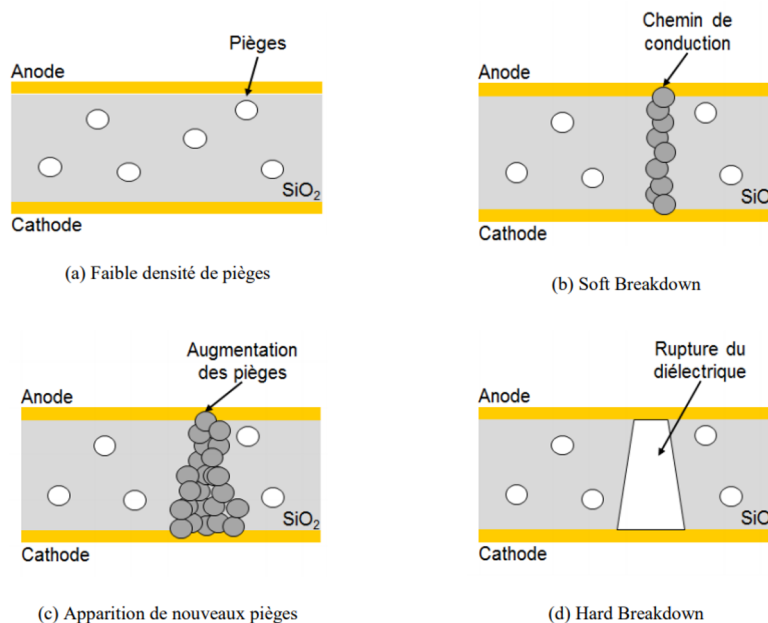


FIGURE 1.19 – Étapes de l'apparition des dégradations au niveau du diélectrique sous contraintes TDDDB. Source : [Rousseau2016].

Dans la littérature, 4 mécanismes sont envisagés afin d'expliquer la dégradation du diélectrique et en utilisant ces différents mécanismes, différents modèles de durée de vie ont été proposés même si de manière générique le temps moyen à la défaillance est proportionnel à E^n , E étant le champ électrique appliqué au diélectrique. Les modèles les plus couramment cités dans la littérature sont les suivants [Chery2014] :

- modèle en E
- modèle en \sqrt{E}
- modèle en loi de puissance
- modèle en $1/E$
- modèle de « l'électron chanceux » de J. R. Lloyd

Contraintes résiduelles

La contrainte mécanique dans les circuits intégrés n'est pas considérée comme un défaut en soi, car elle est une conséquence intrinsèque du procédé de fabrication par la mise en contact de matériaux divers et variés. Néanmoins, la contrainte mécanique a une influence importante sur la génération ou l'aggravation de nombreux défauts tels que les extrusions (hillocks), les fissurations, les contraintes internes, l'électromigration, la migration sous contrainte, la corrosion...

Nous pouvons classer en 2 catégories les contraintes mécaniques :

1. Contraintes résiduelles intrinsèques : elles proviennent principalement de la fabrication des circuits intégrés. Exemples : raccord de mailles entre 2 matériaux cristallins, implantation ionique...
2. Contraintes résiduelles extrinsèques ou contraintes thermomécaniques. Elles ont pour origine la différence de coefficient de dilatation thermique (C.D.T. ou en anglais Coefficient of Thermal Expansion, C.T.E.) entre les matériaux en jeu quand ces derniers subissent une variation de température (cf. figure 1.20). Cette dernière pouvant provenir de l'environnement (téléphone satellite utilisé aussi bien dans le Sahara qu'en Antarctique) ou du fonctionnement du composant lui-même (effet Joule).

Ces contraintes résiduelles sont à l'origine des problèmes de fiabilité qui sont regroupés sous l'appellation interaction puce-boîtier ou *Chip-Package Interaction* (C.P.I.) en anglais. Exemples : fissuration du BEoL (cf. figure 1.21) ou « Cu pumping » dans les TSV (cf. figure 1.22)...

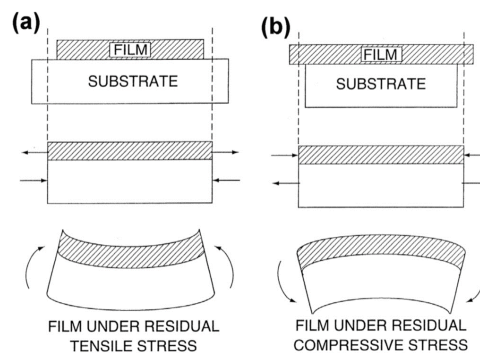


FIGURE 1.20 – Illustration du développement d'une contrainte mécanique résiduelle de tension (a) ou de compression (b) dans un film fin selon que le coefficient de dilatation thermique du film (α_f) est plus ou moins important que celui du substrat (α_s). Source : [Ohring1998a].

Corrosion

Succinctement, la corrosion est une altération d'un matériau par réaction avec un oxydant. La réaction est accélérée par l'application d'un champ électrique externe car il s'agit d'une réaction électrochimique. Les ions impliqués dans la réaction sont dans ce cas attirés par le champ électrique et migrent d'une région anodique vers une région cathodique. La présence de certains contaminants comme le chlore, ou le fluor accélèrent le phénomène.

La figure 1.23 présente la corrosion de lignes de redistribution en cuivre suite à un essai de stockage en température (125 °C, 1000 h) malgré une couche organique de passivation. Le noircissement du cuivre est flagrant et est associé à la formation d'un oxyde de cuivre et plus particulièrement de l'oxyde cuivreux ou Cu_2O .

La loi d'accélération, déterminée empiriquement, couramment employée pour ce mécanisme

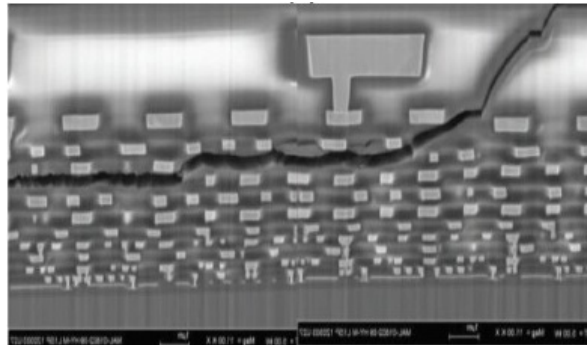


FIGURE 1.21 – Fissure traversant le BEoL. Cette défaillance est associée aux contraintes thermomécaniques générées par les billes de brasure qui se répercutent sur les niveaux métalliques sous-jacents. La faible tenue mécanique des oxydes utilisés dans les C.I. avancés (ELK dans le cas présent) peut aboutir à ce type de défaillance. Source : [AMM2017].

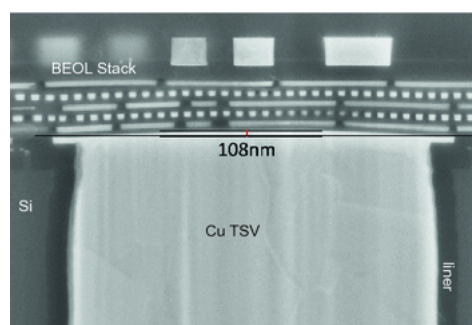


FIGURE 1.22 – Gonflement du cuivre du TSV ou Cu pumping. Micrographie montrant la partie supérieure d'un TSV où le cuivre a « gonflé » contraignant le BEoL présent au-dessus. Source : [Radojcic2017].

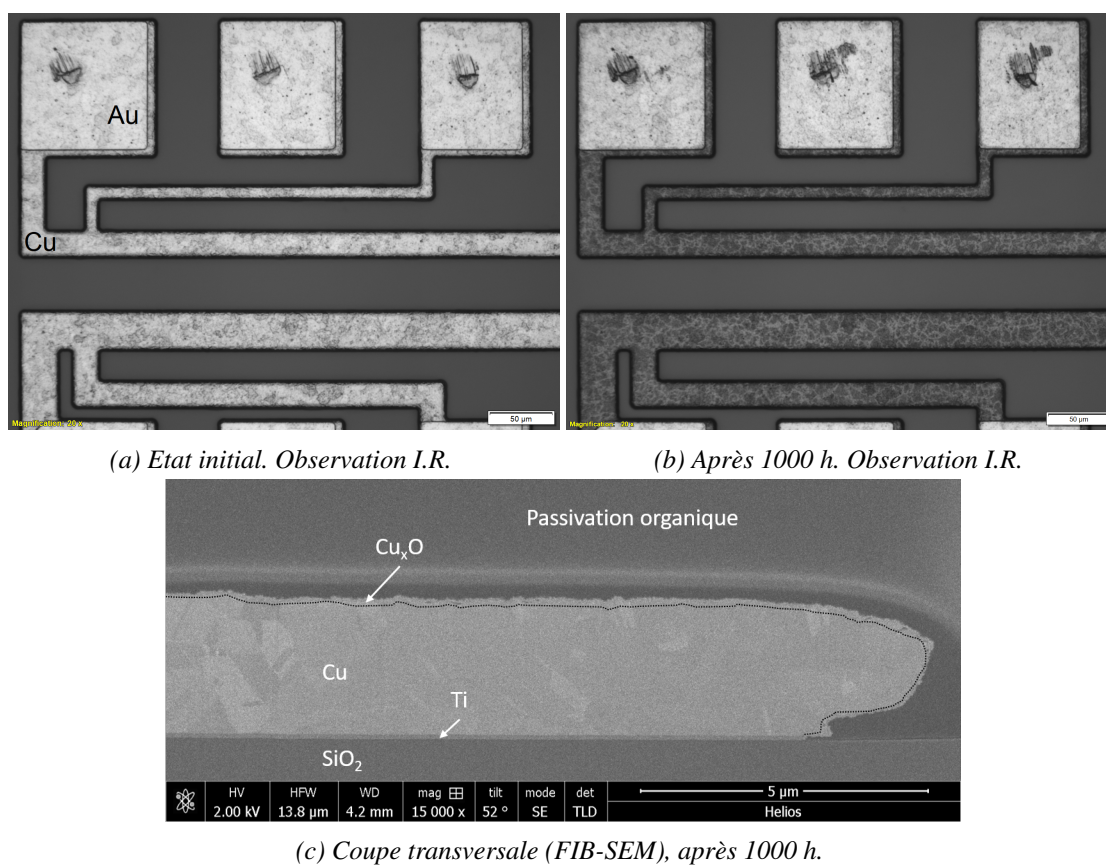


FIGURE 1.23 – Corrosion (noircissement) de lignes de redistribution (RDL) en cuivre recouvertes d'une couche organique de passivation lors d'un essai de stockage en température (125 °C, 1000 h).

de dégradation est donnée ci-après [Ohring1998b] :

$$MTTF = A \times V^{-m} (RH)^{-n} \exp \left[\frac{E_c}{k_B T} \right] \quad (1.5)$$

où V est la tension électrique appliquée (V), RH (%), le taux relatif d'humidité, E_c (eV), l'énergie d'activation effective, A, n et m sont des constantes et k_B et T ont les significations usuelles.

A la contribution du champ électrique près, on retrouve la loi dite de Sinadurai-Peck [Sinadurai1981, Peck1986].

Cas de l'aluminium L'aluminium souffre de corrosion en présence d'eau. Même la couche d'oxyde natif (amorphe) peut subir des dommages causés par « bullage » (*blistering*). Le plus souvent, cependant, l'aluminium se corrode au niveau de sites anodiques et cathodiques en présence d'ions contaminants. Par exemple, les ions chlorure de l'atmosphère, les flux de soudure, les solvants...

Cas du cuivre Le cuivre, contrairement à l'aluminium, n'a pas d'oxyde natif stable et adhérent, ce qui le rend plus sujet aux problèmes de corrosion et d'adhérence. Des couches de barrière (*capping*) ont été notamment développées pour atténuer ce problème.

1.3.4 Analyse de défaillance

L'analyse des défaillances ou *Failure Analysis* (F.A.) en anglais, pourrait être défini comme étant le processus de collecte et d'analyse des données pour déterminer la cause d'une défaillance et éventuellement dans le but de déterminer les actions correctives.

Une analyse de défaillance doit être réalisée en suivant un enchaînement d'étapes qui est présenté en figure 1.24. Cet enchaînement est classique dans les laboratoires d'analyses de défaillance de la micro-électronique [REN2017, Miyamoto2018].

Pour illustrer ce processus d'analyse et simplifier ce dernier, nous supposons qu'une puce nue nous a été transmise pour identification d'un défaut dont la signature est électrique. De plus, cette puce ne contient que des interconnexions.

La première étape consiste à regrouper un maximum d'informations sur le composant à analyser : l'historique de la pièce (procédé de fabrication par exemple), ou encore l'historique des analyses menées sur des composants similaires.

Après cette étape de préparation, vient alors la reproduction de la défaillance décrite par le demandeur. La signature de la défaillance (électrique ici mais aurait pu être mécanique, optique...) est alors analysée afin d'émettre les hypothèses les plus probables quant à la nature du défaut.

L'étape d'isolation de la faute/défaillance (*fault isolation*, F.I.) peut alors démarrer. Elle consiste en un ensemble de contrôles non destructifs de l'échantillon. Cette étape permet à la fois de conserver une trace de l'état initial de la pièce à analyser en plus de déceler, éventuellement, un défaut externe tout en conservant l'intégrité du composant. Typiquement, vont être utilisés des équipements tels que le microscope optique (visible, I.R.), un système de radiographie/tomographie à rayons X, ou le microscope acoustique (*Scanning Acoustic Microscope*, SAM). Sauf cas rares, cette étape ne permet pas de conclure l'analyse. Il est alors nécessaire d'user d'outils de localisation de défaut et de techniques d'observation plus complexes mais présentant une meilleure résolution. Selon la signature associée au défaut et les hypothèses précédemment émises, une réflexion se doit d'être menée afin d'user de la technique de localisation la plus adaptée. Il est éventuellement possible d'avoir recours à une préparation d'échantillon (retrait de fil de câblage...). Cette préparation d'échantillon est une partie critique de l'analyse. En effet, il est nécessaire d'agir en conservant le défaut tout en n'en générant aucun autre. Dans la mesure du possible, cette étape devra conserver la testabilité du composant pour permettre, par la suite, de vérifier que la signature de

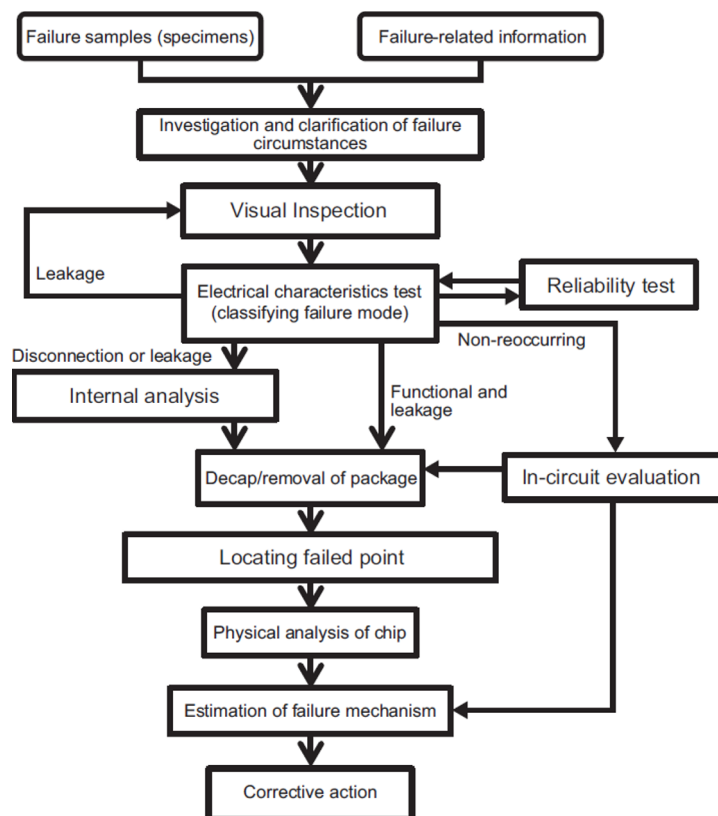


FIGURE 1.24 – Illustration des étapes d’une analyse de défaillance selon l’entreprise RENESAS. Source : [REN2017].

la défaillance est toujours présente. L’analyste va alors pouvoir utiliser divers outils permettant la localisation du défaut. Cette étape sera faite le plus souvent en appliquant les signaux électriques qui sollicitent le défaut, et en utilisant les techniques adéquates de localisation (thermographie I.R., stimulation thermique laser (OBIRCH), microscopie magnétique...). Ces outils, choisis selon le mode de la défaillance, vont pouvoir révéler le lieu où le défaut physique génère la défaillance. Cela permet de réduire la partie du composant à étudier en s’intéressant uniquement à la zone localisée. Une nouvelle étape de préparation d’échantillon peut alors être réalisée de manière à atteindre et à caractériser (physique, chimique...) le défaut. La caractérisation de ce défaut permet de comprendre alors le mécanisme de défaillance, puis de remonter à sa cause et de mettre en place d’éventuelles actions correctives. Cependant, pour réaliser chacune de ces étapes un large éventail d’outils est disponible et des choix stratégiques sont alors à effectuer par l’analyste afin d’assurer la résolution de l’analyse.

Il est à noter que généralement l’analyste dispose que peu de pièces présentant la même signature de défaillance. En conséquence, l’analyste doit suivre scrupuleusement l’ensemble de cette méthodologie afin de maximiser ses chances de succès, plus particulièrement aux étapes de préparations d’échantillon qui induisent une impossibilité de retour en arrière.

1.4 La fiabilité des interconnexions 3D

Les mécanismes de dégradation présentés pour les circuits intégrés planaires (cf. sous-section 1.3.3) restent des menaces pour la fiabilité des technologies 3D. Cependant, avec le passage à l'intégration 3D, l'ampleur du changement oblige à s'interroger sur de nouveaux modes de défaillance. En ce sens, ce changement s'apparente plus à l'étape qui a vu le cuivre remplacer l'aluminium, qu'à la diminution des dimensions des lignes métalliques. Par exemple, la diffusion du métal dans le silicium ou son oxyde concerne les interconnexions en cuivre, alors qu'il s'agissait d'un risque inexistant pour l'aluminium.

Pour un empilement caractéristique de l'intégration 3D comme illustré à la figure 1.3, les figures 1.25 et 1.26 illustrent, à titre d'exemples, certains modes de défaillance spécifiques à analyser pour le TSV comme pour un empilement de puces par billage ou collage hybride. L'étude comporte deux volets. Le premier concerne la fiabilité propre aux interconnexions 3D. Par exemple, il faut vérifier les performances en terme de tenue à la dégradation par électromigration d'une interconnexion à base de collage hybride ou la tenue à la corrosion des billes de brasure. La seconde est relative aux effets de ces interconnexions 3D sur leur environnement et plus particulièrement le BEoL et le FEoL. A titre d'exemple, un TSV, du fait de ses dimensions, ne génère-t-il pas des contraintes thermomécaniques risquant de perturber les performances électriques des zones actives? Si tel est le cas, une zone d'exclusion doit être définie entre les TSV et les zones actives. Les billes de brasure ne vont-elles pas générer des contraintes thermoécaniques qui pourraient endommager les niveaux FEoL/BEoL sous-jacents?

Du fait de la complexité des circuits intégrés aussi bien du point de vue architecture que fabrication, les sources de non fiabilité sont nombreuses. Pour tenter de cerner/borner au mieux les divers points de fiabilité à éluder, il est nécessaire d'avoir une analyse critique de l'environnement dans lequel un objet est étudié. Il faut pour cela s'appuyer sur des retours d'expérience (REX) ou sur l'emploi de méthodes d'analyse de qualicien comme l'Analyse des Modes de Défaillance, de leurs Effets et de leur Criticité (AMDEC) [Ben Ahmed2011].

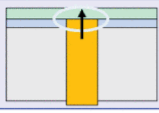
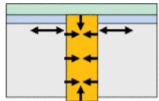
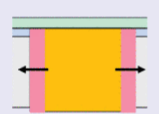
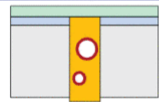
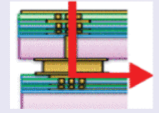
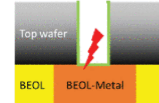
TSV	Problem	Expected failure
	Cu pumping (statistical: few to 200 nm)	BEOL failures (SIV, cracks, delamination)
	TSV is under tensile stress	Delamination Stress affects devices (keep-out-zone, KOZ)
	Barrier/liner roughness, non-uniformity, degradation	Liner breakdown (leakage/short) Cu diffusion affecting devices
	Voids in TSV	Corrosion, affects EM, affects liner integrity?
	Electromigration	Opens, high R contacts
	Plasma-induced-damage	Change of transistor characteristics

FIGURE 1.25 – Défaillances envisagées dans le cadre du TSV. Source : [De Wolf2018].



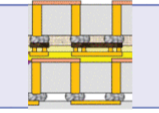

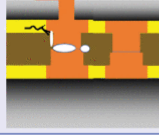

STACKING	Problem	Expected failure
	μ bumps and underfill induce stresses (CPI)	BEOL failures Delamination KOZ zone changes
	Stacking applies pressure: Squeezing out of solder, high local stress. Bad contact due to oxidation.	Fracture in BEOL, delamination, bad electrical contact, shorts, opens
	Misalignment	Shorts, opens
	Voids (EM), particle entrapment, brittle material	Opens, fracture of brittle material
	Thermo-mechanical stress during hybrid bonding. Incomplete bonding.	Delamination Cu/Cu, Cu/dielectric. Cracks in BEOL. Leakage current.
	Discharge during bonding or tape removal	ESD induced damage: shorts, opens, leakage

FIGURE 1.26 – Défaillances envisagées dans le cadre d'un empilement de puces. Source : [De Wolf2018].

L'intégration 3D a remis en question les techniques et la méthodologie d'analyse des défaillances en raison de la grande complexité des architectures multi-puces, de la grande variété de matériaux et des facteurs de forme dans ces dispositifs hautement miniaturisés (cf. figure 1.3, p. 9). Comme vue à la sous-section 1.3.4, il faut 1) être capable d'isoler le défaut dans « cette botte de foin » et ensuite, 2) être capable d'obtenir une visualisation du défaut en vue de définir les mesures correctives pour limiter/éviter ce type de problème.

Pour répondre au premier point, le développement spécifique ou l'adaptation de techniques existantes aux particularités de l'intégration 3D, a été nécessaire [Li2016b]. A ce titre, de bons exemples sont la thermographie infrarouge synchrone (*Lock-in Thermography*, LiT) [Breitenstein2010], la tomographie à rayons X [Pacheco2010], la réflectométrie temporelle (*Time-Domain Reflectometer*, T.D.R.) ou sa petite sœur l'E.O.P.T.R. (*Electro-Optical Pulse Terahertz Reflectometry*) [Lee2015] ou encore la microscopie magnétique [Perdu2010]. Concernant le point n°2, le développement de la sonde ionique focalisée (*Focused Ion Beam*, FIB) à fort taux d'ablation et plus particulièrement de sa variante à base de plasma xénon (P-FIB) a été un aboutissement pour retirer, dans un temps contenu, l'énorme volume de matière pour accéder à la zone d'intérêt [Young2011]. Pour une vitesse accrue, une combinaison laser-PFIB a même été développée [Kwakman2013].

Dans le cas des études menées durant cette première partie de carrière, les équipements les plus couramment employés ont été : le microscope optique visible/I.R., le banc de thermographie I.R. synchrone pour la localisation de la défaillance et la combinaison sonde ionique focalisée avec ou sans plasma xénon pour les micro-sections et le microscope électronique à balayage les visualisations hautes résolutions. Le choix de ces techniques/équipements a été gouverné par une logique dite pragmatique ou de réalité du terrain. Ainsi, il fallait répondre aux besoins de nos études (capacité de localisation de défauts spécifiques aux interconnexions, capacité de préparation d'échantillon et capacité de visualisation haute résolution) tout en tenant compte des contraintes budgétaires de notre institut de recherche. Un banc de thermographie I.R. synchrone (THEMOS-1000, Hamamatsu [HAM2013]) et un P-FIB (Vion™, F.E.I. [FEI2011]) ont été acquis par le CEA-

LETI pour ces besoins spécifiques. Les autres éléments étaient quant à eux déjà disponibles.

1.5 Conclusion

Ainsi, pour de nombreux circuits intégrés (mémoire flash, capteur photographique...), l'intégration 3D, qui consiste à empiler des puces, prend la relève de l'intégration planaire classique car elle autorise la combinaison du meilleur des approches *More Moore* (miniaturisation de la fonction transistor) et *More than Moore* (hétérogénéité des technologies et des fonctions). L'intégration 3D permet le dessin et la fabrication de circuits intégrés toujours plus performants (compacité, performances électriques...). Sans des interconnexions électriques dédiées, pas d'intégration 3D. Micro-pilier, via traversant le silicium, ligne de redistribution, collage hybride ont été développés pour répondre aux divers besoins d'interconnexions électriques de l'intégration 3D. Mais qui dit nouveautés, dit de potentiels nouveaux problèmes de robustesse/fiabilité. L'ampleur du changement amène naturellement à s'interroger sur l'existence de nouveaux modes de défaillance ou sur la criticité des mécanismes de dégradation existants. La complexité native des circuits intégrés et maintenant leur empilement augmente également la complexité de la recherche et de l'identification d'une défaillance dans un tel dispositif.

2

L'avènement de l'intégration 3D dans les capteurs photographiques

« La myopie ou la cécité ne sont pas simplement des pathologies physiologiques ; elles sont aussi une constante intellectuelle dans l'histoire de l'humanité. »
Qu'est-ce qu'un chef ? de **Pierre de Villiers**

Sommaire

2.1	Bref historique du capteur photographique	35
2.2	Du F.S.I. au B.S.I. et de l'intégration 2D à l'intégration 3D	36
2.3	Conclusion	39

De nos jours, il faut donner un *sens* à tout... même le C.N.R.S. s'y est mis, il y a quelques années, avec son site internet [Perucca] destiné au grand public dont la maxime est « donner du sens à la science » !

Même si de prime abord mes activités de recherche semblent être sans lien, après réflexion, le capteur photographique en est le fil rouge, le trait d'union. Ainsi, au travers de mes activités de recherche, j'ai contribué à la *fiabilisation des interconnexions 3D dans le cadre du développement des capteurs photographiques*.

Ce chapitre a, ainsi, pour objectif de retracer succinctement les événements marquants de l'évolution du capteur photographique depuis le film « argentique » au capteur photographique numérique intelligent qui participe grandement à un quotidien où l'image (statique comme dynamique) règne en maître.

2.1 Bref historique du capteur photographique

À l'instar de l'antique film photographique, le capteur photographique ou capteur d'image (*image sensor* en anglais) permet de reproduire l'image d'une scène. Le premier est un support souple recouvert d'une émulsion contenant des composés sensibles à la lumière, généralement à base d'halogénures d'argent d'où son surnom de film « argentique ». Au contraire, le capteur d'image est un composant électronique photosensible servant à convertir un rayonnement électromagnétique (X, U.V., visible ou I.R.) en un signal électrique analogique. Ce signal est ensuite notamment amplifié et enfin traité pour obtenir une image numérique.

A la fin des années 1960, la technologie métal-oxyde semi-conducteur (MOS) a été expérimentée comme base d'un nouveau type de capteur d'image. A cette époque les procédés de fabrication de la technologie MOS n'étant pas encore bien maîtrisés, les développements ont été stoppés.

Durant cette même période, en 1969, George Smith et Willard Boyle des laboratoires AT&T Bell inventent un dispositif à transfert de charge (*Charged Coupled Device* ou C.C.D.). Ce dernier est une sorte de mémoire à base de matériaux semi-conducteurs permettant de manipuler des charges électriques dans des structures à base de silicium. Michael Tompsett, également des laboratoires AT&T Bell, inventa le capteur d'image par technologie C.C.D. et par la même occasion, sera le premier à démontrer la photographie numérique en réalisant une photographie en couleurs de son épouse qui sera publié à la Une du journal américain *Electronics Magazine* en 1972.

A partir de la fin des années 1970, la technologie MOS et plus précisément sa petite sœur *Complementary MOS* (CMOS) est devenue LA technologie de fabrication des circuits logiques et notamment des mémoires et des microprocesseurs. Au début des années 1990, saisissant le potentiel de la technologie CMOS, le *Jet Propulsion Laboratory* (JPL) de la NASA se lance activement dans la recherche d'une technologie de capteur d'image usant de la technologie CMOS. Une équipe des JPL, comprenant notamment Eric Fossum¹, conçoit un capteur d'image intégrant, sur une même puce, la zone active via la technologie « active-pixel sensor » (APS) – associée à des techniques de transfert de charges intra-pixel – le tout complété d'un circuit intégré de lecture et d'un convertisseur analogique/numérique. En comparaison, un capteur C.C.D. requiert à cette époque des circuits intégrés complémentaires pour collecter, compter et transmettre les électrons au reste du système « capteur d'image ».

Les capteurs d'image CMOS (*CMOS image sensor* – C.I.S.) deviendront la seconde famille de capteurs d'images après les capteurs C.C.D. En raison de leur faible consommation, faible coût

1. Prix de la Reine Elizabeth pour l'ingénierie 2017 avec G. Smith, M. Tompsett et N. Teranishi pour leur travail ayant « révolutionné notre monde visuel » [QEp]

et rapidité de lecture, les C.I.S. ont d'abord été utilisés pour des applications mobiles et des petits appareils électroniques (téléphones, webcams, jouets...) jusqu'à supplanter les capteurs d'image C.C.D. (cf. figure 2.1). L'introduction des capteurs d'image CMOS pour des applications « hautes performances » (médical, militaire, spatial...) s'est faite plus tard avec l'amélioration des capteurs.

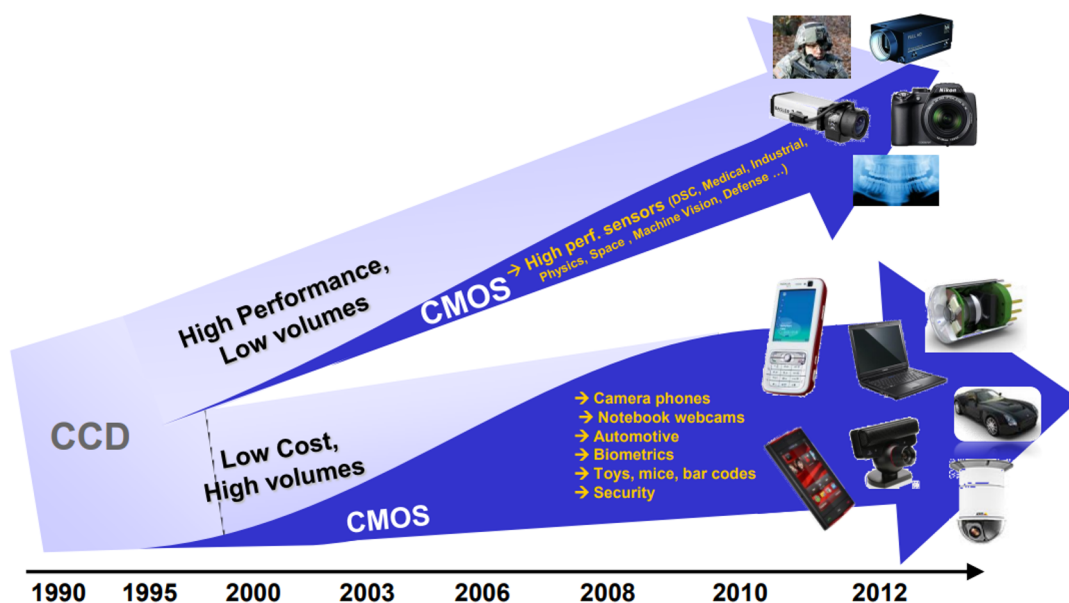


FIGURE 2.1 – Schéma d'évolution de la pénétration des applications « hautes performances » et « bas coût » par les capteurs d'image en technologies CCD et CMOS. Source : [YOL2010].

2.2 Du F.S.I. au B.S.I. et de l'intégration 2D à l'intégration 3D

Historiquement, le capteur photographique est construit à l'image de l'œil humain. La lumière traverse une lentille avant d'atteindre les couches photosensibles à l'arrière. Du fait du mode d'exposition, cette technologie est nommée illumination par la face avant (*Front Side Illumination* ou F.S.I.). Une telle architecture simplifie la fabrication mais induit une perte de lumière puisque la lumière peut interagir avec divers éléments de l'intégration (pixel à pixel ou diaphotie, niveaux d'interconnexions...) avant d'arriver aux photosites (cf. figure 2.2). Pour contrer, cette perte de lumière, la technologie d'illumination par face arrière (*Back Side Illuminated* ou B.S.I.) a été développée. Le principe consiste grossièrement à intervertir ces 2 éléments afin que la lumière arrive en premier sur la diode photosensible, sans pertes. Bien que cette idée semble évidente, la réalisation technique de ces capteurs est plus complexe. Cela explique que cette solution ait mis plus de temps à faire son apparition dans les produits. Initialement développée sur la technologie C.C.D. au début des années 1970, cette architecture n'a réellement pris son essor qu'à l'occasion de l'avènement des téléphones multifonctions associé à la maturité de la technologie CMOS, au début des années 2000.

A la fin des années 2000, les motivations pour investir dans le développement de capteurs photographiques CMOS 3D varient d'un fabricant à l'autre, mais peuvent se résumer en 3 points : ajout de fonctionnalités, diminution du facteur de forme, possibilité d'options de fabrication flexibles et optimisation de chaque matrice dans un empilement 3D.

1. *Accroissement des fonctionnalités.* Le passage à des capteurs d'image 3D vient d'abord d'un

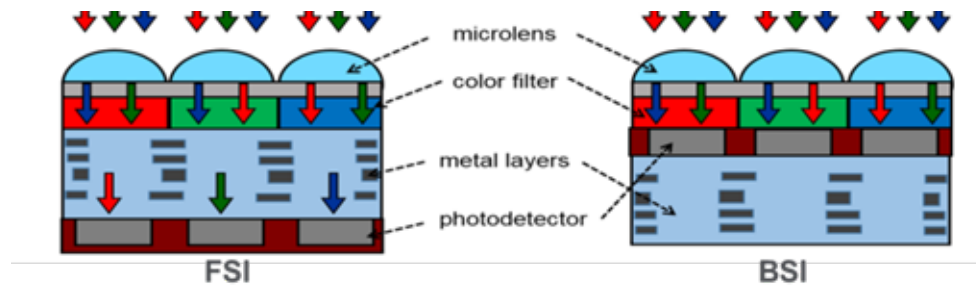


FIGURE 2.2 – Schémas comparant l'architecture d'un capteur d'image à technologie illumination par la face avant (Front Side Illumination, FSI) et par la face arrière (Back Side Illuminated, BSI). Source : [Guissi2017].

besoin d'élargir la gamme spectrale des capteurs pour de nouvelles applications. Leur utilisation grand public, notamment dans les téléphones multifonctions, a lancé la course aux performances afin de proposer aux utilisateurs des produits de meilleure qualité à moindre coût, en limitant l'impact sur l'autonomie de la batterie. Si les capteurs d'image résolvent ces problématiques, ils posent un problème de rendement puisque la surface de la puce inférieure est partiellement utilisée. L'espace de silicium libre peut être comblé en ajoutant de nouvelles fonctionnalités (reconnaissance faciale, compression d'image, mesure de profondeur). Le capteur d'image n'est définitivement plus limité à la fonction de « simple » appareil photographique.

2. *Gain de place.* Le premier gain de place a été de supprimer les fils de câblage (*wire bonding*) pour les remplacer par des TSV. Outre un gain de place évident (plus de nécessité de prévoir, en périphérie des puces, d'aussi grandes surfaces pour accueillir les plots de câblage), à la même occasion, les longueurs des interconnexions s'en trouvant réduites, la vitesse de transmission des informations ($\tau = R \times C$) est améliorée. Le second gain est venu du passage de la technologie TSV à la technologie collage hybride. Alors que les TSV ne peuvent être placés qu'en périphérie des puces qu'ils doivent interconnecter, puisqu'ils les traversent entièrement, les interconnexions par collage hybride peuvent être directement placées sous la matrice de pixels (cf. figure 2.3). Autre avantage de ce changement, c'est la capacité des interconnexions par collage hybride à atteindre des pas d'interconnexion plus réduits (micronique voire submicronique).

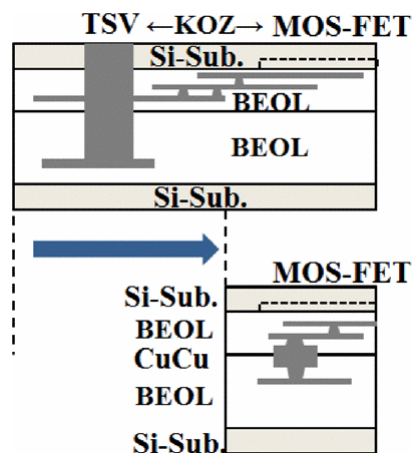


FIGURE 2.3 – Le collage hybride (schéma inférieur) permet de s'affranchir des TSV en périphérie du capteur (schéma du haut) et ainsi réduire les dimensions du capteur d'image. Source : [Kagawa2018].

3. *Hétérogénéité des technologies.* Un autre avantage de l'intégration 3D est l'intégration de technologies de fabrication hétérogènes. Les couches peuvent ainsi être fabriquées indépendamment avec des nœuds technologiques différents afin d'optimiser les fonctions supportées par chacune des couches.

La R&D accrue qui découlait de ces « besoins », aboutit, dans les années 2010, à l'arrivée de téléphones mobiles avec un minimum de 2 capteurs photographiques (cf. figure 2.4). 10 ans plus tard, les téléphones multifonctions haut de gamme disposent jusqu'à 5 capteurs photographiques répartis aussi bien en face avant qu'en face arrière [SAM, HUA] !

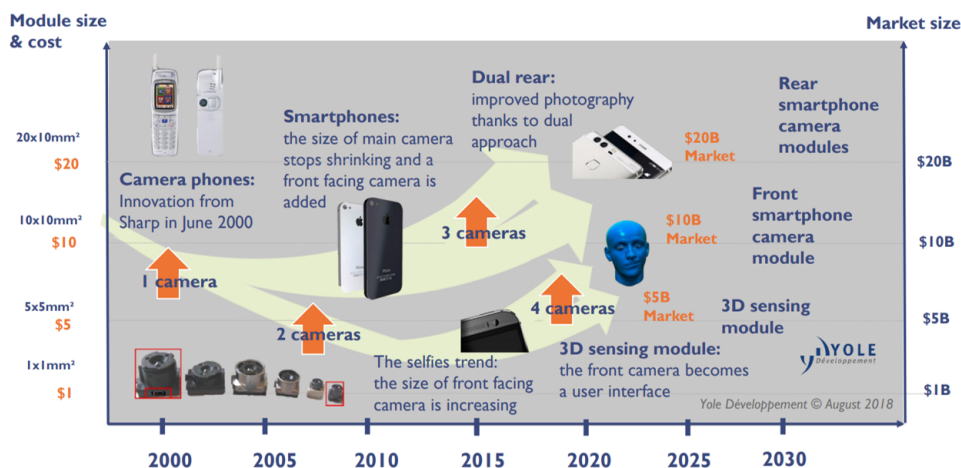


FIGURE 2.4 – Illustration de la pénétration des capteurs d'image dans les téléphones multifonctions : statut et prévisions. Source : [YOL2018].

La génération n°1 des capteurs photographiques BSI 3D intégrait des TSV pour interconnecter la partie photosensible à la partie « traitement de données » (cf. figure 2.5, *3D Stacked BSI*). Le premier produit commercialisé de ce type est à mettre au profit de Sony, en 2012 [Sukegawa2013]. La génération n°2 intégrera, quant à elle, le collage hybride (cf. figure 2.5, *3D Hybrid BSI*). Là encore, la première mise sur le marché est réalisée par Sony durant l'année 2016 [Kagawa2016]. La version n°2 bis, dirons-nous car n'étant qu'une extension des concepts des générations précédentes, consiste à empiler au moins 3 puces afin de satisfaire essentiellement le besoin n°1 à savoir l'accroissement des fonctionnalités. Dès février 2017, Sony, encore, annonce le développement d'un tel capteur photographique comprenant outre la partie photosensible, une mémoire DRAM et un microprocesseur [Haruta2017].

Depuis une dizaine d'années, le gros des développements technologiques s'est principalement axé sur des capteurs photographiques pour les longueurs d'onde dites « visibles » (380-780 nm) du fait de l'explosion des téléphones multifonctions. Bien évidemment, des capteurs photographiques dans d'autres longueurs d'onde existent pour répondre aux besoins de l'astronomie, du milieu médical, de la sécurité, de la défense... Cependant la détection de photons d'énergie autre que celle de la lumière visible nécessite l'utilisation de matériaux autres que le silicium, parfois incompatibles avec les technologies de réalisation du capteur. C'est encore là que l'intégration 3D est décisive puisqu'elle autorise/facilite cette hétérogénéité. A ce titre, le Fermilab (USA) travaille sur ce changement de paradigme depuis 2006 [Yarema2013b, Yarema2013a]. A titre d'exemple de réalisation, citons qu'en 2013, le Fermilab, à la tête d'un consortium de 15 institutions, présente des résultats relatifs au développement du premier capteur photographique 3D (thermocollage ou collage hybride pour les besoins de la physique des hautes énergies [Yarema2013a]). En mai 2020, Sony met sur le marché un produit captant les longueurs d'onde 0,4-1,7 μm (visible-SWIR) [SON2020]. La partie capteur photographique est à base de matériau InGaAs et est reporté par collage hybride à un circuit de lecture à base de silicium.

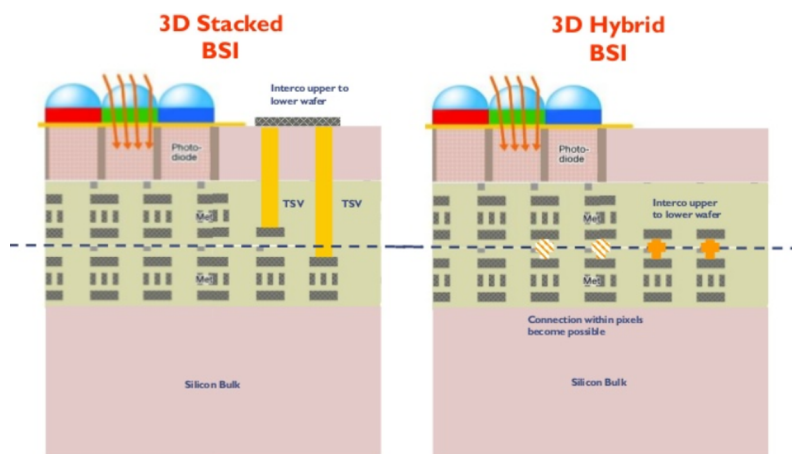


FIGURE 2.5 – Illustration des 2 dernières intégrations permettant de réaliser les capteurs d'image 3D actuels : connexion par TSV (à gauche) ou par collage hybride (à droite) entre les 2 puces empilées. Source : [YOL2021].

2.3 Conclusion

Nous venons de voir succinctement comment la technologie du capteur photographique a évolué depuis l'invention de ce dernier et plus particulièrement comment ces dernières années, ce composant électronique a mué grâce à l'intégration 3D en capteur intelligent. Les chapitres suivants vont être consacrés à présenter certains aspects de robustesse et/ou de fiabilité associés à l'avènement du TSV et des interconnexions à base de collage hybride dans le cadre de ces capteurs photographiques intelligents.

3

Contribution à l'amélioration de la robustesse et de la fiabilité du TSV

« Une once de pratique vaut mieux qu'une tonne de théorie. »
Swami Shivananda Saraswati, médecin et maître spirituel hindou

Sommaire

3.1	Modes de défaillance de la brique TSV	42
3.2	TSV et électromigration	44
3.2.1	TSV-last Haute Densité, la technologie	44
3.2.2	Structure de test	45
3.2.3	Conditions de test et critère de défaillance	46
3.2.4	Évolution temporelle de la résistance, analyses de défaillance & analyses statistiques	46
3.2.5	Modélisation analytique de l'augmentation de résistance électrique	49
3.2.6	Loi d'extrapolation	52
3.3	Corrélation entre la cinétique de la dégradation électrique et de la dégradation physique par test <i>in situ</i>	55
3.3.1	Réalisation du banc de test	55
3.3.2	Caractérisation de la dégradation par électromigration	57
3.3.3	Relation résistance électrique et morphologie du défaut tueur	62
3.3.4	Rôle de la microstructure	64
3.4	Conclusion	69

Le précédent chapitre a montré que le passage d'un capteur photographique 2D à une version 3D s'est fait notamment par l'introduction du TSV, attachons-nous, dans le présent chapitre, à donner quelques exemples de notre contribution à l'étude de la robustesse/fiabilité de cette interconnexion dans une perspective d'arriver à une maturité pré-industrielle.

3.1 Modes de défaillance de la brique TSV

Comme évoqué au chapitre 1, le développement d'un nouvel objet, comme peut l'être une nouvelle interconnexion électrique comme le TSV, requiert de cerner au mieux les divers points de fiabilité intrinsèque (propre au TSV) ou extrinsèque (impact du TSV sur son environnement). Ce travail a été mené à l'occasion des travaux de thèse de Maxime ROUSSEAU [Rousseau2009], Mohamed BOUCHOUCHA [Bouchoucha2013] et plus particulièrement de Thomas FRANK (non soutenue). Le tableau 3.1 regroupe les potentiels risques de défaillance.

Décrivons un peu plus ces éléments :

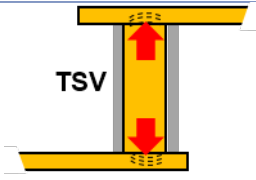
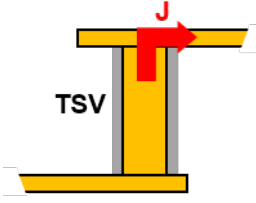
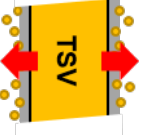
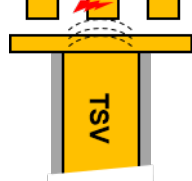
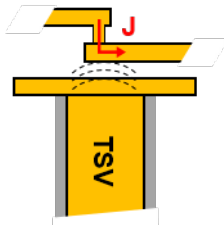
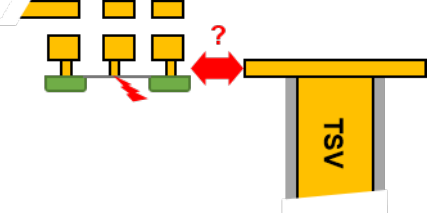
— Fiabilité intrinsèque du TSV

- Dégradation par rupture adhésive ou cohésive : du fait des différents C.D.T. en présence (Si : $3 \times 10^{-6} K^{-1}$, Cu : $16,6 \times 10^{-6} K^{-1}$), une variation de la température (procédé de fabrication, environnement, fonctionnement) peut aboutir, soit par son amplitude soit par sa répétition, à l'apparition de ruptures adhésives ou cohésives et le plus souvent mixtes. De par le volume de cuivre mobilisé et donc des contraintes / déformations potentiellement engendrées, le TSV est suspecté de pouvoir entraîner des dégradations mécaniques aux interfaces supérieure et inférieure avec les niveaux métalliques le connectant et éventuellement, a fortiori en présence de matériaux diélectriques à faible permittivité, à des ruptures adhésives et/ou mixtes dans le BEoL se situant en haut ou en bas du TSV.
- Electromigration : comme évoqué au chapitre 1 (cf. p. 17), l'électromigration est inhérente à tout conducteur métallique soumis au passage d'un courant électrique. Il s'agit d'un sujet important car son impact va jouer sur le compromis durée de vie – conditions de fonctionnement maximales (courant électrique et température) du TSV.

— Impact du TSV sur les éléments environnants ou fiabilité extrinsèque au TSV

- Diffusion du cuivre depuis le TSV : le TSV apporte pour la première fois du cuivre, sous forme atomique ou ionique, au cœur du substrat de silicium. Toute diffusion de cuivre, à travers la barrière du TSV, dans le silicium dégraderait les dispositifs actifs à proximité (transistors, diodes...). Cependant, la présence d'une barrière (épaisseur < 100 nm, Ti/TiN ou TaN/Ta) associée à un oxyde de silicium ($e < 500$ nm) autour du TSV devrait bloquer la diffusion de cuivre dans le silicium au cours du vieillissement. On peut néanmoins signaler le risque de diffusion du cuivre à travers la barrière lors des étapes de recuit. Ce dernier point étant considéré comme un problème « process/intégration » (choix du matériau « barrière », de son épaisseur...), il ne sera pas retenu comme élément d'étude.
- Impact du TSV sur les interconnexions adjacentes : cette étude comprend 2 sous thèmes, l'un relatif au claquage diélectrique, l'autre à l'électromigration. Même si en première lecture ces 2 éléments semblent décorrélés, par le jeu des contraintes thermomécaniques, ils sont corrélés. En effet, comme décrit au paragraphe 1.3.3 (cf. p. 17), le flux atomique est dépendant de l'état de contrainte mécanique du système.

TABLE 3.1 – Menaces supposées d'un point de vue fiabilité pour le TSV lui-même ou causées par le TSV sur son environnement.

Catégorie	Potentiel risque	Dégradation envisagée	Test(s)
Fiabilité intrinsèque au TSV		Rupture adhésive et/ou cohésive	Cyclage thermique
		Augmentation de résistance jusqu'à circuit ouvert	Electromigration
Impact du TSV sur les éléments environnants		Augmentation des courants de fuite, performances en TDDB dépréciée	TDDB
		Augmentation des courants de fuite, perf. en TDDB dépréciée	TDDB
		Diminution des performances des niveaux métalliques au/en-dessous du TSV	Electromigration
		Diminution des performances des systèmes actifs à proximité du TSV	HCI, BTI, TDDB...

Ces mêmes contraintes sont connues pour dégrader les performances d'un point de vue TDDDB [Ohno1989, Gall2014]). Puisque la durée de vie associée au claquage diélectrique évolue de manière exponentielle [Haase2013] avec la distance entre lignes conductrices, alors que le temps à la défaillance par électromigration ne s'échelonne que linéairement [Croes2011], en première approche disons que l'impact du TSV sur la robustesse diélectrique est le plus critique.

- Impact du TSV sur la fiabilité des transistors adjacents : la contrainte mécanique induite par les TSV est considérée comme une contrainte principale à contrôler afin de préserver l'intégrité des transistors éventuels entourant le TSV. Des travaux préliminaires connexes ont défini des zones d'exclusion (*Keep Out Zone*, KOZ) autour du TSV au-delà desquelles les performances initiales de l'appareil actif ne sont pas affectées [Chaabouni2010]. D'autres études sont allées encore plus loin en regardant l'impact éventuel du TSV sur les performances d'un point de vue injection de porteurs chauds (*Hot Carrier Injection*, HCI), claquage des diélectriques de grille (TDDDB) ou encore instabilité en température de la polarisation (*Bias Temperature Instability*, NBT) du transistor proche du TSV [Farooq2015, Premachandran2016].

Dans le présent document, nous nous limiterons à traiter la dégradation par électromigration de la brique TSV au travers de 2 volets expérimentaux : détermination du niveau de risque vis-à-vis de ce phénomène pour la brique TSV (localisation de la défaillance, loi de Black...)(travaux de thèse de Thomas FRANK) et corrélation entre dégradation électrique et morphologique par caractérisation *in situ* (travaux de thèse de Simon GOUSSEAU [Gousseau2015a]).

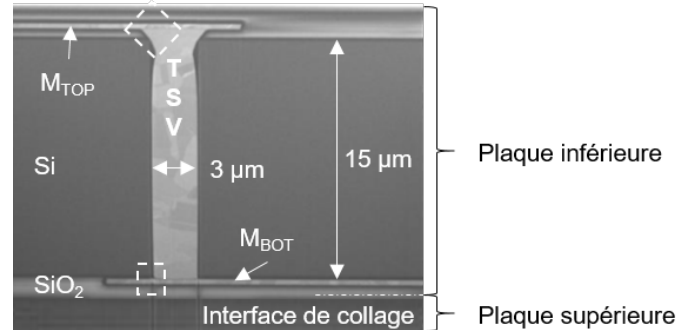
3.2 TSV et électromigration

Les développements autour du TSV au CEA-LETI ont débuté à la fin des années 2000 en parallèle des premières publications marquantes d'empilement 3D usant de TSV aussi bien pour les capteurs photographiques que pour les mémoires en passant par les MEMS [Gagnard2010, Kim2012, SIL2011]. Face à l'intérêt applicatif et parallèlement à la montée en maturité des procédés de fabrication, la question de la fiabilité autour de la brique TSV s'est posée. Dans ce contexte, un sujet de thèse sur cette thématique a été conjointement monté par ST et le CEA-LETI. La thèse de Thomas FRANK consistait à débroussailler cette thématique, notamment pour un TSV-last dit haute densité (HD).

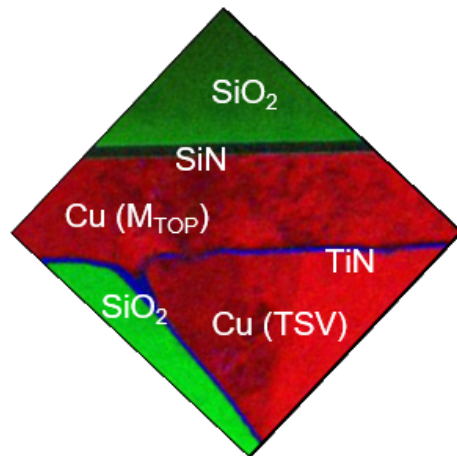
3.2.1 TSV-last Haute Densité, la technologie

La fabrication consiste en premier lieu à empiler deux plaques de silicium de diamètre 200 mm par collage direct oxyde ($\text{SiO}_2/\text{SiO}_2$). Le premier niveau de métal damascène, M_{BOT} , est déposé sur la plaque supérieure avant qu'elle soit retournée et collée à la seconde plaque (cf. figure 3.1). Le TSV est alors réalisé après amincissement de la plaquette supérieure jusqu'à une épaisseur d'environ 15 μm . La réalisation du TSV débute par une gravure ionique réactive profonde (*Deep Reactive Ion Etching*, DRIE), basée sur le procédé Bosch, du silicium aminci. Un dépôt chimique en phase vapeur à pression sous-atmosphérique (*Sub-Atmospheric Chemical Vapor Deposition*, SACVD) d'un oxyde de silicium (SiO_2) est employé pour obtenir un isolant conforme de 40-50 nm d'épaisseur. Une gravure de l'oxyde ouvre le fond du TSV et est suivie d'une étape de nettoyage. Un nitrure de titane (TiN) de 20 nm est ensuite déposé par CVD. Le dépôt d'une bicouche de germination (seed layer en anglais) de cuivre (50 nm PVD + 150 nm CVD) suivi d'un dépôt de cuivre électrolytique (*ElectroChemical Deposition*, ECD). Le deuxième niveau de métal

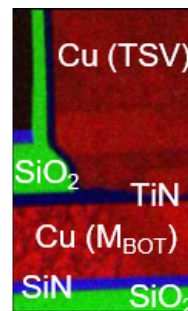
damascène, M_{TOP} est réalisé ensuite. Les deux niveaux de métal sont fabriqués à l'identique à savoir avec une barrière TiN de 45 nm d'épaisseur en bas et sur les parois latérales, et un coiffage de SiN de 35 nm d'épaisseur sur le dessus. Un recuit d'1 h à 250 °C permet de stabiliser la microstructure des niveaux métalliques.



(a) Vue d'ensemble : TSV et des niveaux métalliques inférieur M_{BOT} et supérieur M_{TOP} .



(b) Cliché issu d'une analyse en microscopie électronique à transmission filtrée en énergie (EF-TEM) de l'interface supérieure M_{TOP}/TSV .



(c) Cliché EF-TEM de l'interface inférieure M_{BOT}/TSV .

FIGURE 3.1 – Micrographies électroniques permettant de visualiser l'intégration du TSV-last Haute Densité développé au CEA-LETI.

3.2.2 Structure de test

La structure de test employée est simple pour étudier le développement de la défaillance relativement facilement et surtout faciliter sa localisation. En remplacement d'une chaîne de TSV, plus proche du cas réel, nous avons opté pour une structure de type « NIST » TSV (cf. figure 3.2). La structure comporte une ligne damascène en cuivre de 500 µm de long, 4 µm de large, 250 nm d'épaisseur, reliée d'un côté à un seul TSV-last HD et de l'autre à quatre TSV-last HD. Ces derniers réduisent ainsi la divergence de courant électrique dans l'amenée de courant garantissant ainsi un épuisement localisé côté 1 TSV où ce dernier génère la divergence de courant électrique maximale.

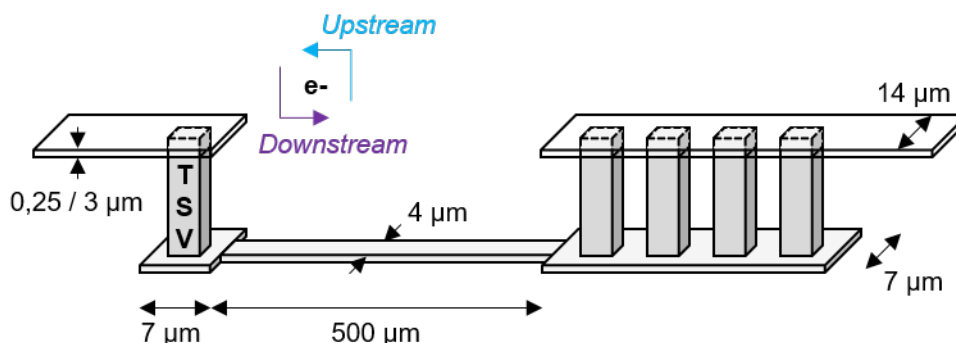


FIGURE 3.2 – Schéma de la structure de test à base de TSV-last Haute Densité pour le test d'électromigration. 2 configurations de test sont possibles en modifiant le sens de polarisation de la structure et donc le sens des électrons : up- et down-stream.

3.2.3 Conditions de test et critère de défaillance

Les tests sont effectués après mise en boîtier céramique. Il s'agit de tests accélérés donc pour le phénomène d'électromigration des tests à hautes températures ($> 250\text{ °C}$) et pour de fortes densités de courant. Pour garantir une décorrélation entre courant électrique et température en vue de la définition de la loi d'accélération, nous nous limitons à un effet Joule effectif d'environ 5 °C . Cette dernière contrainte amène à fixer un courant électrique maximal de 25 mA soit $2,5\text{ MA/cm}^2$ dans le niveau M_{BOT} qui présente la section la plus faible.

2 types de polarisation sont envisageables au regard du sens des électrons dans le TSV unitaire : flux montant d'électrons (*upstream*) ou flux descendant d'électrons (*downstream*), comme illustré à la figure 3.2.

La résistance électrique est mesurée par une mesure « quatre points » tout au long du test d'électromigration.

La structure de test est considérée comme défaillante lorsqu'une augmentation de résistance de 10% est constatée. Ce critère est, comme souvent à ce stade préliminaire du développement d'une technologie, arbitraire mais usuellement usité par les différentes équipes de recherche mondiales.

3.2.4 Évolution temporelle de la résistance, analyses de défaillance & analyses statistiques

La figure 3.3 montre les courbes typiques d'évolution de la variation relative de résistance pendant un test d'électromigration. Ces courbes sont divisibles en 2 parties : (1) une période de latence ; (2) et une augmentation de la résistance électrique. Cette représentation semi-log révèle que l'augmentation de la partie (2) suit une loi logarithmique. Par rapport aux courbes de résistance typiques des interconnexions BEOl cuivre habituelles, il n'y a pas de saut soudain et l'augmentation de la résistance en fonction du temps n'est pas linéaire (cf. figure 3.4).

Pour une condition de polarisation de type *downstream*, les analyses de défaillance sur des échantillons prélevés pendant la phase (1) du test (cf. figure 3.5) révèlent la présence d'une cavité à la cathode et plus précisément dans le plot M_{BOT} , sous le TSV unique. La forme trapézoïdale de la cavité permet d'identifier l'interface « faible » c'est-à-dire présentant le coefficient de diffusion du cuivre le plus important, à savoir l'interface Cu/SiN. Lors de l'augmentation de la résistance, phase (2) précédemment décrite, la cavité est toujours située sous le TSV, mais présente une section plus importante que le diamètre du TSV. A ce stade, la déconnexion électrique est déjà efficace puisque la continuité électrique entre le TSV et le niveau métallique M_{BOT} n'est assurée que par le passage forcé des électrons par la barrière TiN du niveau métallique M_{BOT} .

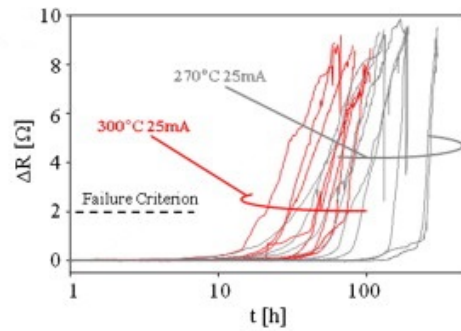


FIGURE 3.3 – Évolution temporelle de la résistance électrique au cours d’essais d’électromigration sur une structure NIST TSV-last haute densité, en polarisation downstream [Frank2013].

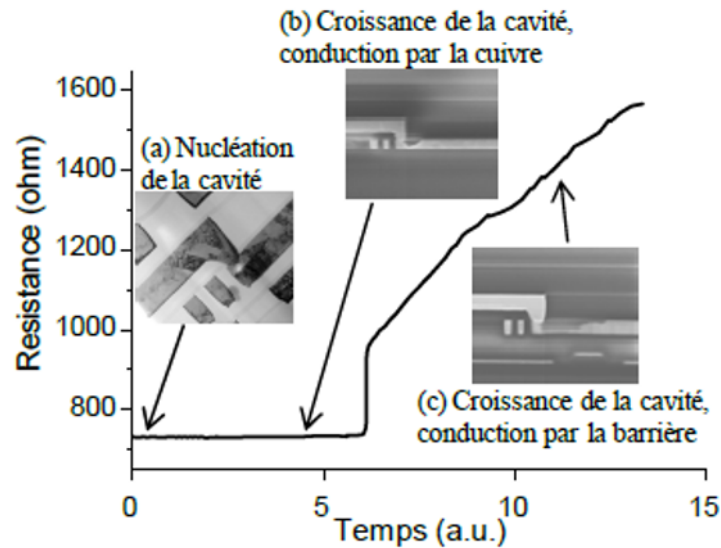


FIGURE 3.4 – Évolution de la résistance électrique au cours d’un essai d’électromigration et évolution de la forme de la cavité tueuse en fonction du temps [Doyen2009].

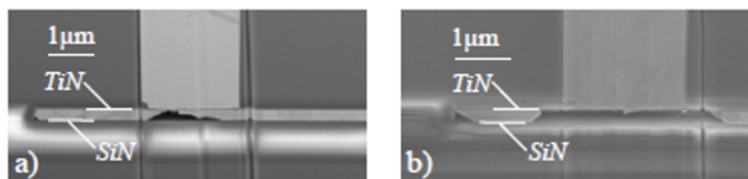


FIGURE 3.5 – Observations électroniques de la cavité tueuse durant les phases a) de latence et b) d’augmentation de la résistance électrique de la courbe $R(t)$.

Des reconstructions numériques de la zone d'intérêt, suite à de la tomographie FIB-SEM [Prieto2016], ont confirmé que la cavité tueuse se formait sous le TSV, et se développait dans une forme quasi-cylindrique comme illustré à la figure 3.6. La figure 3.6-d montre également que l'épuisement en cuivre peut tout de même laisser des îlots de cuivre.

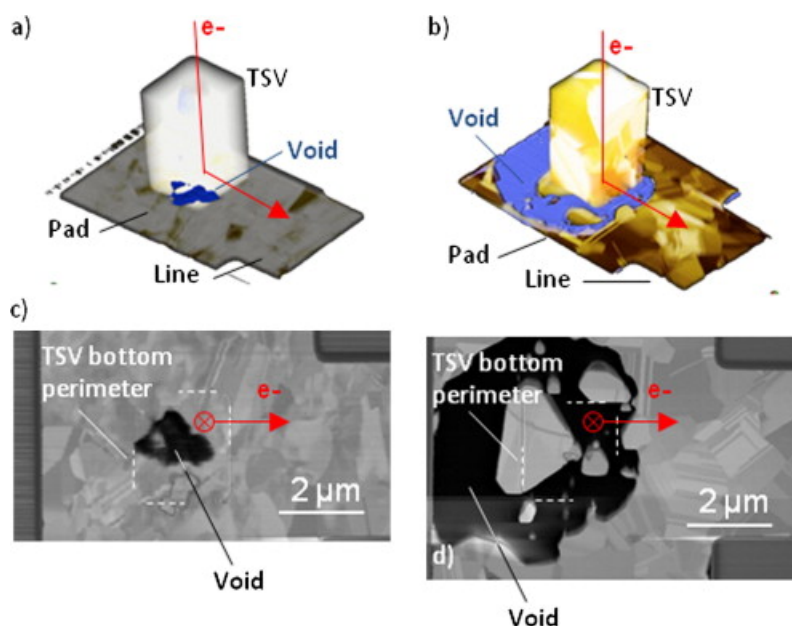


FIGURE 3.6 – a-b) Reconnstructions numériques post-tomographie FIB-SEM respectivement pour un échantillon prélevé alors que la résistance électrique est encore dans la période de latence et pour un échantillon dont la résistance électrique a augmenté. c-d) Coupes virtuelles à l'interface TSV/M_{BOT} de ces 2 échantillons.

Pour une condition de polarisation de type *upstream*, la défaillance est caractérisée par la formation d'une cavité dans le niveau de métal M_{TOP}, au-dessus du TSV ; situation symétrique à la polarisation *downstream*. Là encore, la forme de la cavité permet d'assurer que le lieu de diffusion maximale du cuivre est l'interface Cu/SiN.

Un temps moyen à la défaillance plus élevé pour la configuration *upstream* (cf. figure 3.7) est à relier à la technologie de réalisation du TSV qui implique une différence de section entre le haut et le bas du TSV (respectivement 2,5 µm et 4 µm). Un plus grand volume de cuivre doit être déplacé dans la configuration *upstream* avant que les électrons ne soient obligés de passer par la barrière TiN et ainsi induire un début d'augmentation de la résistance électrique du motif.

Au regard de ces résultats, un scénario de dégradation du système « TSV + ligne » par électromigration peut être dressé. La figure 3.8 illustre ce scénario dans le cadre d'une polarisation *downstream*. Soumise au courant de test, la ligne de test connectée au TSV subit une migration d'atomes de cuivre dans la direction du flux d'électrons. Côté cathode, juste sous le TSV, la migration du cuivre est (parfaitement) bloquée par la barrière TiN située entre TSV et niveau M_{BOT}. Cette zone est donc soumise à une divergence du flux de matière, puisque le cuivre en part alors qu'aucun atome de cuivre n'y arrive à cause de la barrière TiN. Une contrainte mécanique de traction s'installe et croît à cet endroit. Au moment où les conditions mécaniques sont réunies, la nucléation du germe de la future cavité tueuse a lieu. L'interface SiN/Cu étant la plus faible, ce germe s'installe à cette interface. Puisque la migration des atomes de cuivre est contrôlée par le mécanisme complémentaire de migration de lacunes, nous préférons par la suite rendre compte de la migration des lacunes, plus intuitive. Une fois le germe initié à l'interface SiN/Cu, juste sous le TSV, les lacunes s'accumulent toujours à la cathode, induisant la croissance de la cavité dans le plan horizontal, à l'interface SiN/Cu, et dans l'épaisseur de la ligne. Tant que la cavité est plus

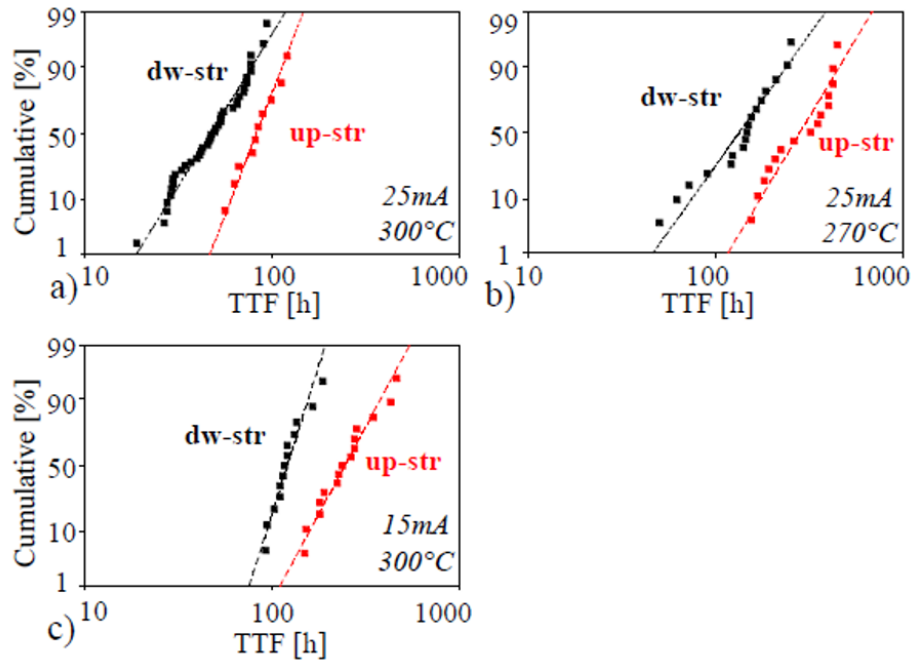


FIGURE 3.7 – Distributions statistiques des temps à défaillance pour 2 structures de test (upstream et downstream) et 3 conditions d'essai : a) 300 °C - 25 mA, b) 270 °C - 25 mA et c) 300 °C - 15 mA. Un temps moyen à défaillance plus faible est toujours observé pour la structure downstream.

petite que la section inférieure du TSV, sa contribution à l'augmentation de la résistance n'est pas significative (inférieure à $0,1 \Omega$ par rapport à la précision de l'équipement de $\pm 0,5 \Omega$). Seulement une fois que la cavité devient plus grande que la section conductrice inférieure du TSV, le flux d'électrons ne peut que transiter à travers la barrière de TiN, à haute résistivité électrique, avant de rejoindre le cuivre un peu plus loin. Ceci entraîne une augmentation significative de la résistance électrique. Les observations issues des analyses de défaillance montrent que le taux de croissance des cavités sous le TSV est presque égal, dans toutes les directions, donnant une forme cylindrique aux cavités (cf. figure 3.6). La croissance de la cavité persiste jusqu'à ce que la barrière de TiN, soumise à un courant électrique élevé, soit endommagée. Cela se traduit, sur le courbe de l'évolution de la résistance électrique au cours du temps soit par une courbe bruitée, soit par un saut abrupt.

3.2.5 Modélisation analytique de l'augmentation de résistance électrique

Afin de proposer un outil aux ingénieurs fiabilistes ou aux *designers* pour appréhender facilement et rapidement la dégradation temporelle par électromigration de la résistance électrique du système « TSV + ligne », un modèle analytique a été développé. A la différence d'autres types d'approche de modélisation, la modélisation analytique est celle qui requiert le moins de ressources informatiques. En effet, elle cherche à approcher le phénomène ou le comportement étudié de façon à avoir le modèle le plus simple mais le plus représentatif possible. Pour cela, les modèles analytiques reprennent sur les équations de base de la physique régissant le phénomène ou le comportement à modéliser et les appliquent à une représentation simplifiée du système réel.

Le modèle

Le modèle analytique repose sur 5 hypothèses :

1. le débit de lacunes F (m^3/s) à travers le niveau métallique est constant (à t , T et I constants).

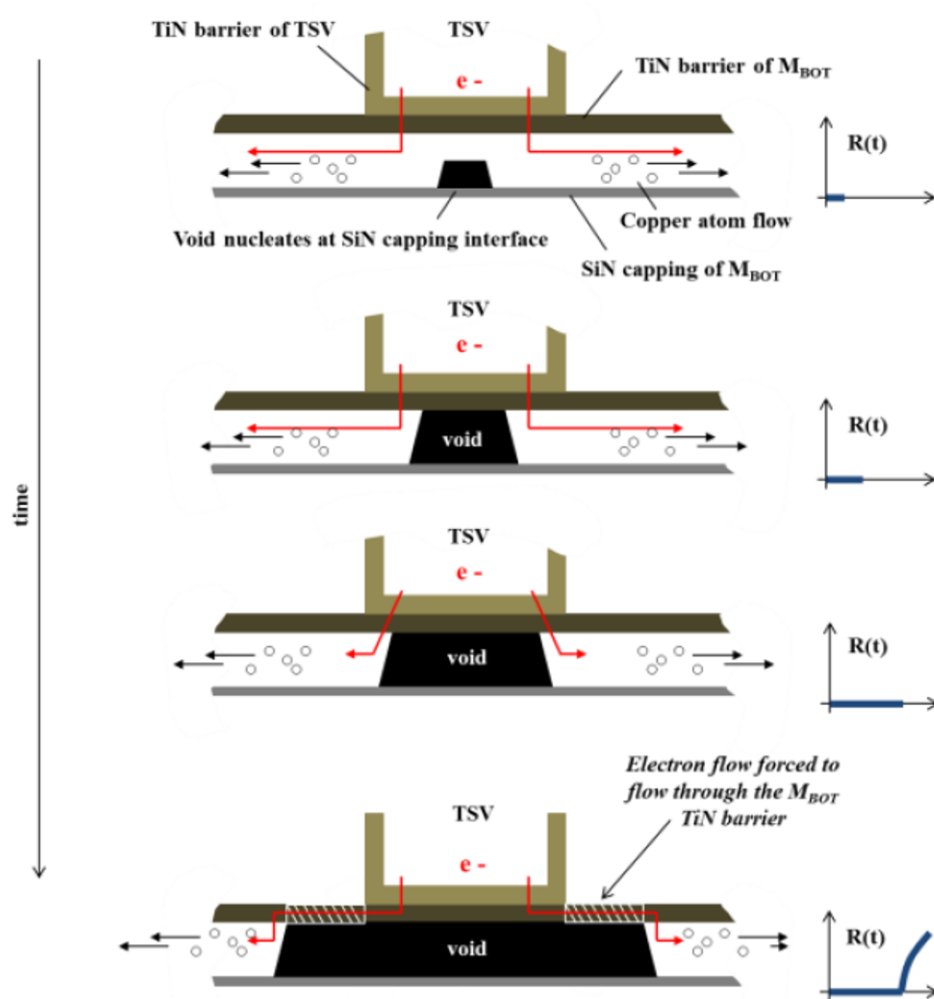


FIGURE 3.8 – Scénario de dégradation par électromigration du système « TSV + ligne » pour une polarisation downstream.

En d'autres termes, cela signifie que le flux de retour (*backflow*) est nul ou tout du moins négligeable. Cette hypothèse est acceptable lorsque la valeur du produit $j \times L$ est de loin supérieure à celle du produit critique ou produit de Blech $(J \times L)_c$. Classiquement, ce facteur est de l'ordre de 3-4 kA/cm pour des interconnexions BEoL Cu alors que dans notre cas, au regard des courants utilisés et la section du niveau métallique M_{BOT} , nous sommes au minimum à 75 kA/cm. Le débit de lacunes à l'aplomb du TSV unitaire peut alors être décrit par l'équation 3.1 :

$$F = F_{EM} = N \frac{D_{eff}}{k_B T} (Z^* e \rho_{Cu} I) \quad (3.1)$$

N étant la concentration de lacunes ($1/m^3$), D_{eff} le coefficient de diffusion effectif (m^2/s), T la température (K), k_B la constante de Boltzmann (eV/K), Z^* le numéro de charge effective (sans unité), e la charge effective (C), ρ_{Cu} la résistivité électrique du cuivre ($\Omega \times m$) et I le courant électrique (A).

- le rapport α du débit de lacunes capturées par la cavité tueuse sur le débit total de lacunes est constant pour un temps d'essai donné et des conditions d'essai données. Ainsi, le volume de la cavité principale peut s'écrire selon l'équation 3.2 :

$$V_{cav} = \alpha V_{lac}(t) = \alpha \int_0^t F dt = \alpha F \times t, \quad \alpha \in]0; 1[, \quad \frac{d\alpha}{dt} = 0 \quad (3.2)$$

- la croissance de la cavité principale est isotrope dans le plan de la ligne de métal (cf. forme circulaire de la cavité); cette observation qui est bien différente de ce qui se passe dans le cas d'une structure « via+ligne » du BEoL cuivre. Après la formation de la cavité et son élargissement à toute la section du niveau métallique, cette cavité grossit en direction de l'anode, c'est-à-dire dans le sens des électrons. Ainsi, nous supposons que la cavité grossit selon un cylindre (cf. figure 3.9) de rayon r_{cav} et de l'épaisseur, $e_{M_{BOT}}$, du niveau métallique M_{BOT} . Une variation de résistance électrique est mesurable à partir du moment où le rayon de la cavité sera plus important que le rayon du TSV, r_{TSV} . A ce stade, le courant électrique n'a plus le choix que d'emprunter une partie de la barrière pour « contourner » la cavité avant de retrouver le cuivre du niveau métallique M_{BOT} . Dans ces conditions, le volume de la cavité s'écrit de la manière suivante :

$$V_{cav} = \pi r_{cav}^2 e_{M_{BOT}} \quad (3.3)$$

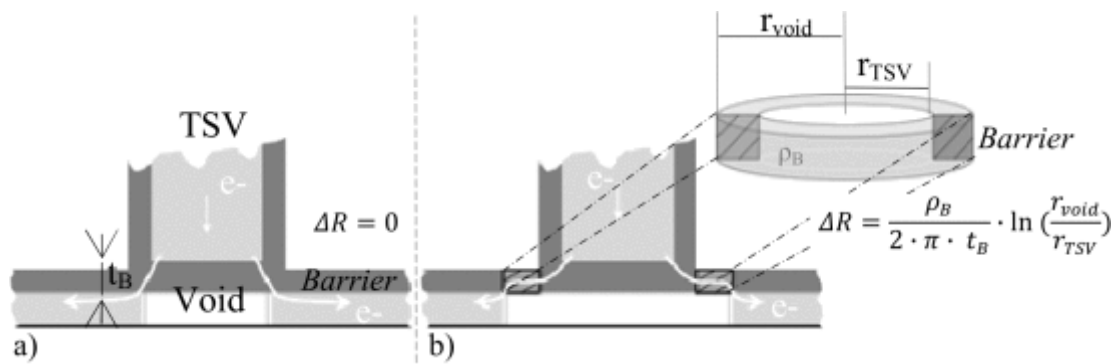


FIGURE 3.9 – Schéma d'illustration du modèle analytique lorsque la cavité tueuse présente a) un diamètre inférieur et b) supérieur au diamètre du TSV sus-jacent.

- la partie inférieure du TSV est supposée circulaire alors que dans les faits elle est carrée. Cette approximation n'apporte qu'une erreur de second ordre au regard de la taille de la cavité à partir du moment où elle a dépassé le diamètre du TSV.

5. les cavités annexes présentent une contribution minimale sur l'accroissement de la résistance électrique du motif sous test.

Au regard des hypothèses sus-décrites, une variation infinitésimale de la résistance électrique du motif après que le diamètre de la cavité a atteint le diamètre du TSV sera décrite par l'équation suivante :

$$dR = \rho_{barr} \frac{dr_{cav}}{2\pi e_{barr} r_{cav}} \quad (3.4)$$

où dr_{cav} et e_{barr} sont respectivement les variations infinitésimales du rayon de la cavité et l'épaisseur de la barrière TiN.

En intégrant cette grandeur sur la distance séparant le rayon du TSV et le rayon de la cavité une fois que celle-ci est plus grande que le TSV, on aboutit à l'expression suivante :

$$R(r_{cav}) - R_0 = \int_{r_{TSV}}^{r_{cav}} dR = \frac{\rho_{barr}}{2\pi e_{barr}} \ln\left(\frac{r_{cav}}{r_{TSV}}\right) \quad (3.5)$$

En combinant les équations 3.2-3.3 et 3.5, l'accroissement de la résistance électrique du motif par électromigration peut être décrit par l'expression 3.6 :

$$R(t) - R_0 = A \ln\left(\frac{t}{t_0}\right) \quad t > t_0 \quad (3.6)$$

avec :

$$A = \frac{\rho_{barr}}{4\pi e_{barr}} \quad (3.7)$$

et

$$t_0 = \frac{e_{M_{BOT}} \pi r_{TSV}^2}{\alpha F} \quad (3.8)$$

Le facteur A représente la pente de la courbe en échelle logarithmique et t_0 est le temps pour lequel le diamètre de la cavité dépasse celui du TSV.

Ce modèle a été confronté aux résultats expérimentaux et montre sa pertinence. Cette confrontation est présentée dans la publication : [Frank2011]. Ce modèle a été repris et complété par une équipe de l'université de technologie de Vienne (Autriche) [de Orio2012]. Cet article conforte le modèle développé par Thomas FRANK et l'étend pour appréhender le cas critique où $r_{void} = r_{TSV}$ mais aussi quand $r_{void} < r_{TSV}$, cas des défaillances précoces ou extrinsèques. Cette équipe complète l'exploration de la dégradation par électromigration du TSV-last HD en usant de simulations numériques. Ce travail mènera à la mise en place d'une collaboration entre cette équipe et l'équipe ST/LETI aboutissant à une publication commune lors de la thèse de Simon GOUSSEAU [de Orio2014].

3.2.6 Loi d'extrapolation

Effet de polarité

L'exposant de dépendance au courant électrique n et l'énergie d'activation E_a de l'équation de Black (cf. équation 1.2, p. 19) – reliant le temps moyen à la défaillance à la densité de courant et à la température – ont été extraits pour les 2 types de polarisation, *up-* et *down-stream*. Des énergies d'activation de 1 eV et 0,9 eV sont respectivement trouvées pour ces 2 configurations (cf. figure 3.10). Ces proches valeurs sont en bon accord avec l'énergie d'activation attendue pour une intégration de type BEoL en cuivre. L'exposant extrait est respectivement de 2,1 et 2. Cette valeur est plutôt élevée en comparaison de la valeur théorique de 1 attendue pour du cuivre. Cette différence est souvent imputée à un effet Joule local et, dans le cas présent, dans la barrière TiN lorsque la cavité devient plus grande que la section du TSV.

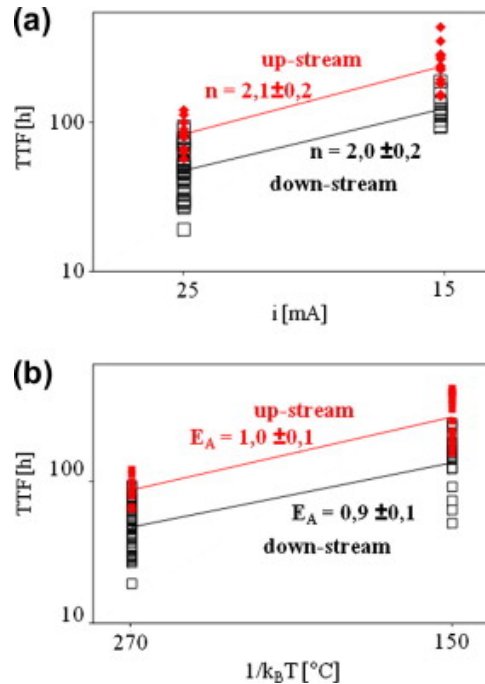


FIGURE 3.10 – Extraction des paramètres de Black pour un niveau métallique M_{TOP} fin et les 2 configurations de polarisation : a) exposant de dépendance à la densité de courant électrique et b) énergie d'activation.

Intérêt d'un niveau métallique M_{TOP} fin ou épais

Comme révélé précédemment par les analyses de défaillance, la cavité tueuse occupe très rapidement toute la hauteur du niveau métallique M_{TOP} ou M_{BOT} en fonction du sens des électrons même si la durée de vie de la structure de test est principalement gouvernée par la vitesse d'extension de cette cavité dans le plan du niveau métallique. Se pose tout de même la question de savoir s'il est possible de tirer bénéfice d'un niveau métallique plus épais pour accroître la durée de vie de ces niveaux métalliques. Ainsi, de l'épaisseur courante de $0,25 \mu\text{m}$, nous sommes passés à une épaisseur de $3 \mu\text{m}$.

Les analyses de défaillance des structures présentant un niveau métallique M_{TOP} épais montrent que la cavité tueuse se développe juste au-dessus/au-dessous du TSV comme pour le cas d'un niveau métallique M_{TOP} mince. Cependant, une différence majeure est l'interface faible qui est dans le cas de la ligne épaisse, l'interface Cu/TiN (cf. figure 3.11-e/h). Nous supposons que l'interface Cu/SiN est trop éloignée du site de divergence de flux de matière qui est la barrière TiN à la transition entre TSV et les niveaux métalliques sus ou sous-jacents (*up/down-stream*). Par conséquent, la taille critique de la cavité pour ouvrir la section conductrice au-dessus/au-dessous du TSV ne s'étend pas sur toute la hauteur de la ligne. Ainsi, le temps à la défaillance n'est pas directement relié à l'épaisseur du niveau métallique notamment si la défaillance est due à une cavité de type fente (*slit void*), similaire à celle que l'on peut trouver dans les interconnexions BEoL [Lee2006]. De plus, concernant la configuration *upstream*, des cavités sont également observées à l'interface opposée Cu/SiN (3.11-e/f). Dans le cas d'un niveau métallique épais, la dégradation par électromigration est effective en plusieurs lieux à la différence d'un niveau métallique fin mais la cavité tueuse reste située directement au-dessus/au-dessous du TSV.

L'emploi d'un niveau métallique épais n'assure pas une plus grande résistance au phénomène d'électromigration, car la cavité tueuse a tendance à croître directement à l'interface TSV/niveau métallique sans tirer partie d'un volume de cuivre à déplacer plus important.

En conséquence, l'augmentation de l'épaisseur de la ligne améliorera les performances d'un point de vue électromigration uniquement si la cavité tueuse s'étend sur l'intégralité de l'épaisseur

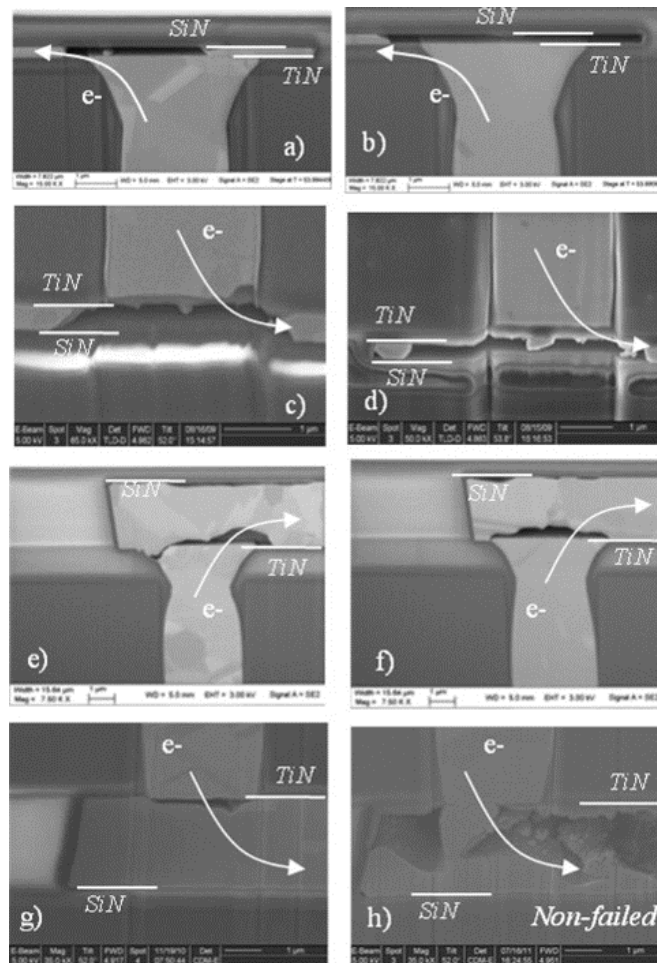


FIGURE 3.11 – Clichés électroniques des cavités tueuses pour des échantillons : a-b) ligne fine + upstream, c-d) ligne fine + downstream, e-f) ligne épaisse + upstream, g-h) ligne épaisse + downstream.

de la ligne avant d'ouvrir la section conductrice du TSV. Au vu des résultats précédents, il semble possible de trouver une épaisseur de ligne optimale pour laquelle l'épaisseur est entièrement utilisée avant la conduction par la barrière TiN. Ce dernier point n'a malheureusement pu être conforté par des résultats expérimentaux du fait de l'impossibilité de réaliser de nouvelles plaques avec une épaisseur à nouveau différente (aspects priorité des projets, coût...).

3.3 Corrélation entre la cinétique de la dégradation électrique et de la dégradation physique par test *in situ*

L'analyse de défaillance, dans le cadre d'une dégradation par électromigration, permet de rendre compte de la taille, de la forme et de la position de la cavité tueuse au moment de la défaillance. Cependant, cette méthode laisse planer des incertitudes, puisqu'il s'agit de faire des hypothèses à partir de micrographies électroniques prises à un instant t . C'est équivalent à essayer de deviner la loi qui a régi le déroulement d'un marathon en ne regardant que la photo de l'arrivée de la course.

Pour approfondir la compréhension du mécanisme, les tests accélérés peuvent être interrompus pour caractériser les échantillons avant la défaillance (cf. figure 3.11-g). Il est ainsi possible d'envisager le déroulement de la phase de croissance des cavités pour le phénomène d'électromigration ou la croissance de composés intermétalliques soumis à stockage thermique. Pour continuer la métaphore sportive, il s'agit cette fois d'étudier la loi avec des photos prises durant la course sans nécessairement avoir la photo de l'arrivée.

Une méthodologie s'est affranchie de ces limites en analysant les structures pendant les essais d'électromigration. Il s'agit des tests dits *in situ* ou *operando*. Ces essais sont réalisés sur différents équipements mais principalement MEB [Besser1992, Langer2002, Huang2008] mais aussi MET [Chang1990, Riege1995, Liao2010]. Pour finir avec la métaphore, il s'agit cette fois de photographier les courses avec un nombre suffisant d'images pour capturer les moments les plus importants, ou mieux, de les filmer. L'importance de ce type d'essai pour accéder à une compréhension unique des mécanismes est admise depuis près de 50 ans [Berenbaum1971]. Pourtant, leur nombre reste limité du fait de la complexité de mise en œuvre, de l'impossibilité de caractériser plusieurs échantillons simultanément et de l'immobilisation d'un équipement de caractérisation pour des durées importantes (dizaines à centaines d'heures).

Dans ce contexte d'approfondissement des résultats obtenus par Thomas FRANK au cours de sa thèse (cf. 3.2, p. 44), un nouveau sujet de thèse a été conjointement défini par ST et le CEA-LETI. Simon GOUSSEAU a été recruté pour développer le banc de test ad-hoc [Gousseau2015a].

3.3.1 Réalisation du banc de test

Qui dit test *in situ* pour le phénomène d'électromigration, dit en premier lieu application d'un courant électrique et du maintien à « à haute température » l'échantillon à tester. En second lieu, il faut être capable de caractériser la dégradation. La mesure de la résistance électrique est indispensable pour la comparaison avec les résultats précédemment présentés ou ceux issus de la littérature. Comme évoqué plus haut ce n'est pas suffisant pour analyser précisément le mécanisme de défaillance. Pour y parvenir, il est nécessaire d'être en capacité d'observer la morphologie du défaut et son évolution au cours du temps. Pour cette raison, le choix se porte sur les techniques d'imagerie.

Choix de la technique d'imagerie

Du fait de la taille des objets à observer, il faut s'orienter vers de la microscopie qui est définie comme étant un ensemble de techniques d'imagerie des objets de petites dimensions. Ce domaine peut être divisé en plusieurs familles [Roblin1998] dont les plus connues sont : optique (ex. : confocale, à fluorescence), électronique/ionique (ex. : MEB, MET), à sonde locale (ex. : AFM, STM), acoustique (ex. : SAM).

Pour trouver la technique adaptée à l'étude de l'endommagement par électromigration du TSV, le cahier des charges est donné ci-dessous, sans hiérarchisation particulière.

1. Technique/outil autorisant un porte-échantillon avec des connexions électriques aussi bien pour l'aspect polarisation/suivi de la résistance électrique que chauffe de l'échantillon.
2. Les matériaux constitutifs de la chambre du microscope doivent pouvoir soutenir des températures atteignant 375 °C au maximum, typiquement 350 °C.
3. Une résolution latérale de l'ordre de la dizaine de nanomètres est requise pour observer la nucléation des cavités.
4. Bien que la taille des zones à caractériser atteigne la centaine de micromètres carrés, il n'y a pas de restriction sur la capacité de la méthode à les observer en une seule fois ou non.
5. Une profondeur de champ d'environ 1 µm est requise.
6. Afin de suivre l'évolution de la dégradation, la technique de caractérisation doit être non destructive.
7. Bien que la dégradation par électromigration soit « relativement » lente, afin de ne pas rater d'événement majeur de la dégradation, la durée des acquisitions doit être inférieure à une dizaine de minutes.
8. La durée de vie des échantillons étant supérieure à la centaine d'heures, l'équipement doit pouvoir être utilisé en continu sur une telle durée.
9. Si une préparation d'échantillon est nécessaire, celle-ci doit :
 - (a) Conserver le conditionnement mécanique de la structure de test puisque l'état de contrainte mécanique influence le phénomène d'électromigration.
 - (b) Préserver les différents matériaux impliqués dans la dégradation par le phénomène d'électromigration. Par exemple, dans le cas du TSV et pour une polarisation *upstream*, il est fondamental de conserver la couche de passivation SiN puisque l'interface Cu/SiN constitue, dans ce cas, le chemin préférentiel de la diffusion des atomes de cuivre.

Il découle assez naturellement de ce cahier des charges de choisir la microscopie électronique à balayage (MEB). La technique est simple d'utilisation, avec un temps de réalisation d'une micrographie inférieur à une minute. À 30 kV, sa profondeur d'analyse est d'environ 2 µm dans le cuivre, d'après la formule de Kanaya et Okayama [Kanaya1972]). À cette même énergie, la passivation protectrice de l'échantillon est transparente aux électrons du faisceau. L'équipement retenu est un modèle JSM-7500F du fabricant japonais JEOL. Il est utilisable couramment pour des campagnes de test pouvant durer jusqu'à 2 semaines. Le fabricant annonce une résolution latérale de 1 nm pour une tension d'accélération de 15 kV. A la différence de beaucoup d'équipements de ce type, cet équipement est exempt de pièces pouvant se détériorer sous l'effet de la chaleur. Cet équipement appartient au Laboratoire des Technologies de la Microélectronique (L.T.M., C.N.R.S., U.G.A.).

Instrumentation et porte-échantillon

Le courant électrique, ou plus précisément la densité de courant électrique, est l'une des forces motrices de l'électromigration (cf. 1.3.3, p. 17). Ainsi, un source-mètre Keithley 2602a est employé afin d'injecter un courant continu dans la structure de test par l'intermédiaire du boîtier

DIL-16, auquel la puce est connectée par un câblage filaire. En parallèle, le source-mètre assure la mesure de la résistance électrique en vue d'une comparaison aux résultats de la littérature.

La température est un second vecteur contrôlable de l'accélération de la dégradation par électromigration (cf. 1.3.3, p. 17). Le système de chauffe pour cette caractérisation *in situ* doit avoir la capacité de chauffer l'échantillon jusqu'à 350 °C, pour avoir des conditions similaires à celles des essais accélérés conventionnels (cf. 3.2, p. 44). En termes de stabilité thermique, l'objectif à atteindre est une variation de $\pm 0,5$ °C/10 h. La méthode retenue est un chauffage par effet Joule. Un courant de quelques ampères est injecté par une alimentation HP 6002A dans un filament résistif en tantale. Ce dernier est moulé dans une poutrelle céramique, elle-même moulée. Sur cette poutrelle, l'opérateur vient positionner un boîtier DIL-16 comprenant l'échantillon collé et câblé. Ainsi, la chaleur générée, au niveau du filament, est transmise par conduction à l'échantillon. Pour s'assurer que la température est à la valeur désirée, deux thermocouples de type K sont placés entre le boîtier DIL-16 et la céramique. L'un des thermocouples est relié à un afficheur. L'autre est connecté à un multi-mètre Keithley 2400 afin d'enregistrer la valeur de température au cours du temps. En parallèle, cette mesure est comparée à la valeur de température provenant de la mesure de la résistance électrique du motif sous test via son coefficient de température (*Temperature Coefficient of Resistance*, TCR).

Comme illustré à la figure 3.12, l'ensemble est fixé sur un porte-échantillon conventionnel du microscope, en laiton, mais adapté pour l'expérience.

Les instruments sont pilotés par un programme développé sous LabVIEW®. Afin de limiter le nombre de données à stocker et à traiter, les valeurs de la résistance ne sont pas stockées à chaque itération du programme LabVIEW®, mais en fonction d'un pas de temps défini par l'utilisateur ou en fonction d'un pourcentage de variation de la résistance électrique du motif sous test par rapport au dernier enregistrement.

3.3.2 Caractérisation de la dégradation par électromigration

Pour valider la méthodologie expérimentale et les choix techniques, les résultats des essais d'électromigration *in situ* doivent être cohérents avec ceux obtenus par Thomas FRANK [Frank2013].

Ce paragraphe détaillera tout d'abord la caractérisation électrique d'un échantillon similaire à ceux employés par Thomas FRANK durant ses travaux de thèse. Cette caractérisation est commune à toutes les études sur l'électromigration (*ex* ou *in situ*). En premier lieu, les micrographies électroniques acquises seront présentées et analysées. Par la suite, elles seront utilisées pour tenter de lier l'évolution morphologique du défaut tueur et le comportement de la résistance électrique de la structure sous test.

La figure 3.13 trace l'évolution de la résistance relative au cours du temps.

Différentes phases sont clairement repérées sur la courbe. Tout d'abord, un long plateau au cours duquel la résistance est relativement constante (variation inférieure à 2 %). Vers 330 h survient un premier saut de résistance d'environ 10 %, synonyme usuellement de défaillance. En effet, un critère de défaillance de 10 % est couramment utilisé. La troisième partie de la courbe est une période de croissance linéaire jusqu'à environ 600 h, moment à partir duquel l'évolution s'accélère. Un saut de résistance d'environ 100 % se produit à 750 h, auquel succède une nouvelle période de croissance.

À première vue, jusqu'à 700 h, le comportement de la résistance est similaire à celui indiqué dans la littérature : une phase pendant laquelle la valeur reste relativement identique à la valeur initiale, puis une seconde phase durant laquelle une forte augmentation se produit. Cependant, Thomas FRANK [Frank2011] observe une croissance logarithmique, sans saut préalable. Cet écart de comportement est à relativiser, car il n'est constaté que pour un unique essai. Il est à noter que les premières étapes de l'évolution de la résistance sont relativement semblables avec les observations effectuées pour le BEoL [Doyen2009].

Ces premiers résultats, exceptées les différences constatées indiquées ci-dessus, confirment

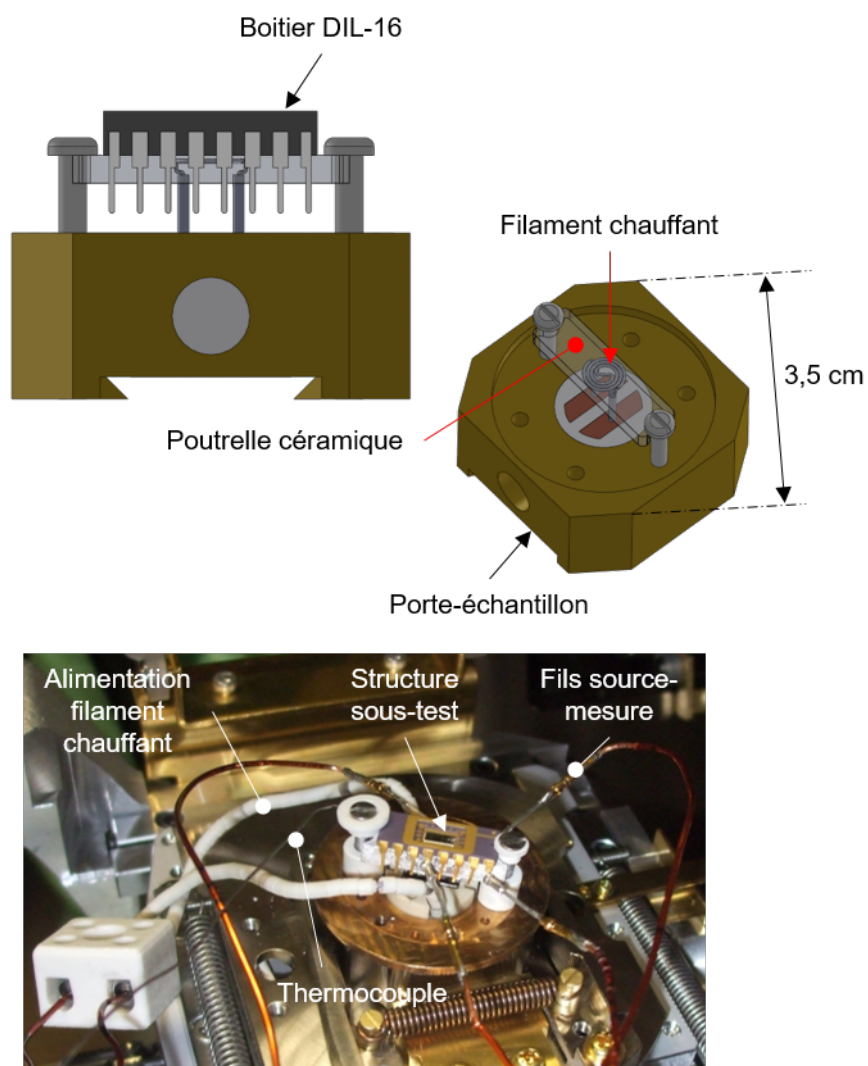


FIGURE 3.12 – En haut : dessins CAO (SolidWorks®), sous 2 angles différents, du porte-échantillon chauffant développé au cours des travaux de thèse de doctorat de Simon GOUSSEAU. En bas, photographie du porte-échantillon chauffant en conditions opérationnelles.

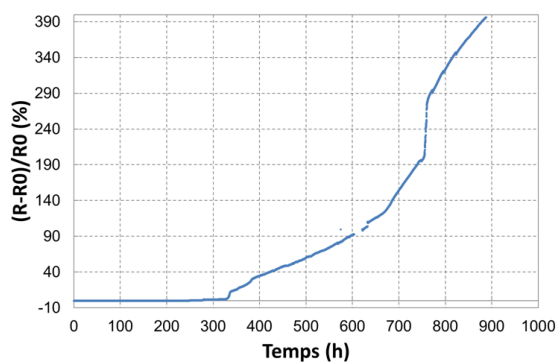
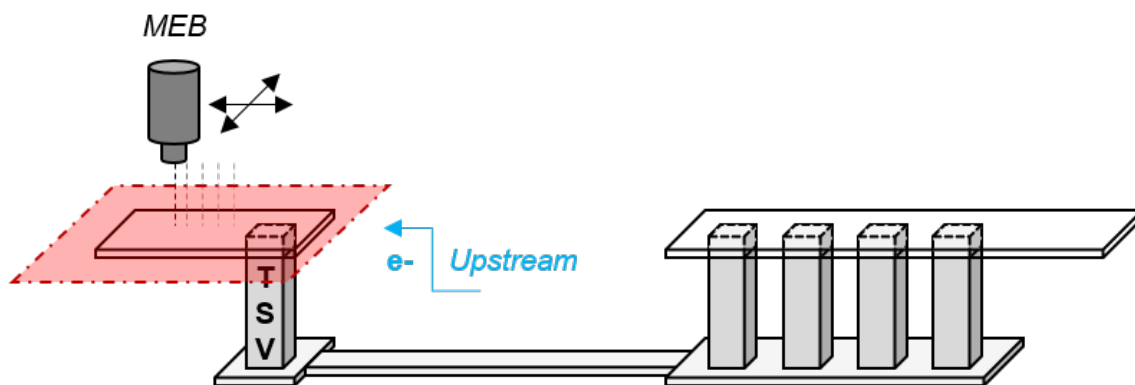


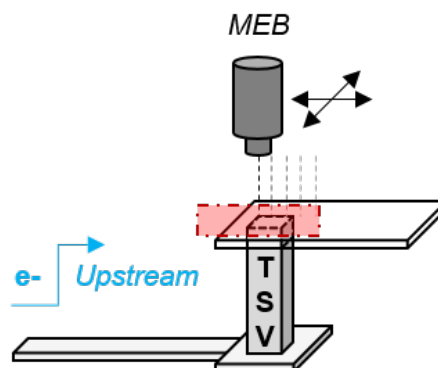
FIGURE 3.13 – Évolution temporelle de la résistance électrique relative de la structure NIST TSV lors d'un test d'électromigration in situ (25 mA, 350 °C, polarisation upstream).

la capacité du banc de test à répondre à la grande majorité du cahier des charges présenté à la sous-partie 3.3.1 : suivi temporel de l'évolution de la résistance électrique d'un échantillon soumis à un vieillissement par électromigration. La partie manquante correspond à la plus-value du banc de test. En effet, comme annoncé en introduction de ce sous-chapitre 3.3, la spécificité du banc de test réside principalement dans sa capacité à caractériser en quasi-temps réel l'évolution morphologique d'un défaut tout en mesurant l'évolution temporelle de son impact sur la résistance électrique de l'échantillon sous test au cours d'un essai d'électromigration. Cette analyse de l'évolution morphologique est détaillée ci-après.

Pour suivre l'évolution de l'endommagement, des micrographies électroniques sont réalisées régulièrement. La figure 3.14a représente le schéma de la structure de test, le côté d'observation, le plan scruté par le MEB. La figure adjacente (3.14b) présente un zoom sur la zone réellement étudiée durant l'essai *operando*.



(a) Vue générale de la structure NIST TSV sous test et niveau des observations MEB (plan rouge).



(b) Zoom sur la zone scrutée par le MEB. Cela a permis d'acquérir les images de la figure 3.15.

FIGURE 3.14 – Schémas de repérage de la zone d'observation par microscopie électronique à balayage durant un essai d'électromigration sur une structure de test de type NIST TSV.

La figure 3.15 présente les micrographies MEB caractéristiques de la dégradation observée. Le TSV est visible par transparence et apparaît plus clair que le cuivre de la ligne M_{TOP} . La figure 3.15-a est la première micrographie MEB réalisée. La barrière TiN y est tracée en tirets verts, car très peu visible à ce grossissement. Le sens de déplacement des électrons y est également indiqué. Entre le début de l'essai d'électromigration et la réalisation de cette première acquisition, trois cavités se sont formées dans la ligne M_{TOP} , à proximité de la zone de connexion au TSV. Par souci de simplicité d'explication, les cavités sont numérotées. La cavité n°1 est, la plus à gauche, la deuxième se trouve juste au-dessus du coin inférieur droit du TSV et la troisième se trouve juste au-dessus du coin supérieur droit du TSV.

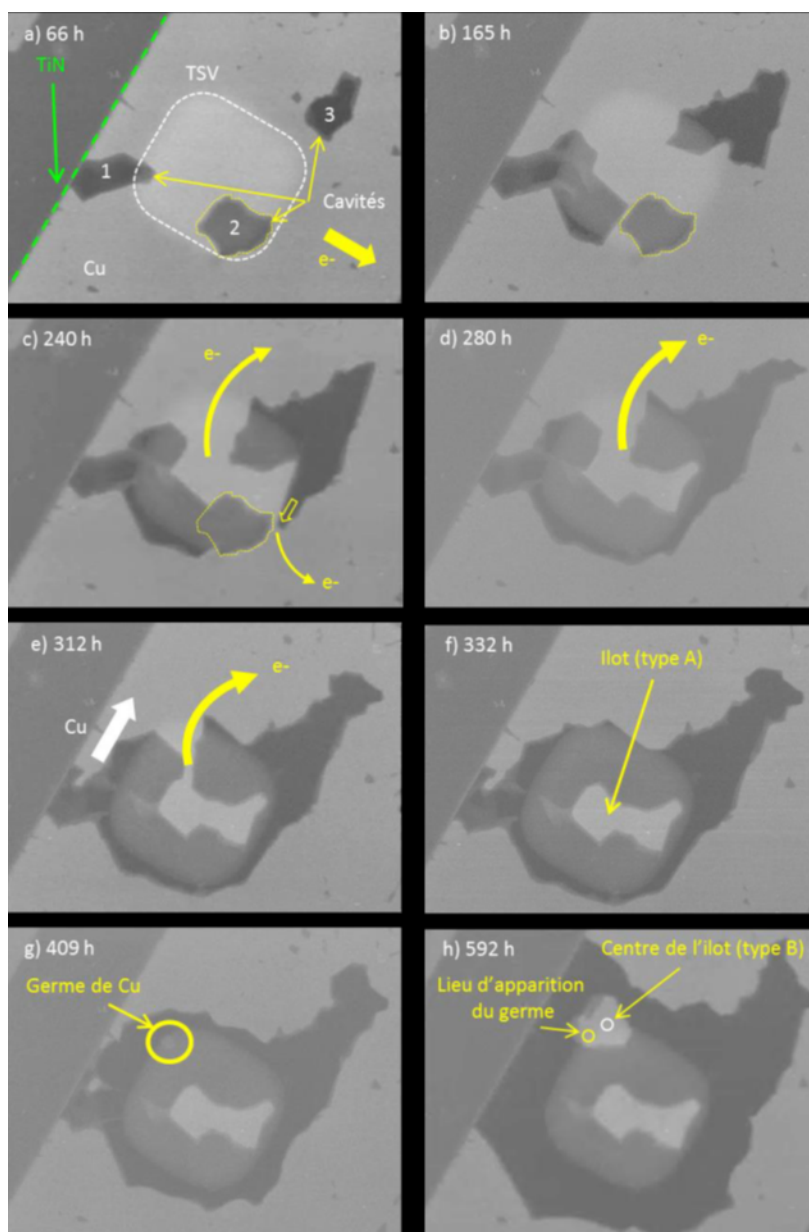


FIGURE 3.15 – Micrographies électroniques caractéristiques de l'évolution des cavités dans la ligne M_{TOP} , au-dessus d'un TSV HD, réalisées aux instants $t = a) 66 h, b) 165 h, c) 204 h, d) 280 h, e) 312 h, 332 h, g) 409 h$ et $h) 592 h$ au cours d'un essai d'électromigration (25 mA, 350 °C)

L'analyse des figures 3.15-b à f révèle que la cavité n°2 n'évolue pas, tandis que les cavités n°1 et 3 se développent en suivant le pourtour du TSV. Cette évolution s'explique par la combinaison de deux mécanismes : la diffusion préférentielle le long de la surface des cavités et le décalage des lignes de courant sur leurs bords. La croissance de la cavité n°1 entraîne sa coalescence avec la cavité n°2 vers 170 h d'essai (figure 3.15-b).

Cette coalescence effective, il ne reste plus que deux chemins de conduction (figure 3.15-c). Pour minimiser la résistance électrique de la structure, il est attendu que le courant passe principalement entre les cavités n°2 et 3 plutôt qu'entre les cavités n°1 et 3 augmentant le déplacement de matière entre les cavités n°2 et 3. Les acquisitions confirment cette hypothèse puisque la cavité n°3 évolue en direction de la cavité n°2, empêchant la conduction électrique à cet endroit (figure 3.15-c et d). Seul le chemin de conduction électrique entre le bord de la ligne M_{TOP} et le TSV est encore actif (figure 3.15-d). Ceci explique l'évolution de la cavité n°3 en direction du bord supérieur de la ligne M_{TOP} , non visible sur ces micrographies.

La suite logique de cette croissance est la fermeture du chemin de conduction entre les cavités n°1 et 3. Ainsi, après 332 h d'essai, la coalescence des trois cavités entraîne la déplétion en cuivre du niveau M_{TOP} , à l'aplomb du pourtour du TSV. En l'absence de cuivre, la barrière TiN assure la conduction électrique (cf. figure 3.9). Au-dessus du TSV, un îlot de matière (qui sera dit de « type A ») résiste à la déplétion après la coalescence des cavités. Il n'évolue pas jusqu'à la fin de l'expérience. Des îlots semblables sont observés dans la littérature [Frank2011]. Si leur existence n'est pas du plus grand intérêt d'un point de vue fiabilité, l'observation de la formation de cet îlot est un exemple significatif de l'apport des techniques *operando*.

Après la coalescence des 3 cavités initiales, la cavité résultante croît de manière quasi-isotrope (figure 3.15-g et h) jusqu'à la fin de l'essai (figure 3.16), allongeant la longueur de la conduction dans la barrière.

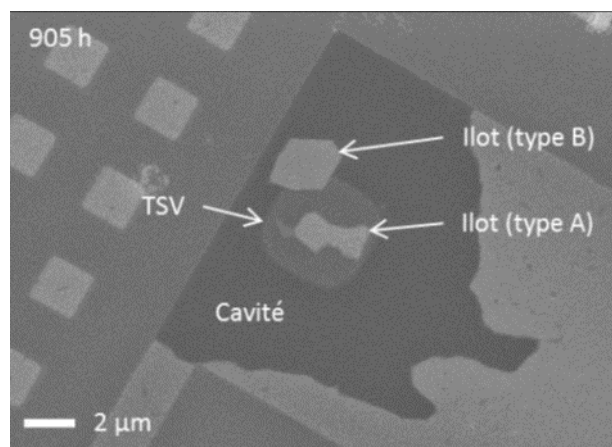


FIGURE 3.16 – État final (905 h) de la dégradation par électromigration (25 mA, 350 °C) d'une structure NIST TSV. Le TSV est vu par transparence.

Après 409 h de test (3.15-g), un germe de cuivre apparaît au-dessus du TSV, dans une zone où la déplétion est totale. Comme le montre la figure 3.15-h, la matière s'accumule pour former un îlot de cuivre (qui sera dit de « type B »). Le suivi de cette évolution dans le temps démontre que l'îlot ne croît pas de manière isotrope à partir du centre du germe. La connaissance exacte de la position d'apparition du germe est une information précieuse en vue de faciliter les caractérisations post-mortem destinées à comprendre son origine.

Dans cette partie ont été commentées les principales micrographies réalisées pendant un essai *operando* d'électromigration. La cinétique d'évolution des cavités est observée et expliquée. Par cette technique d'analyse, on retrouve des éléments connus tels que la localisation de la cavité

tueuse, le chemin préférentiel de diffusion, à savoir l'interface Cu/SiN comme vu précédemment à la figure 3.5, mais aussi l'effet réservoir¹ (cf. figures 3.15-e à h).

L'analyse démontre également l'apport des études *operando* pour étudier des phénomènes incompris en essais d'électromigration avec caractérisations post-mortem, tels que la formation des îlots de type A et B.

3.3.3 Relation résistance électrique et morphologie du défaut tueur

Comme présentée précédemment, la morphologie du défaut tueur est caractérisée au cours de l'essai d'électromigration à l'instar de la classique mesure en continu de la résistance électrique du motif sous test. Ce faisant, une possible corrélation entre les deux évolutions est recherchée.

En zoomant sur les 80 premières heures de la courbe d'évolution temporelle de la résistance électrique (cf. 3.17a), une croissance soudaine suivie d'une décroissance sont identifiables. L'augmentation initiale de la résistance électrique observée a peu de chance d'être liée à la nucléation des cavités, puisque la résistance décroît peu après. L'analyse de la figure 3.17b tendrait à indiquer que la variation de résistance est liée à celle de la température de la structure de test. En effet, peu après le démarrage de l'essai, la température mesurée augmente puis diminue ($t \in [0, 40 \text{ h}]$) ce qui est caractéristique de l'échauffement par effet Joule de la structure de test par le courant de test avant stabilisation thermique du système sous test (re-descente de la température et stabilisation à environ +0,4 °C au-dessus de la consigne). A cela pourrait éventuellement s'ajouter une stabilisation de la microstructure (*self-annealing* ou *thermal annealing*) [Alshwawreh2012, Kwon2005], se traduisant électriquement par une diminution de la résistivité électrique du cuivre et donc de la résistance électrique des niveaux métalliques.

Aucun autre phénomène n'est observable sur la courbe d'évolution de la résistance électrique jusqu'à la réalisation de la première micrographie électronique, effectuée au temps indiqué par une flèche noire verticale sur la figure 3.17. La nucléation des cavités n'est donc pas détectable par la mesure classique de la résistance par signaux continus (*direct current*, DC), ce qui est cohérent avec la négligeable diminution de la section conductrice par les 3 cavités.

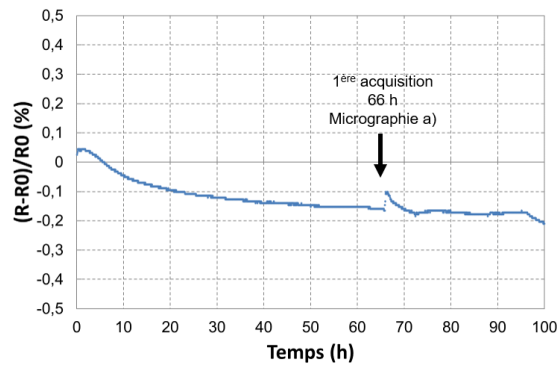
La figure 3.18 illustre l'évolution de la résistance entre 160 h et 340 h. Les temps auxquels sont réalisées les micrographies b à d de la figure 3.15 sont représentés par des traits verticaux.

L'analyse des micrographies à 165, 240 et 280 h révèle que la cavité n°3 croît en direction de la cavité n°2 comme indiqué par la flèche au contour jaune sur figure 3.15-c, jusqu'à leur coalescence (figure 3.15-d). La perte de ce chemin de conduction électrique réduit en conséquence la section conductrice, expliquant l'augmentation de la résistance à partir de 200 h. Le saut de résistance de 1 % vers 280 h correspond à la perte du chemin de conduction à droite du TSV lors de la coalescence des cavités n°2 et 3.

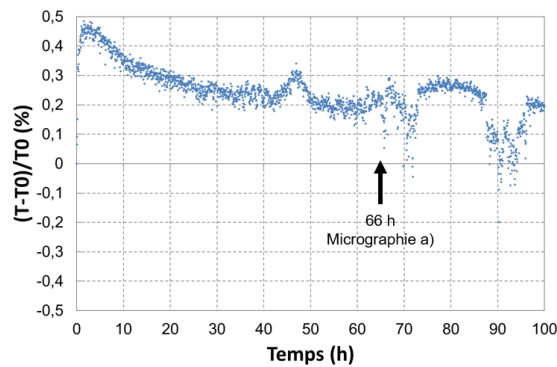
La partie la plus frappante de la courbe est le saut de résistance de 10 % qui se produit vers 330 h. La figure 3.19 représente l'évolution de la résistance entre 300 et 450 h d'expérience. Les temps de réalisation des micrographies e à g de la figure 3.15 sont repérés par des traits verticaux. Malgré la création d'un « cylindre creux » sans cuivre à l'aplomb du TSV, dans la ligne M_{TOP} , le courant électrique peut toujours s'écouler jusqu'à l'anode non plus en passant de manière quasi exclusive par du cuivre mais en passant par la barrière TiN pour cette zone désertée par le cuivre. La résistivité électrique de la barrière, près de cent fois supérieure à celle du cuivre, explique le saut de résistance. La croissance de la cavité provoque l'allongement de la conduction dans la barrière TiN (figure 3.9), ce qui induit l'augmentation de la résistance.

L'effet collatéral de la conduction accrue par la barrière TiN est une augmentation de l'effet Joule local ($P = R \times I^2$ en régime de courant continu), dont l'importance augmente avec la taille

1. L'effet réservoir est le phénomène de déplacement de matière dans des zones où la densité de courant électrique est nulle ou dans tous les cas bien inférieure à celle de la ligne métallique sous test. Ce phénomène est classiquement utilisé pour allonger la durée de vie des interconnexions du BEoL [Nguyen2001, Shao2005].



(a) Évolution relative de la résistance électrique jusqu'à l'acquisition de la première micrographie électronique.



(b) Évolution relative de la température de test jusqu'à l'acquisition de la première micrographie électronique.

FIGURE 3.17 – Évolution temporelle a) de l'évolution relative de la résistance électrique et b) de la variation relative de température, jusqu'à la réalisation de la première micrographie (66 h) lors d'un essai d'électromigration (25 mA, 350 °C).

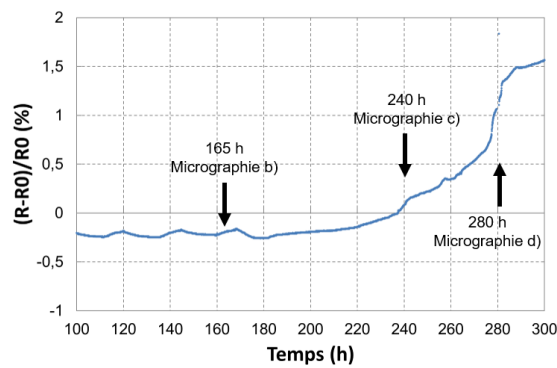


FIGURE 3.18 – Évolution de la résistance entre 160 h et 340 h de test d'électromigration (25 mA, 350 °C), avec indication de la réalisation des micrographies de la figure 3.15.

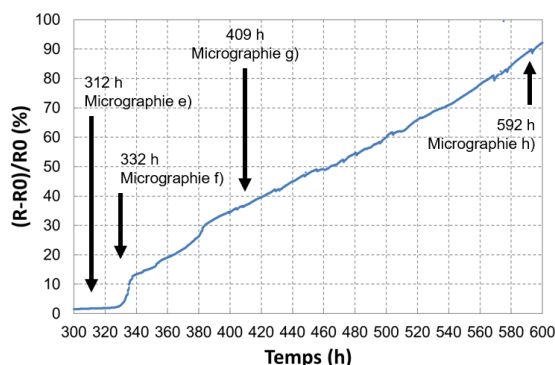


FIGURE 3.19 – Évolution de la résistance entre 300 h et 440 h de test d'électromigration (25 mA, 350 °C), avec indication de la réalisation des micrographies de la figure 3.15.

de la cavité. La figure 3.20 révèle en effet que la température commence à augmenter peu après la formation de cette cavité cylindrique présente à l'aplomb du TSV dans le niveau M_{TOP} .

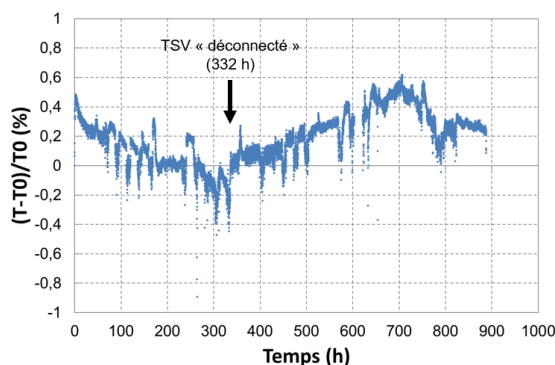


FIGURE 3.20 – Évolution de la température par rapport à la consigne de 350 °C sur la durée de l'essai d'électromigration (25 mA, 350 °C).

À 764 h (cf. figure 3.13), peu après le saut de résistance de presque 100 %, une micrographie (cf. figure 3.21) révèle que des cavités, notées L1 et L2, se sont déplacées depuis l'amenée de courant pour fusionner avec le défaut tueur. Aucune explication à cette constatation (augmentation de résistance et arrivée des cavités L1 et L2) n'a pu être apportée. En effet, la simulation électrique seule (pas de prise en compte de l'effet Joule et de sa rétroaction sur les propriétés des matériaux) ne permet pas de retrouver l'augmentation de 100 %.

Cette partie a permis de mettre en œuvre une caractérisation *in situ* de la dégradation par électromigration du TSV HD. Une structure de test spécifique a été utilisée pour simplifier l'observation. Les conditions de tests ont été choisies pour comparer les résultats obtenus par Thomas FRANK. La dégradation physique et électrique de la structure sous test a été caractérisée. L'accent est mis sur l'analyse des micrographies afin de décrire la cinétique d'évolution du défaut tueur et de la relier à l'évolution de la résistance. L'effet réservoir est directement observé et le chemin préférentiel de diffusion le long de l'interface cuivre-passivation est confirmé. Les choix techniques sont validés. La technique peut être maintenant utilisée pour étudier des points spécifiques. A titre d'illustration, seul le rôle de la microstructure est présenté dans la suite de ce document.

3.3.4 Rôle de la microstructure

Bien que le rôle de la microstructure du métal subissant l'électromigration soit connue depuis de nombreuses années pour les interconnexions du BEoL [Koetter2000, Zhang2010], il a

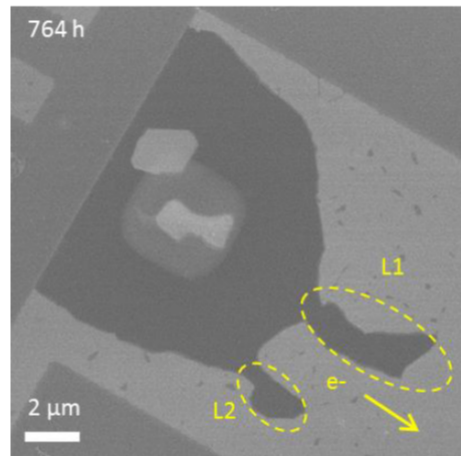


FIGURE 3.21 – Coalescence de cavités provenant de l’amenée de courant avec le défaut tueur durant un d’essai d’électromigration (25 mA, 350 °C).

été jugé pertinent d’étudier cet aspect dans le cadre du TSV. Dans le cadre de la thèse de Simon GOUSSEAU, cette thématique a été abordée afin de tenter de répondre à la question suivante : existe-t-il une orientation cristalline particulière plus favorable à la nucléation d’une cavité par électromigration dans une configuration « TSV + ligne » ?

La connaissance de la microstructure initiale est indispensable à l’analyse de son influence sur la fiabilité des interconnexions. Bien que pour l’ensemble des échantillons, les joints de grains soient partiellement observables sur les micrographies MEB (ils sont a priori révélés par l’attaque HF lors de la préparation d’échantillons qui consiste au retrait d’une partie de la passivation de l’échantillon pour faciliter l’analyse MEB), ce n’est pas suffisant dans le cadre d’une étude scientifique. Pour cette raison, la technique EBSD [Baudin2010] a été choisie pour caractériser la microstructure du niveau M_{TOP} . L’analyse des cartographies EBSD initiales (projetée selon la normale à l’échantillon) met également en évidence que la distribution de la taille des grains est relativement semblable (supérieure au micron) pour tous les échantillons analysés et que les orientations cristallines proches $\{111\}$ sont dominantes même si celles proches de $\{001\}$ sont également très présentes (cf. figure 3.22).

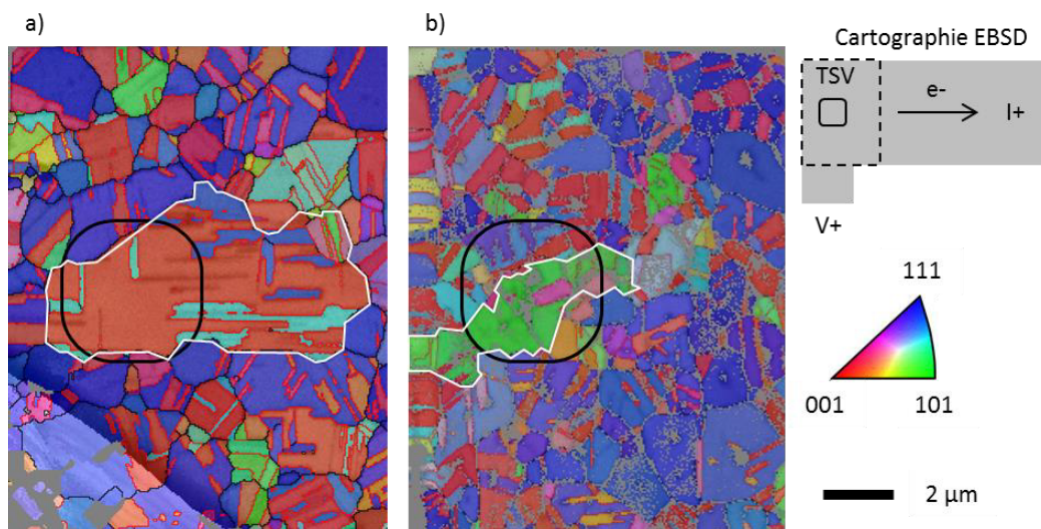


FIGURE 3.22 – Cartographies EBSD du niveau M_{TOP} de 2 échantillons avant essai d’électromigration. La position du TSV est matérialisée par un carré présentant des congés.

A titre illustratif, sur la figure 3.22-a, les joints de grains sont délimités en **noir** alors que les joints de macles le sont en **rouge**. Les 2 échantillons ont la particularité (est-ce une particularité finalement ?!) d'avoir un grain, délimité en blanc, de grande dimension ($L > 5 \mu\text{m}$) au regard du reste de la microstructure et qui, de plus, occupe la quasi-totalité du niveau M_{TOP} à l'aplomb du TSV.

Non visible sur ces clichés, mais révélé sur des coupes transversales, la microstructure du niveau M_{TOP} est majoritairement colonnaire, c'est-à-dire que l'épaisseur du niveau M_{TOP} ne contient qu'un seul grain de cuivre. Cette caractéristique limite le nombre de chemins de conduction que forment les joints de grains ce qui est favorable pour résister à la dégradation par électromigration.

Influence de la microstructure sur la nucléation des cavités

L'analyse de l'impact des conditions de test révèle une forte dispersion du lieu de nucléation des cavités. Ainsi, existe-t-il une orientation cristalline préférentielle à la nucléation de cavités ou un lieu privilégié comme un joint de grain, une macle... à cette nucléation ?

Pour l'essai « Imax-50mA-02 », comme illustré à la figure 3.23, la nucléation de la première cavité d'importance a eu lieu au niveau d'un joint de grain. Dans le cas de l'essai « EBSD-50mA-01 », 2 cavités d'importance se sont formées au bout d'1 h 30 min d'essai (cf. figure 3.24). La cavité notée V1 se forme au point triple entre 1- un grain dont l'orientation est proche de $\{111\}$, 2- la macle $\{111\}$ du grain principal (entouré en blanc) et 3- la macle $\{001\}$ du grain principal. Cette observation est en accord avec les résultats de la littérature sur l'influence des points triples [Doyen2009]. Quant à la cavité V2, celle-ci se forme dans le grain principal, orienté $\{001\}$, mais à proximité du joint de grain et de macle. Pour ce qui est de l'essai « EBSD-50mA-02 », où 5 cavités se sont formées durant la montée en température de l'échantillon, celles-ci étaient localisées au niveau de grains orientés de manières diverses.

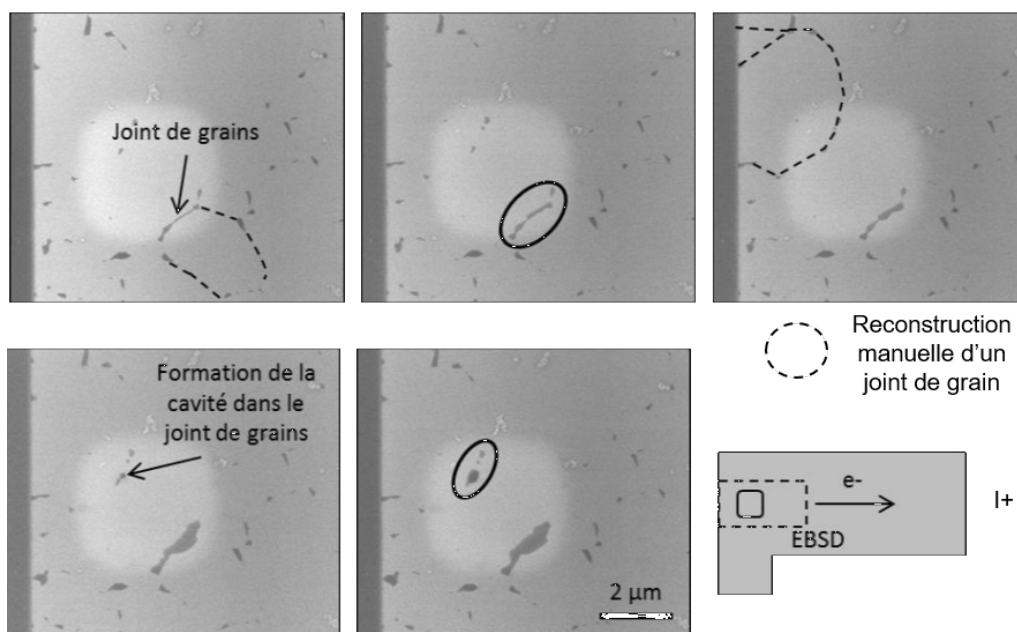


FIGURE 3.23 – Exemple de nucléation de 2 cavités à des joints de grains (essai « Imax-50mA-02 »)

En définitive, sur si peu d'échantillons analysés, aucune réponse franche ne peut être écrite quant à l'existence d'une orientation ou d'un lieu préférentiel de nucléation des cavités.

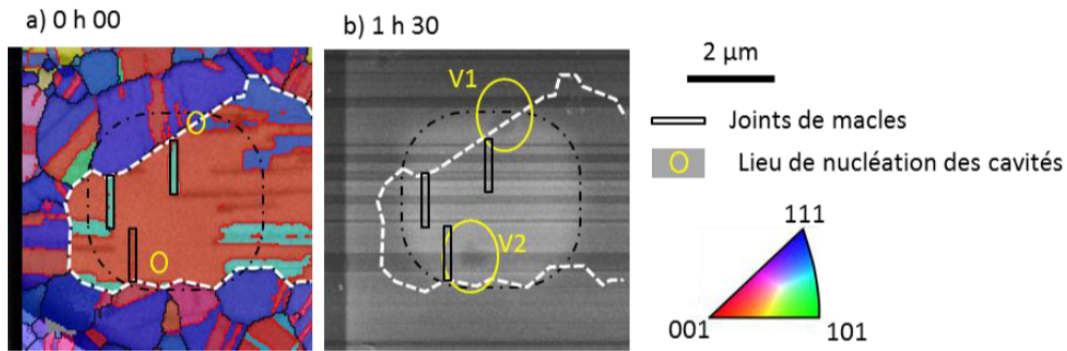


FIGURE 3.24 – Exemple de nucléation de cavités à un point triple (grain/mâcles) ou dans un grain (essai « EBSD-50mA-01 »)

Influence de la microstructure sur la croissance des cavités

Pour les interconnexions du BEoL, la microstructure est considérée comme un paramètre déterminant dans l'évolution des cavités, notamment à l'origine de la statistique des temps à la défaillance [Hauschildt2005]. Pourquoi serait-ce différent pour les interconnexions 3D? Tout d'abord, à conditions de test identiques, l'échantillon « EBSD-50-01 » présente une durée de vie bien plus longue que l'échantillon « EBSD-50-02 », respectivement supérieure à 96 h et 7 h. Le fait que le premier présente une microstructure avec un nombre de grains bien inférieur laisse supposer que les joints de grains participent à la diffusion. La figure 3.25 montre que la croissance de la cavité n'est pas isotrope, mais se déroule pas à pas. Les essais avec caractérisations EBSD cherchent à déterminer si les « pas » correspondent à des grains, et si l'ordre de déplétion des grains est relié à leur orientation.

Par ailleurs, la figure 3.25 présente l'évolution des cavités pour l'essai « EBSD-50-01 ». Le grain 1 ou grain dit principal est tracé en pointillés. Le grain 2 occupant l'autre partie de la ligne M_{TOP} au-dessus du TSV est représenté en trait plein. Jusqu'à 19 h 30 min d'essai (figure 3.25-b/d), la cavité V1 se déplace le long du joint de grains (interface grain 1/grain 2), à contre-sens des électrons. Alors que cette cavité semble croître aux dépens des deux grains, elle n'évolue ensuite que dans le grain principal (figure 3.25-d et e) pendant que la partie de la cavité située dans le grain 2 se trouve guérie. Il semblerait que le passage de la cavité dans le grain 1 se produit lorsque la cavité dépasse la macle {001} du grain 2. Alors que la densité de courant est plus importante sur la périphérie du TSV, cette observation tend à supposer que le grain orienté {001} est moins résistant à la déplétion que celui orienté {111}. Finalement, V1 se développe de manière isotrope, et s'étend donc dans les deux grains (figure 3.25-f). Durant les premières heures d'essai, V2 se déplace clairement dans le sens opposé au flux d'électrons. Elle se développe alors entièrement dans le grain principal. L'analyse des micrographies révèle le rôle des joints de macles qui arrêtent le déplacement des deux cavités. Une différence est cependant observable : V1 s'arrête juste après avoir dépassé le joint, tandis que V2 se fixe dès qu'elle l'atteint. Ensuite, la croissance des cavités suit les joints.

La figure 3.26 présente l'évolution des cavités à différents instants de l'essai d'électromigration « EBSD-50-02 ». Pour faciliter l'analyse, la position et la forme des cavités à l'instant de l'acquisition de la micrographie est en trait plein. En lignes pointillées sont rappelées les positions et contours des cavités lors de l'acquisition précédente. Pour la figure 3.26-a, les pointillés représentent les cavités formées pendant la phase de chauffe. Cette situation illustre typiquement le phénomène de migration sous contrainte, décrite au paragraphe 1.3.3. À l'instar de la cavité C6 (figures 3.26-b et suivantes), la croissance des cavités se produit parfois à l'intérieur des grains. L'évolution des cavités C2 et C3 marque un arrêt au niveau de certains joints de grains ou de macles (figure 3.26-c). Après 1 h 10 min, la cavité C5 croît à l'intérieur du grain rose. Une fois

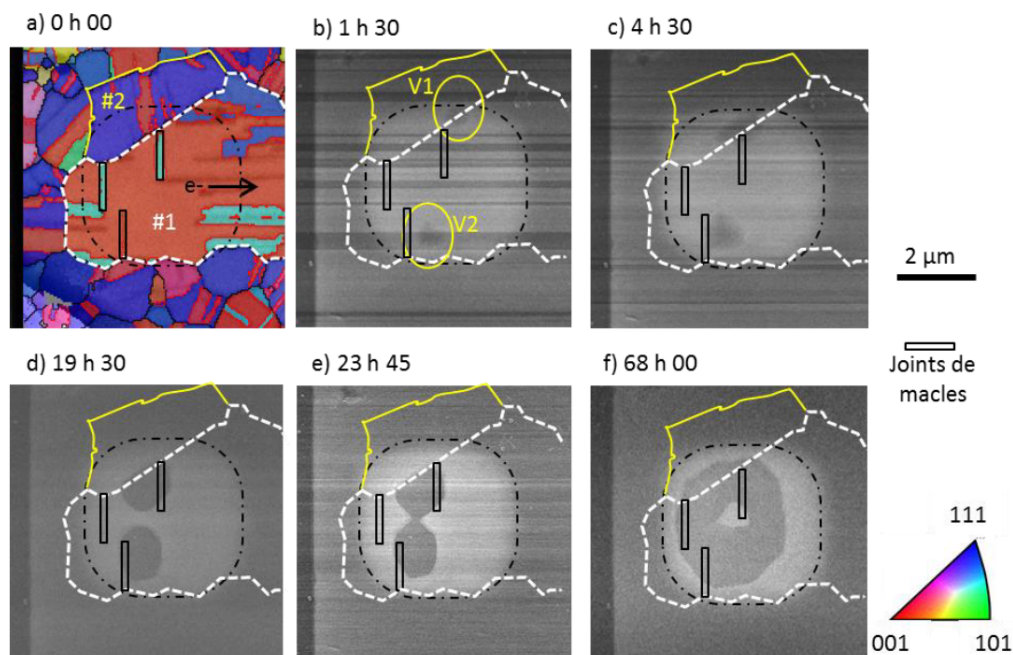


FIGURE 3.25 – Cartographie EBSD et micrographies électroniques présentant l'évolution des cavités pour l'essai « EBSD-50mA-01 » à 6 temps d'acquisition.

que la déplétion de ce grain est entière, la cavité évolue alors selon le pourtour du TSV (deux branches) et cette croissance est certainement influencée par les lignes de courant électrique. La croissance de C5 s'effectue en suivant les joints de grains ou de macles (voir les parties encadrées de la cavité principale sur la figure 3.26-d). Après 5 h 30 min, l'ensemble du cuivre de la ligne en regard du TSV est retiré là où cohabitent de nombreux grains. En revanche, dans la partie occupée principalement par le grain $\{101\}$, il reste de la matière. Le type de microstructure semble donc avoir une plus grande influence que l'orientation des grains.

En résumé, les joints de grains et de macles influencent la croissance de la cavité, en servant de point d'accroche et en orientant la direction de croissance. Comme les joints servent de chemin de diffusion, ils accélèrent la dégradation. Le premier essai EBSD semble révéler que les grains $\{001\}$ sont plus sensibles à la dégradation, mais le second essai n'est pas en mesure de le confirmer. Le niveau de résistance à la dégradation d'un grain semble plutôt dépendre de son orientation vis-à-vis de l'orientation des grains adjacents. Une étude sur un plus grand nombre d'échantillons est nécessaire, mais d'autres facteurs (concentration de courant, géométrie, etc.) interviennent également et compliquent l'analyse.

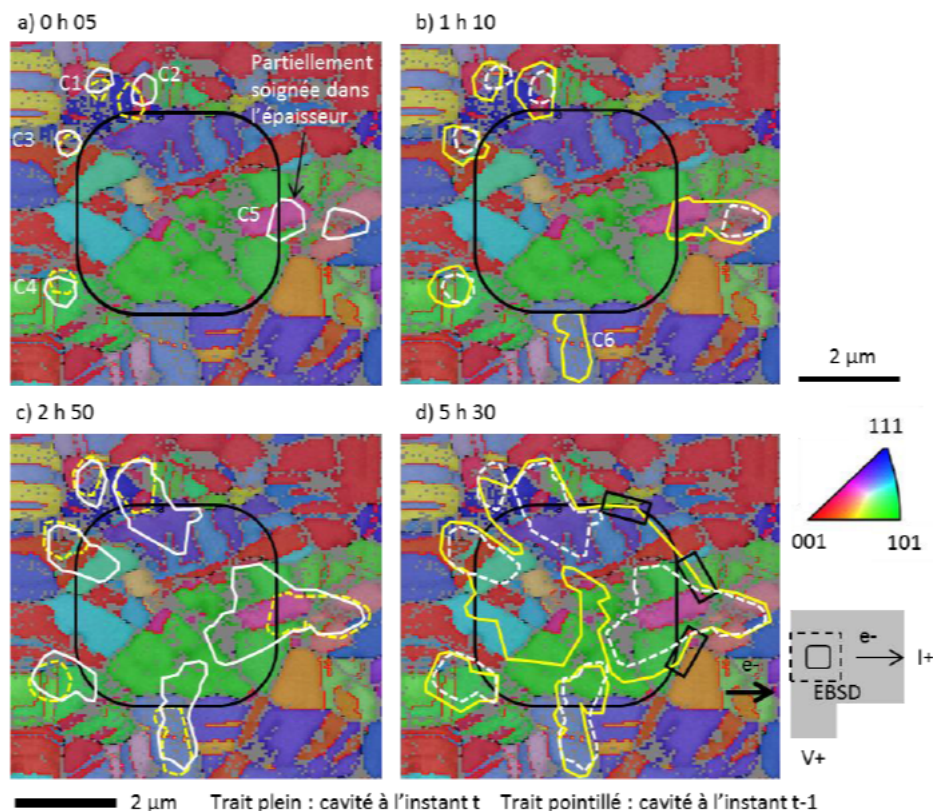


FIGURE 3.26 – Évolution des cavités pour l'essai « EBSD-50mA-02 », aux instants a) $t_0 + 5 \text{ min}$, b) $t_0 + 1 \text{ h } 10 \text{ min}$, c) $t_0 + 2 \text{ h } 50 \text{ min}$ et d) $t_0 + 5 \text{ h } 30 \text{ min}$.

3.4 Conclusion

Ce premier chapitre de résultats a permis d'illustrer les différents moyens et méthodes développés et mis en œuvre pour investiguer la problématique de la robustesse et/ou de la fiabilité des TSV. Ce chapitre s'est limité à présenter la sensibilité du TSV-last Haute Densité (HD) à la dégradation par électromigration, thème central de ma recherche scientifique même si, par exemple, l'aspect diffusion du cuivre du TSV dans l'oxyde et le silicium l'entourant a également été étudié.

Ainsi, au travers des travaux co-encadrés ou de ma propre recherche, les éléments apportés aussi bien au CEA-LETI qu'à notre partenaire industriel STMicroelectronics ou à la communauté scientifique ont été :

- la définition de structures de tests spécifiques en fonction des mécanismes de défaillance à étudier ;
- la mise en évidence de l'immunité du TSV lui-même à la dégradation par électromigration. Seule l'amenée de courant est impactée par ce mécanisme de dégradation ;
- le développement d'un modèle analytique pour aider l'ingénieur fiabiliste ou le *designer* à appréhender la dégradation temporelle de la résistance électrique du système « TSV + ligne » ;
- la détermination des paramètres de la loi d'accélération ou loi de Black, exposant de dépendance au courant électrique et énergie d'activation. Ainsi, les performances aux conditions normales d'utilisation de cette technologie peuvent être estimées ;
- le développement d'un banc de test pour la caractérisation morphologique *in situ* de la dégradation par électromigration du système « TSV + ligne »,
- l'étude de l'influence de la microstructure sur la nucléation et la croissance des cavités.

4

Contribution à l'amélioration de la robustesse et à la fiabilité des interconnexions à base de collage Cu/SiO₂

« En théorie, il n'y a pas de différence entre la théorie et la pratique. Mais en pratique, il y en a une. »
Lawrence Peter Berra, joueur de baseball

Sommaire

4.1 Du collage direct au collage hybride	72
4.2 Potentielles menaces de fiabilité	73
4.3 Sensibilité à l'électromigration	75
4.3.1 Ère pré-industrielle	75
4.3.2 Ère industrielle	77
4.3.3 Étude de la corrélation entre temps à défaillance et volume de cuivre déplacé	84
4.4 Sensibilité à la diffusion du cuivre	87
4.4.1 Caractérisations BTS-TSV	87
4.4.2 Caractérisation EELS de la zone de désalignement, à l'interface de collage	91
4.4.3 Fiabilité diélectrique	93
4.5 Conclusion	98

Comme indiqué au chapitre 2 (cf. page 36), après l'usage du TSV pour interconnecter la partie active du capteur photographique à la partie relative au traitement de l'information, les interconnexions à base de collage hybride Cu/SiO₂ ont pris le relais car autorisant, comme souvent en microélectronique, un gain en compacité. Ce quatrième chapitre va illustrer les études qui ont été menées pour arriver à une maturité industrielle de cette brique technologique sous l'angle de la robustesse/fiabilité des interconnexions.

4.1 Du collage direct au collage hybride

Le collage direct consiste à mettre en contact deux surfaces sans effort mécanique externe et sans ajout de matière à l'image du collage anodique/électrostatique et à la différence du collage par thermocompression ou du collage adhésif via un polymère. Le collage direct est effectif à condition que les surfaces répondent à des critères stricts de rugosité et de propreté. Les plaques suivent des étapes de polissage et de nettoyage afin de rendre leur surface lisse et d'éliminer les contaminants particuliers et organiques. Une activation chimique de la surface précède le collage afin de maximiser le nombre de liaisons van der Waals en partie responsable de l'adhésion. Les plaques sont ensuite disposées en regard et le collage est initié par contact au centre ou au bord. L'intégralité du procédé se déroule à température ambiante et à pression atmosphérique. Un recuit final, que nous appellerons par la suite recuit de collage, est tout de même nécessaire pour renforcer l'interface de collage d'un point de vue mécanique et réduire la résistance électrique de contact [Gueguen2009, Taibi2010].

Ce procédé peut être appliqué à un grand nombre de matériaux : III-V, nitrure, fluorure, métaux... Le collage SiO₂/SiO₂ par exemple, est réputé pour la fabrication du substrat silicium sur isolant (*Silicon On Insulator* – S.O.I.) tandis que le collage métallique est utilisé pour l'encapsulation des microsystèmes électromécaniques (*MicroElectroMechanical System* – MEMS). Plusieurs matériaux peuvent être présents sur la même surface afin de bénéficier des propriétés de chacun. Le collage hybride consiste en un collage direct métal-métal et diélectrique-diélectrique local (cf. figure 4.1). En exploitant la conductivité du métal et le caractère isolant du diélectrique, le collage hybride permet de réaliser des interconnexions verticales.

Le lecteur soucieux d'approfondir ses connaissances du collage direct est encouragé à lire, entre autres documents, les documents suivants : [Joly2008, Bêche2017].

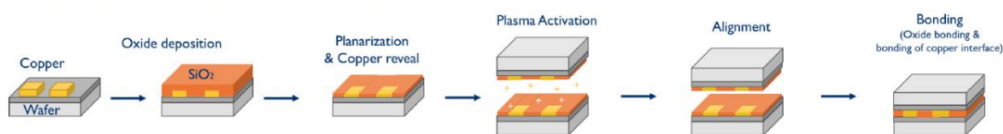


FIGURE 4.1 – Illustration simplifiée du procédé de fabrication de la brique collage hybride. L'étape n°4 d'activation plasma est optionnelle. Source : [KNO2019].

4.2 Potentielles menaces de fiabilité

Face au potentiel de la technologie, notamment pour des applications dans l'imagerie, des industriels comme STMicroelectronics, à l'échelle locale, ont financé différentes thèses avec le CEA-LETI sur le sujet avec un volet robustesse/fiabilité croissant : Rachid TAIBI [Taibi2012], Yann BEILLIARD [Beilliard2015], Joris JOURDON [Jourdon2019] et Bassel AYOUB (en cours, démarrage : mars 2020). Ma participation à ces travaux a suivi une pente ascendante avec l'intégration de l'équipe d'encadrement à partir de la thèse de Joris JOURDON sous la direction de Hélène FREMONT (université de Bordeaux). Les questions de robustesse/fiabilité étaient au cœur même des travaux de Joris JOURDON.

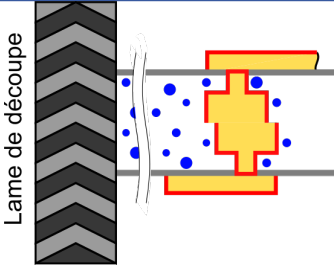
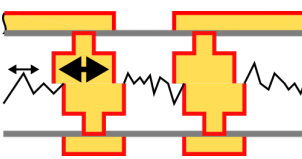
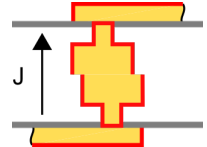
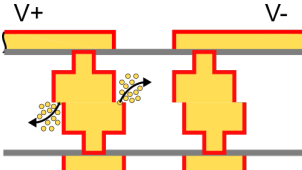
D'après nos propres recherches et la littérature scientifique disponible, la brique technologique d'interconnexion par collage hybride Cu/SiO₂ fait face à 4 grandes menaces : la reprise d'humidité, les contraintes thermomécaniques, l'électromigration, la diffusion du cuivre et son corollaire le claquage diélectrique. Chacune de ces menaces est décrite ci-après depuis ses causes jusqu'à ses conséquences :

- la reprise d'humidité : l'humidité peut provenir de différentes sources, aussi bien internes (les matériaux utilisés) que externes (humidité ambiante, étape de sciage,...) et se présenter sous les 3 états de la matière (solide par décomposition, liquide, gaz). Comme l'oxyde de silicium présent à l'interface de collage peut être hydrophile, un risque potentiel de perte de fiabilité existe. Cette sensibilité à l'humidité pourrait aboutir à la corrosion des plots de métal, à l'augmentation du courant de fuite entre interconnexions ou encore à la diminution du champ de claquage du diélectrique.
- les contraintes thermomécaniques : ces contraintes proviennent de la contraction ou dilatation thermique de matériaux contraints mécaniquement c'est-à-dire non libres de se déformer. Au cours de leur vie, les interconnexions subissent de nombreux cycles de température provoqués par des variations du courant et/ou de puissance électrique par le lien existant avec l'échauffement par effet Joule ou par des variations plus ou moins rapide de la température ambiante. A cela s'ajoute la différence des coefficients de dilatation des matériaux en jeu, le tout aboutissant à des variations du niveau de contrainte thermomécanique enduré par les interconnexions. Ces répétitions du chargement peuvent aboutir à de l'endommagement par fatigue thermomécanique (ruptures adhésives ou cohésives) entraînant l'augmentation des niveaux de courant de fuite et/ou de la résistivité électrique des interconnexions voire même jusqu'à l'apparition d'un circuit ouvert.
- l'électromigration : ce mécanisme est longuement détaillé dans la partie 1.3.3, p. 17.
- la diffusion du cuivre et son corollaire le claquage diélectrique : l'imprécision d'alignement des machines de collage aboutit, pour certaines intégrations, à mettre en contact le cuivre de la plaque ou puce supérieure avec la matrice oxyde de la plaque inférieure. Il en découle un risque de diffusion du cuivre dans le diélectrique aboutissant à la dégradation dramatique de la fiabilité du diélectrique en question par diminution de son pouvoir d'isolation (accroissement du courant de fuite) et de son champ de claquage.

Le tableau 4.1 récapitule les potentielles menaces auxquelles les interconnexions à base de collage hybride doivent faire face.

Par la suite, nous nous focaliserons sur les aspects électromigration et migration du cuivre qui se trouvent être les menaces principales des interconnexions par collage hybride suite aux différents travaux [Beilliard2014, Jourdon2018, Ayoub2020] que nous avons pu mener mais qui ne seront pas détaillés dans le présent manuscrit.

TABLE 4.1 – Menaces supposées d'un point de vue fiabilité pour les interconnexions à base de collage hybride.

	Potentiel risque	Dégradations envisagées
Reprise d'humidité		<p>Corrosion des plots Cu → interconnexions à forte résistance électrique ; Augmentation du courant de fuite → diminution des performances du diélectrique → claquage diélectrique</p>
Contraintes thermomécaniques		<p>Délaminage Cu/Cu ou Cu/diélectrique → augmentation du courant de fuite, interconnexions à forte résistance électrique jusqu'au circuit ouvert</p>
Electromigration		<p>Interconnexions à forte résistance électrique jusqu'au circuit ouvert</p>
Diffusion du cuivre		<p>Augmentation du courant de fuite → diminution des performances du diélectrique → claquage diélectrique</p>

4.3 Sensibilité à l'électromigration

4.3.1 Ère pré-industrielle

Le CEA-LETI avec le support de STMicroelectronics a commencé à développer le collage hybride à partir de 2008. Les premières interconnexions ne possédaient que deux niveaux de métal pour un pas d'interconnexion de 14 μm et une conduction électrique majoritairement le long de l'interface de collage (cf. figure 4.2a). Les structures de test ont permis une étude complète comprenant caractérisations morphologiques, électriques et de fiabilité [Taibi2011]. En 2014, le nombre de niveaux de métal double et le pas est réduit de moitié [Beilliard2014], la conduction électrique est principalement perpendiculaire à l'interface de collage (cf. figure 4.2b) préfigurant ce qui sera industrialisé quelques années plus tard par Sony [Kagawa2016].

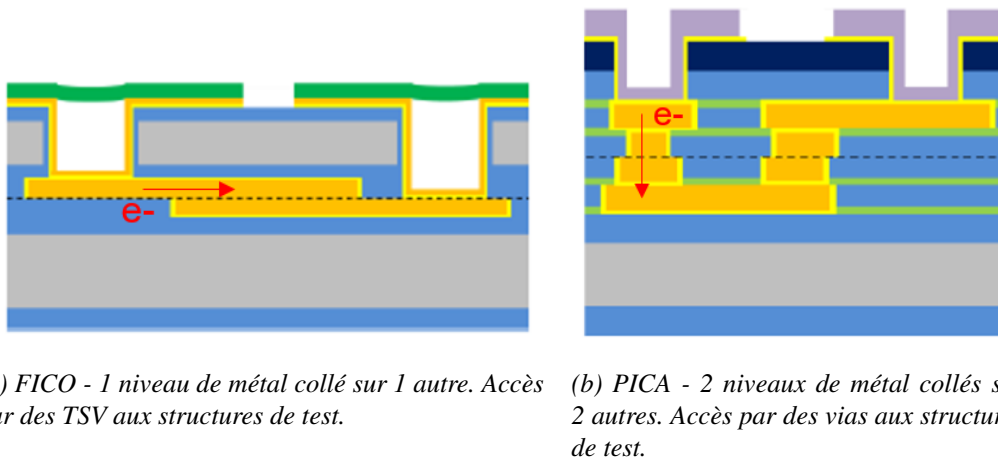


FIGURE 4.2 – Coupes schématiques des véhicules de test a) FICO et b) PICA développés durant les thèses de Rachid TAIBI et Yann BEILLIARD. La conduction électrique (flèche rouge) passe d'un cheminement principalement le long de l'interface de collage (cf. figure 4.2a) à perpendiculaire à celle-ci (cf. figure 4.2b).

Le véhicule de test FICO a permis d'identifier les modes de dégradation par électromigration de ce nouveau type d'interconnexion pour une conduction électrique le long de l'interface de collage, de déterminer les performances de ce schéma d'intégration (extraction des paramètres de Black) en fonction de divers effets comme le ratio surface de cuivre sur surface de SiO_2 (désalignement imposé ou désalignement intrinsèque), ou encore la nature de la barrière (TaN/Ta vs. Ti/TiN). Ainsi, une conduction électrique le long de l'interface de collage détériore les lignes de cuivre collées par création de cavités ou d'extrusion (cf. figure 4.3), les paramètres de Black prennent des valeurs typiques du BEoL classique avec une énergie d'activation entre 0,5 et 1 eV (cf. tableau 4.2). Ces résultats montrent que la minimisation du désalignement tend à augmenter la résistance à l'électromigration (énergie d'activation plus élevée). Cette tendance est la même quelle que soit la métallisation (2 chimies ECD Cu évaluées, 2 épaisseurs de Cu évaluées : 500 nm et 350 nm) et la nature de la barrière (TaN/Ta vs. Ti/TiN) mettant en évidence un comportement intrinsèque de cette intégration à base de collage hybride. Quant au rôle de la nature de la barrière (TaN/Ta vs. Ti/TiN), les résultats donnent la même tendance que ceux publiés par Arnaud en 2006 pour les interconnexions BEoL [Arnaud2006] à savoir une énergie d'activation légèrement plus importante quand une barrière de type TaN/Ta est employée.

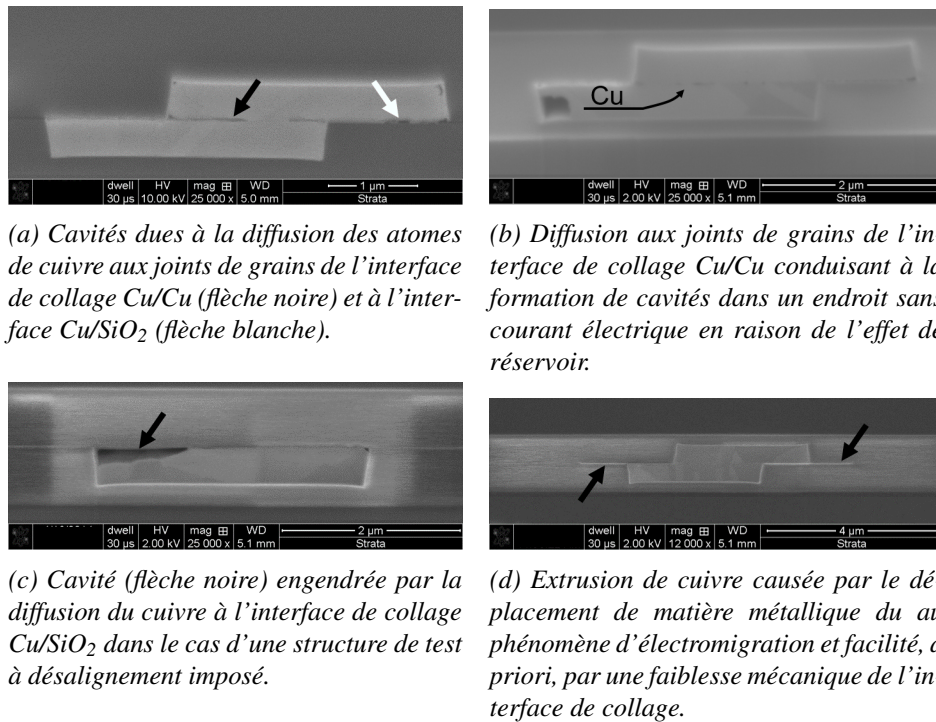


FIGURE 4.3 – Modes de dégradation par électromigration des interconnexions du véhicule de test FICO.

TABLE 4.2 – Paramètres de Black (E_a et n) en fonction de la nature de la barrière employée et du ratio Cu/SiO₂.

Nature de la barrière	Ratio Cu/SiO ₂	E_a (eV)	n (n.a.)
TaN/Ta	Limité par le désalignement machine	$1 \pm 0,15$ eV	$0,87 \pm 0,2$
	Imposé par le <i>design</i>	$0,7 \pm 0,14$ eV	$1 \pm 0,23$
Ti/TiN	Limité par le désalignement machine	$0,75 \pm 0,7$ eV	$1,83 \pm 1$
	Imposé par le <i>design</i>	$0,5 \pm 0,36$ eV	$2,96 \pm 0,68$

4.3.2 Ère industrielle

Généralités

2015 marque le transfert du procédé de fabrication de l'institut de recherche, le CEA-LETI, aux lignes de production de STMicroelectronics à Crolles (38, France). Les interconnexions gagnent en complexité avec l'ajout de vias à la brique collage hybride entre les plots de collage et les lignes métalliques (cf. figure 4.4). Les échantillons se rapprochent d'une configuration de type « produit » avec l'ajout de niveaux BEoL au-dessus de la brique « collage hybride » afin d'assurer le lien électrique entre les plots de test électrique et les niveaux les plus « enterrés ».

Les vias et les plots de collage de la brique collage hybride prennent alors respectivement les appellations *Hybrid Bonding Vias* ou HBV et *Hybrid Bonding Metal pads* ou HBM.

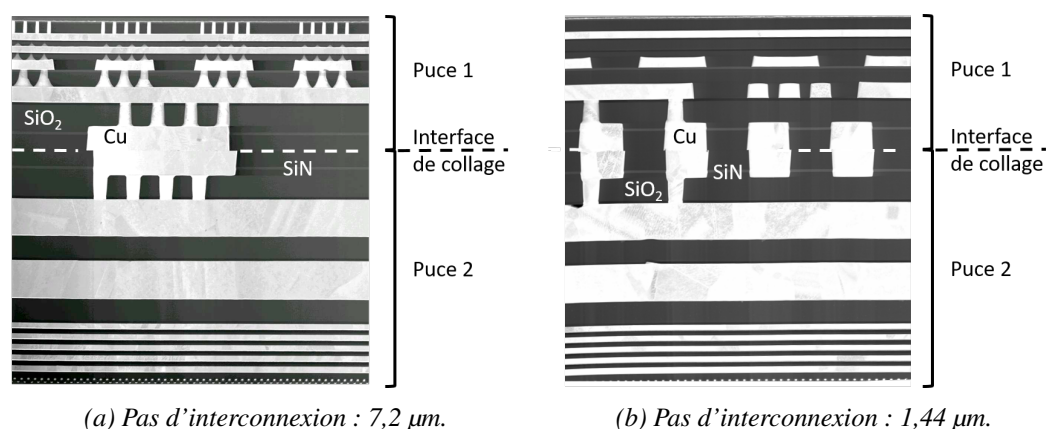
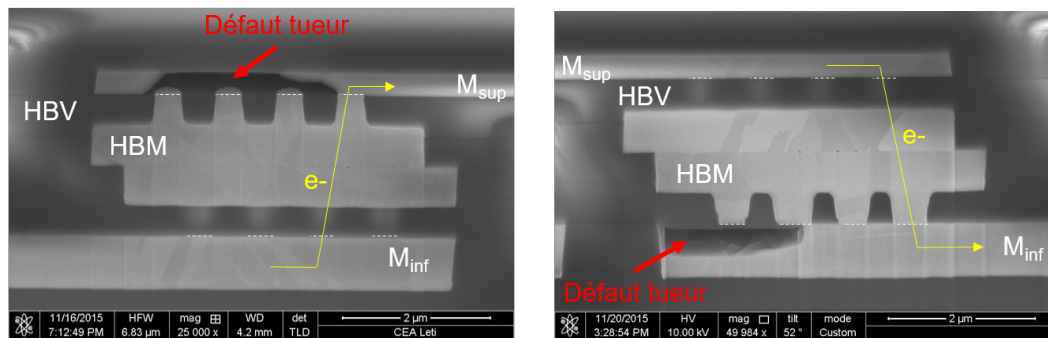


FIGURE 4.4 – Observations au microscope électronique en transmission de coupes transversales des véhicules de test YinYang et HARMONY, utilisés au cours de la thèse de Joris JOURDON et présentant des pas d'interconnexion respectivement de a) $7,2 \mu\text{m}$ et b) $1,44 \mu\text{m}$.

Le contexte industriel a permis d'avoir accès à de nombreux véhicules de test tels que M3EM, YinYang, HARMONY ou encore Starsky & Hutch. Le chapitre 1.5.3 de la thèse de Joris JOURDON [Jourdon2019] décrit ces différents véhicules de test.

Durant cette aire de pré-production industrielle, nous avons notamment montré qu'avec le schéma d'intégration choisi (recuit de collage : $400 \text{ }^\circ\text{C}$ - 2 h, pas d'interconnexion : $> 2 \mu\text{m}$, aucun matériau barrière à l'interface de collage), la brique collage hybride était immune au phénomène d'électromigration. En effet, si les électrons passent de la plaque inférieure vers la plaque supérieure, nous observons toujours le défaut tueur dans le niveau BEoL supérieur, M_{sup} , à l'inverse, si les électrons passent de la plaque supérieure vers la plaque inférieure, nous observons toujours le défaut tueur dans le niveau BEoL inférieur, M_{inf} comme illustré par la figure 4.5. Cela est dû à la divergence de flux de matière causée par la présence de la barrière entre le niveau HBV et M_{sup} ou M_{inf} selon le cas. Les défauts de collage ou *bonding voids* n'évoluent pas au cours d'un essai d'électromigration (cf. flèches rouges sur la figure 4.6) pour, par exemple, venir s'agréger en fond de HBV et dans le pire des cas, créer un circuit électrique ouvert ; une telle menace avait été envisagée au début du projet.

Les paramètres de la loi d'accélération ou loi de Black reflètent bien une dégradation dans le BEoL avec une énergie d'activation de $0,98 \text{ eV} \pm 0,039 \text{ eV}$ et un facteur de dépendance au courant électrique de $1,28 \pm 0,16$. La valeur de l'énergie d'activation est également en accord avec le résultat des analyses de défaillance : diffusion préférentielle par les interfaces (Cu/barrière, Cu/SiN). La valeur du facteur de dépendance au courant électrique indique que la dégradation est principalement gouvernée par la croissance de la cavité tueuse.



(a) Analyse post-mortem après un test d'électromigration dit upstream c'est-à-dire quand les électrons passent des niveaux métalliques inférieurs vers les niveaux supérieurs.

(b) Analyse post-mortem après un test d'électromigration dit downstream c'est-à-dire quand les électrons passent des niveaux métalliques supérieurs vers les niveaux inférieurs.

FIGURE 4.5 – Micrographies électroniques d'une coupe transversale d'une chaîne de 100 maillons ayant dépassée le critère de défaillance ($\frac{\Delta R}{R_0} = 10\%$) lors d'un essai d'électromigration (350 °C, 20 mA). Le défaut tueur se situe dans le niveau BEoL supérieur et non au niveau de l'interface de collage. Source : [Moreau2016].

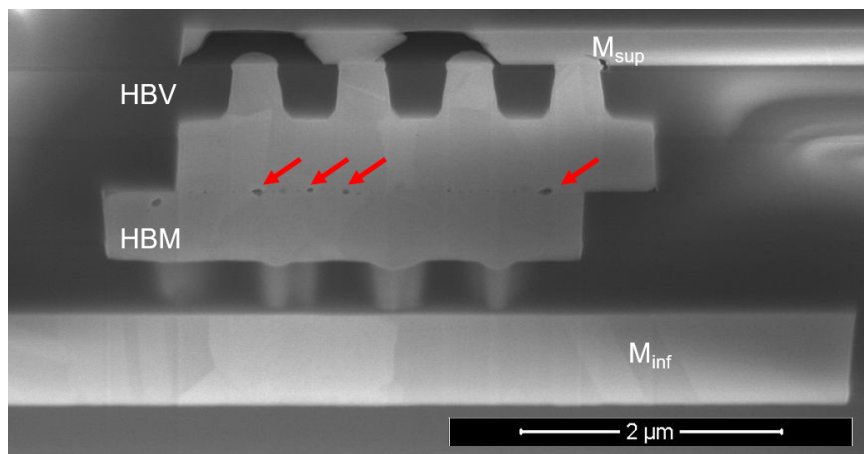


FIGURE 4.6 – Micrographie par microscope électronique à balayage d'une coupe transversale après un essai d'électromigration. Outre la présence dans le niveau M_{sup} des cavités liées à la dégradation par électromigration, des défauts de collage ou bonding voids sont bien visibles à l'interface de collage (cf. flèches rouges). Source : [Moreau2016].

Recuit de passivation et influence sur les interconnexions

Dans l'intégration 3D que nous étudions ici, le niveau de collage hybride est ajouté au dernier niveau BEoL des plaques. Dans le cas où certains composants intégrés dans les derniers niveaux seraient sensibles au budget thermique, typiquement certaines mémoires, il convient d'identifier le budget thermique minimal de recuit de collage. Deux conséquences de l'abaissement du recuit de collage sont attendues : d'une part, la réduction de la dilatation du cuivre des plots de collage, et donc la fermeture incomplète de l'interface Cu/Cu, et d'autre part, une réduction de l'énergie d'adhésion des surfaces oxyde et cuivre dont découlera un risque de délaminage.

A la fin du procédé de fabrication des plaques d'un capteur photographique, un recuit dit de passivation est appliqué permettant de guérir et/ou de passiver les défauts dans le silicium créés par les étapes de gravure au cours de la fabrication et d'obtenir les performances attendues des transistors et des photo-diodes. Les recuits de passivation sont effectués classiquement sous atmosphère hydrogène/azote ou deutérium (cf. tableau 4.3). Or ces espèces peuvent diffuser à travers tout l'empilement.

TABLE 4.3 – *Détail des conditions de recuits de passivation.*

Nom	Température	Durée	Pression	Composition chimique
H2N2	400 °C	50 min	1 bar	$H_2 : N_2$
HPD2	400 °C	2 h 30 min	20 bars	D_2 / Deutérium

Recuit de passivation et résistance à l'électromigration Outre les questions relatives à l'influence de l'enchaînement de ces recuits sur la qualité du collage, nous nous posons ici la question de l'influence du recuit de passivation quant à la résistance au phénomène d'électromigration de la brique collage hybride. Ce questionnement est motivé par le fait que les espèces chimiques, employées lors de ce recuit final, diffusent et pourraient venir s'implanter dans les niveaux BEoL/collage hybride et potentiellement modifier leur résistance à la dégradation par électromigration. Or, celle-ci, pour des interconnexions cuivre, repose pour beaucoup sur la qualité de l'interface cuivre/matériaux adjacents [TAN2010a].

Le lecteur soucieux d'en apprendre plus sur l'influence de ces recuits sur la qualité de collage (aspects mécanique et électrique) pourra lire le chapitre 3 de la thèse de Joris JOURDON [Jourdon2019].

Les tests sont menés sur des chaînes de 100 maillons présentant des HBM de 3,6 μm de côté et 16 HBV par HBM (matrice de 4×4 vias) du véhicule de test M3EM. Trois populations sont testées. Elles diffèrent par leurs conditions de recuit de collage et/ou de recuit de passivation détaillées dans le tableau 4.4. La population n°1 (recuit de collage 400 °C - 2 h, aucun recuit de passivation) est prise comme référence. Chaque population compte une vingtaine d'échantillons. La température de l'étuve est fixée à 350 °C et le courant à 20 mA. Dans ces conditions, la température produite par effet Joule est inférieure à 10 °C, ce qui permet de limiter la corrélation entre le courant et la température en vue de l'extraction des paramètres de Black. Le critère de défaillance est une augmentation de résistance de 10 %. Le test d'un échantillon cesse lorsque ce critère est atteint.

Les recuits de passivation provoquent une augmentation de résistance électrique partiellement induite par la diffusion d'hydrogène ou de deutérium dans la barrière de diffusion [Jourdon2019]. Or l'électromigration est sensible aux changements d'interface avec les lignes de cuivre. Les distributions des temps à la défaillance sont données à la figure 4.7.

TABLE 4.4 – Description des échantillons pour l'étude des effets des recuits de collage et de passivation sur la résistance à l'électromigration.

Population	Condition du recuit de collage	Nature du recuit de passivation
1	400 °C - 2 h	Non
2	400 °C - 2 h	H ₂ N ₂
3	400 °C - 2 h	HPD2

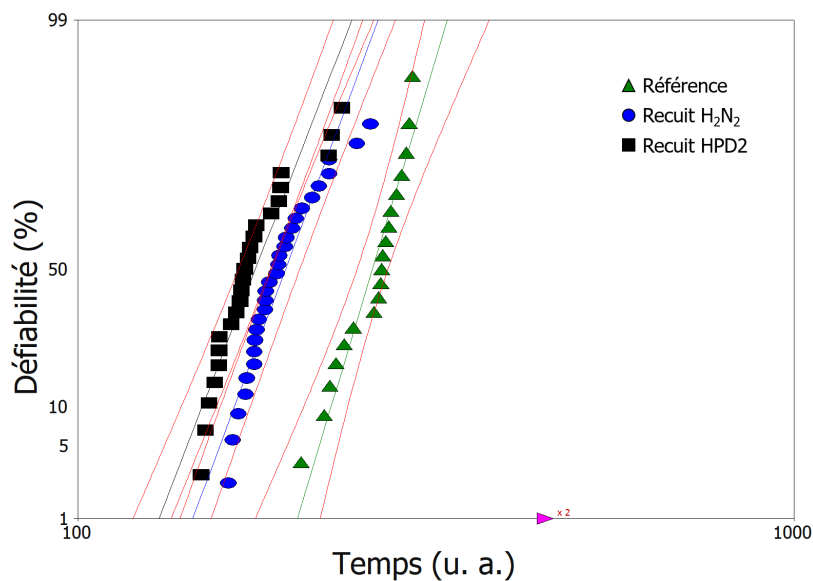


FIGURE 4.7 – Distribution des temps à défaillance par électromigration d'interconnexions à base de collage hybride pour 2 conditions de recuit de passivation, H₂N₂ (rond bleu) et HPD2 (carré noir) et pour la condition de référence qui ne présente pas de tel recuit (triangle vert). Un recuit de passivation sous H₂N₂ entraîne une diminution moyenne de 24 %, quand un recuit sous HPD2 génère une diminution de 31 %.

Nous remarquons une diminution significative du MTF pour les échantillons exposés à de l'hydrogène ou du deutérium :

$$MTTF_{HPD2}(-31\%) < MTTF_{H_2N_2}(-24\%) < MTTF_{ref} \quad (4.1)$$

L'écart relatif de MTTF est calculé par rapport à la distribution statistique des temps à défaillance de la condition de référence. La diminution de MTTF du recuit HPD2 est la plus critique. Ce constat rejoint celui de l'impact du recuit passivation sur la résistance des interconnexions mentionné juste avant, non présenté dans ce mémoire [Jourdon2019]. En effet, les interconnexions sont plus résistives après recuit de passivation, surtout dans le cas du recuit HPD2. Nous supposons alors que la réduction de MTTF et l'augmentation de résistance ont la même origine : la diffusion d'espèces passivantes et/ou oxydantes dans la barrière TaN/Ta ou à l'interface Cu/barrière TaN/Ta. Ce scénario est basé sur le fait qu'il a été montré que la durée de vie face au phénomène d'électromigration est corrélé à l'adhésion du cuivre avec son support [Lane2003]. Une meilleure adhésion implique une énergie d'activation plus élevée, et donc une diffusion du cuivre aux interfaces plus lente. Or la présence d'oxygène à l'interface Cu/Ta abaisse la température de démouillage du cuivre sur le tantale [Chen2000] et l'adhésion du TaN diminue après exposition à de l'hydrogène [Moody2011].

Pour conforter ce scénario, nous avons choisi de déterminer les paramètres de Black dans le cas d'un recuit de passivation sous HPD2 car étant le plus critique au regard du résultat précédent. Les tests sont réalisés sur les mêmes structures de test que décrit précédemment pour des conditions d'essai qui sont détaillées dans le tableau 4.5. Chaque test compte, là encore, une vingtaine d'échantillons.

TABLE 4.5 – Conditions de test d'électromigration pour extraire les paramètres de Black pour un recuit de passivation sous HPD2.

Température (°C)	Courant électrique (mA)
290 °C	30 à 40 mA
319 °C	10 à 20 mA
350 °C	20 à 40 mA

Les distributions des temps à défaillance, non présentées ici car n'ajoutant rien de nouveau, sont linéaires et parallèles pour les trois températures de test, indiquant que le mécanisme de défaillance est le même quelque soient les conditions de test. A densité de courant et température égales, les échantillons HPD2 atteignent la défaillance avant les échantillons de référence. L'extraction des paramètres de Black aboutit à une énergie d'activation effective de $0,91 \pm 0,02$ eV et un facteur de dépendance au courant électrique de $1,23 \pm 0,04$. La valeur de l'énergie d'activation est typique d'une diffusion via les joints de grains ou de surface [Hau-Riege2004]. L'exposant de dépendance à la densité de courant présente une valeur légèrement supérieure à la valeur théorique de 1 pour la défaillance par croissance de cavité. Cet écart est souvent attribué à un effet Joule local plus ou moins important ou à de la plasticité induite par le déplacement des atomes de cuivre [Kirchheim1991, Budiman2010].

Localisation physico-chimique du deutérium Revenons-en à l'énergie d'activation. Le dernier résultat met en lumière une diminution en terme d'énergie d'activation de 7 % par rapport au cas de référence confirmant la crainte évoquée en début du paragraphe précédent sur le fait que le recuit de passivation pouvait aboutir à un changement de résistance à l'électromigration des interconnexions (BEoL/brique collage hybride). Cette diminution d'énergie d'activation aboutit au

fait que les atomes de cuivre ont besoin de moins d'énergie pour se déplacer, d'où une apparition des défaillances plus précoce. Reste maintenant à déterminer où se fixe le deutérium même si l'on peut supposer que ce dernier va se fixer au niveau des interfaces entre le cuivre et les matériaux l'entourant. En effet, les pentes des statistiques de dégradation, la localisation des défauts sans/avec recuit deutérium sont inchangés. De plus, la première partie de l'étude montrait que les chemins de diffusion préférentielle était l'interface Cu/barrière et Cu/SiN. Dans ce contexte, il a été décidé d'utiliser la technique de spectrométrie de masse des ions secondaires par temps de vol (*Time of Flight - Secondary Ion Mass Spectrometry* ou ToF-SIMS) [Evelyne Darque-Céretti2014].

Une première analyse est effectuée dans une structure peigne-peigne 3D car les longues lignes de métal offrent une surface de Ta et de SiN importante, et donc une meilleure précision sur la concentration de ces espèces. L'échantillon provient d'une plaque ayant subi un recuit HPD2. Le mode « imagerie de surface » de l'analyse ToF-SIMS est employé pour cette analyse. La figure 4.8-c présente les cartographies en vue de dessus des éléments cuivre, oxygène, deutérium et tantale qui composent la surface de l'échantillon. L'échelle représente la concentration de l'élément d'intérêt (Cu, O, D ou Ta). D'un point de vue colorimétrie, plus la concentration d'un élément est élevée, plus la couleur associée sera claire. Ainsi, les bandes claires sur la cartographie du cuivre correspondent aux lignes de cuivre des peignes. L'intensité variable est associée aux différentes orientations cristallines en présence. À l'inverse, les bandes sombres correspondent à l'oxyde, d'où une forte intensité pour l'oxygène au même endroit. L'intensité du deutérium est maximale à la même position que le cuivre et le tantale. Cela démontre que le deutérium est piégé au niveau des lignes de cuivre et non dans l'oxyde. Du fait du mode employé, aucune information selon la répartition spatiale hors plan, autrement dit selon la profondeur de l'échantillon, n'est disponible à ce stade.

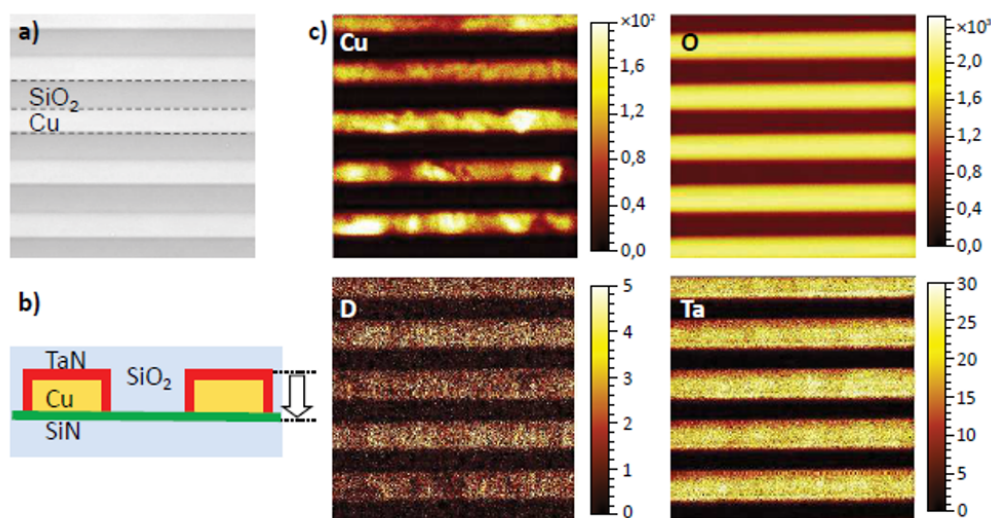


FIGURE 4.8 – (a) Image infra-rouge en vue de dessus de la zone analysée par ToF-SIMS. (b) Vue schématique en coupe de la zone analysée. (c) Cartographie des éléments Cu, O, D et Ta obtenue par analyse ToF-SIMS d'une structure peigne-peigne 3D sur une zone de 30 µm × 30 µm. Source : [Jourdon2019].

Une seconde analyse ToF-SIMS, en mode « profilage de profondeur » (*depth profiling*), est réalisée dans une zone similaire pour répondre à cette interrogation (cf. figure 4.9). Le profil de concentration du deutérium révèle deux pics : un étroit et un étalé. Le premier pic est attribué à la barrière TaN/Ta de la ligne de métal. Le second, plus large, est attribué à la fois à la barrière TaN/Ta des vias et à la barrière diélectrique SiN. En raison de la sur-gravure des vias, la barrière de diffusion est localisée dans la ligne de métal, au-dessus de la couche de SiN (cf. figure 4.9-a).

Ainsi, la concentration du deutérium augmente à une profondeur où la concentration en cuivre est constante et décroît après que celle du cuivre chute. De plus, la différence de vitesses d'abrasion entre le cuivre et de l'oxyde, et entre les différentes orientations cristallines du cuivre, augmente la rugosité de la surface d'analyse. Cela se traduit par une perte de résolution, d'où un second pic plus étalé que le premier. Néanmoins, nous pouvons affirmer que les couches de TaN/Ta et de SiN retiennent le deutérium.

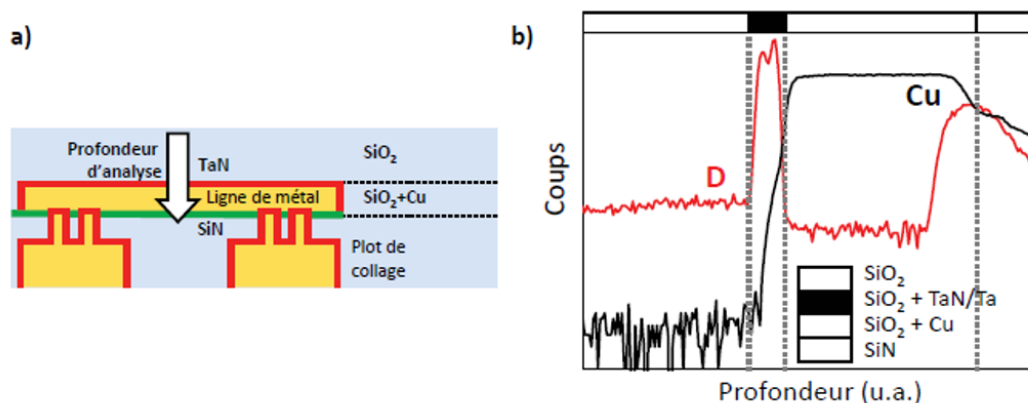


FIGURE 4.9 – (a) Vue schématique en coupe de la zone analysée en ToF-SIMS. (b) Profils de concentration ToF-SIMS du cuivre et du deutérium dans la ligne de métal. Source : [Jourdon2019].

Le pic étroit semble présenter un double pic qui suggère que les interfaces piègent davantage d'espèces passivantes. L'utilité première du recuit de passivation est de « passiver » les liaisons pendantes localisées en nombre aux interfaces à cause de la discontinuité des matériaux. La réaction entre le deutérium et ces liaisons pendantes expliquerait une telle allure de spectre. Afin de savoir si le deutérium se fixe préférentiellement aux interfaces, ou au sein des couches, nous faisons subir un recuit de passivation HPD2 à un simple empilement TaN et SiN (cf. figure 4.10). L'échantillon est un empilement de TaN 150 nm/SiO₂ 100 nm/SiN 50 nm/SiO₂ 50 nm sur un substrat silicium 300 mm.

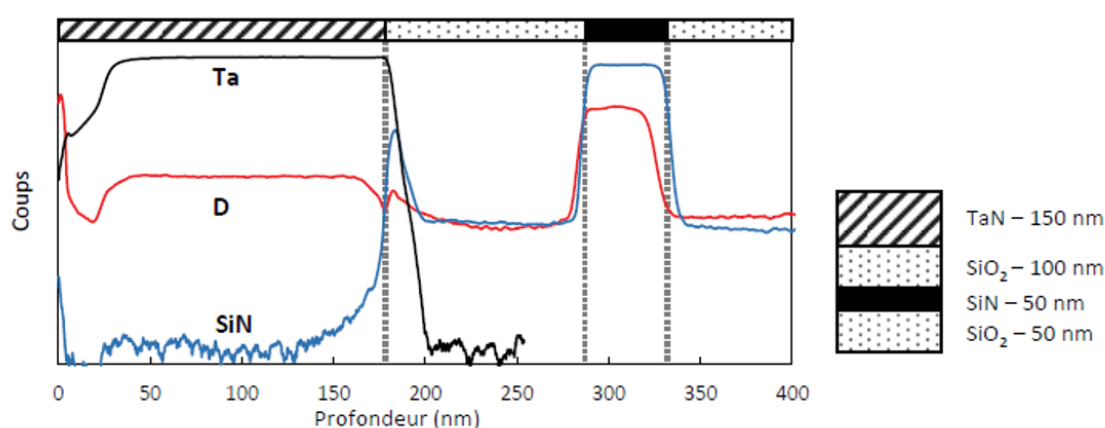


FIGURE 4.10 – Analyse SIMS d'un empilement TaN/SiO₂/SiN/SiO₂ après recuit HPD2. Pour TaN et SiN, la concentration en deutérium est la même en profondeur des dépôts qu'à leur interface avec SiO₂. Source : [Jourdon2019].

L'analyse SIMS par la face avant, en mode « profilage de profondeur », montre que la concentration de deutérium est plus élevée dans les couches de TaN et de SiN. Dans les deux cas, aucun

pic de concentration n'est visible aux interfaces avec SiO₂. Le double pic de deutérium vu ci-dessus n'est donc pas représentatif d'une concentration plus élevée aux interfaces SiO₂/TaN et Cu/Ta. Une différence de capacité d'absorption du deutérium par le Ta et le TaN expliquerait le double pic de concentration en deutérium dans la barrière TaN/Ta. Cette hypothèse serait vérifiable par une nouvelle analyse ToF-SIMS d'un empilement Ta/TaN/SiO₂ mais il n'a pas été jugé nécessaire de lancer cette étude.

Ainsi, ces études ToF-SIMS démontrent qu'à l'occasion du recuit de passivation HPD2, le deutérium, bien qu'implanté au cœur des couches TaN/Ta ou SiN, arrive à influencer les propriétés physico-chimiques des interfaces des niveaux cuivre car devant modifier légèrement, par exemple, l'adhérence entre les couches. Cependant, il faut garder à l'esprit que cette modification des paramètres de Black reste limitée et ne remet pas en cause la technologie car les performances aux conditions opérationnelles restent en ligne avec le cahier des charges/profil de mission.

4.3.3 Étude de la corrélation entre temps à défaillance et volume de cuivre déplacé

Même si la connaissance de la physique sous-jacente à la dégradation par électromigration a beaucoup évolué depuis l'avènement des premiers circuits intégrés au cours des années 1960, certains points restent à clarifier comme l'éventuelle corrélation entre le temps à défaillance et le volume de la cavité tueuse et son corollaire le volume de cuivre déplacé.

Pour les interconnexions classiques, peu d'études [Arzt1994, Tsuchiya2006] se sont penchées sur ce sujet de par la complexité à caractériser le volume de la cavité tueuse. Classiquement, des analyses morphologiques (technique FIB-SEM principalement) post-mortem permettent d'estimer, dans le plan de coupe, la surface de la cavité. En faisant l'hypothèse que cette cavité occupe toute la largeur de l'interconnexion, le volume de la cavité est ainsi estimé. Avec l'évolution des techniques d'analyse et également un objet d'étude approprié, ici les interconnexions à base de collage hybride, nous avons pu aller plus loin.

Pour résoudre le problème de la mesure du volume des cavités tueuses et éviter les procédures compliquées de préparation des échantillons, la nanotomographie à contraste de phase par rayons X basée sur un rayonnement synchrotron a été utilisée. La ligne de lumière de nano-imagerie ID16A du l'European Synchrotron Radiation Facility (ESRF) a été utilisée [da Silva2017]. L'énergie du faisceau a été fixée à 33,6 keV et la taille du voxel à 25 nm.

ID16A offre la résolution et le champ de vision nécessaires à la détection des différents emplacements de défaillance (M_{sup} ou M_{inf}) [Moreau2016] et permet d'observer le collage et les vides induits par électromigration dont la taille varie de la centaine de nanomètres à la dizaine de microns. Cependant, comme nous avons besoin d'informations statistiques, autrement dit sur un nombre représentatif d'échantillons, certains ajustements ont dû être réalisés en termes de méthodologie de travail [Fraczkiewicz2017a]. Ces ajustements, réalisés dans le cadre des travaux de thèse d'Alexandra FRACZKIEWICZ [Fraczkiewicz2017b], ont permis d'utiliser la tomographie par synchrotron pour des études statistiques et d'en faire un outil pour les mesures de routine.

Parmi les 19 échantillons testés en électromigration, 17 ont pu être caractérisés par tomographie à rayons X. Après l'étape de reconstruction tomographique, on peut réaliser des coupes virtuelles pour localiser la cavité tueuse, comme illustré sur les figures 4.11a et 4.11b. La cavité est clairement visible puisqu'elle apparaît en blanc. En raison de la différence de contraste entre le métal et les cavités, la segmentation des volumes des cavités a été facilement réalisée comme illustré par les figures 4.11c et 4.11d. A partir des éléments segmentés, le volume V_{dep} des cavités a été extrait. Ils s'étendent de 1,93 à 3,78 μm^3 , soit un rapport 1 : 2. Les figures 4.11a et 4.11b présentent respectivement les cavités ayant les volumes les plus faibles et les plus élevés. En outre, les cavités déconnectent de 8 à 15 HBVs. En d'autres termes, le critère de défaillance est atteint pour une grande variété de tailles de cavité tueuse.

Les volumes V_{dep} extraits ont été appariés avec les temps à défaillance mesurés correspondants. La figure 4.12 montre la corrélation entre ces deux grandeurs. Une analyse de corrélation

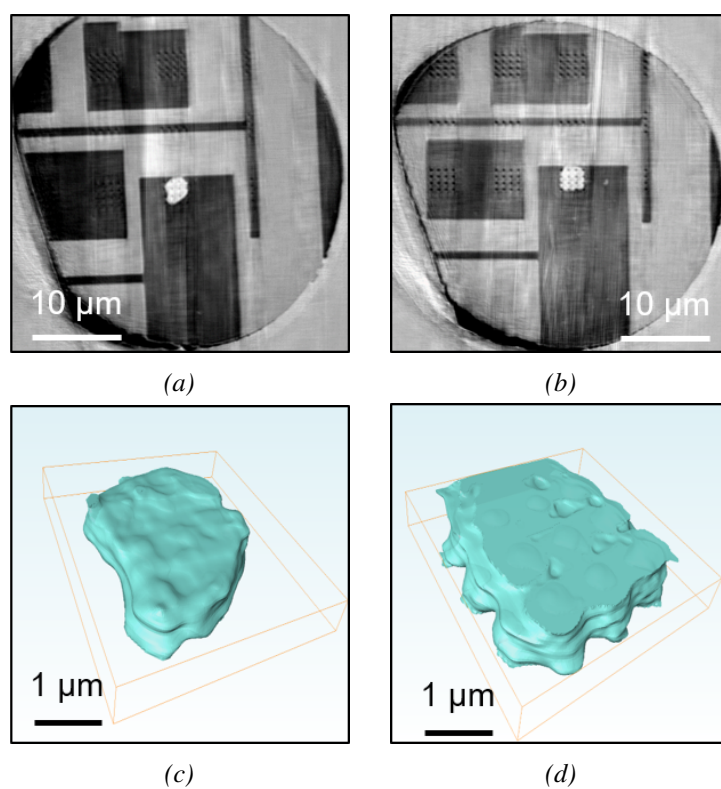


FIGURE 4.11 – Résultats typiques de tomographie après un test d'électromigration (350 °C, 20 mA). Figures 4.11a-4.11b : vues reconstruites automatiquement. Figures 4.11c-4.11d : volumes segmentés des cavités tueuses. L'échantillon de la figure 4.11a présente le volume de cavité le plus faible, tandis que l'échantillon de la figure 4.11b dispose de l'un des volumes les plus élevés. Source : [Moreau2019a].

donne deux informations importantes : (i) un coefficient de corrélation de +0,85 indiquant une forte relation linéaire entre les deux variables, et (ii) une valeur p de 0,000013 signifiant que la corrélation est hautement significative. La pente de la courbe d'ajustement (ligne continue sur la figure 4.12) donne un taux de croissance effectif du volume des cavités de 0,015 $\mu\text{m}^3/\text{h}$. Comme vu aux chapitres 1 et 3, des différences dans la microstructure et dans la position initiales des défauts intrinsèques au procédé de fabrication, servant de précurseurs à l'initiation des cavités, peuvent aisément expliquer les différents scénarios aboutissant à l'augmentation de 10 % de la résistance de la résistance ainsi observée.

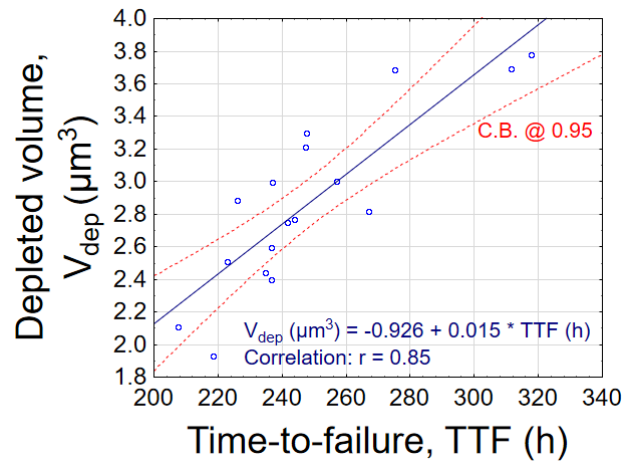


FIGURE 4.12 – Graphique présentant la relation entre le volume des cavités tueuses mesuré par nanotomographie à contraste de phase par rayons X et les temps à défaillance correspondants suite à un essai d'électromigration (350 °C, 20 mA). Une évidente corrélation existe entre ces 2 grandeurs. Source : [Moreau2019a].

Pour mieux comprendre la corrélation V_{dep} -TTF, une modélisation par éléments finis tridimensionnelle a été réalisée. Le domaine de simulation est constitué du maillon le plus faible de la chaîne testée (cf. figure 4.13a). Dans une première approche, la simulation électrique ne prend pas en compte les propriétés des matériaux dépendant de la température ni un quelconque effet Joule. La figure 4.13b met en évidence la distribution inhomogène des densités de courant électrique dans la structure et souligne que les différents HBVs contribuent différemment à la circulation du courant électrique. Par conséquent, si la cavité croissante déconnecte les HBVs qui conduisent la plus grande partie du courant électrique, alors une augmentation importante de la résistance électrique est observée. L'inverse est également vrai.

Pour évaluer ce scénario sans passer par la modélisation d'un phénomène d'électromigration, particulièrement complexe, nous avons étudié l'influence de cavités, à la géométrie arbitraire, en fonction de leur emplacement par rapport à la matrice de HBVs. Une cavité est définie comme un volume sans cuivre s'étendant au-dessus d'un nombre donné de HBVs qui ne sont donc pas électriquement actifs. Des cavités de volumes identiques, localisées à différents endroits (dans la couche M_{sup} sur la matrice HBVs), conduisent clairement à des variations de résistance électrique différentes. A titre d'illustration, pour un volume de cavité équivalent à 14 HBVs déconnectés, la variation de la résistance électrique varie de +1,023 à +1,934 %. Avec ces résultats, nous confirmons que la résistance électrique est sensible à l'emplacement exact et à la forme du vide induit par le phénomène d'électromigration.

A la lumière de ces résultats, il semble important d'attacher une attention particulière à l'architecture des interconnexions afin d'homogénéiser, autant que faire se peut, la distribution du courant électrique pour éviter ou tout du moins limiter ces « points chauds » ou points de vulnérabilité à l'électromigration. Concrètement et dans la mesure où les règles de dessin l'autorisent, cela consiste à utiliser de la redondance au niveau HBVs, à ne pas interconnecter 2 niveaux métal-

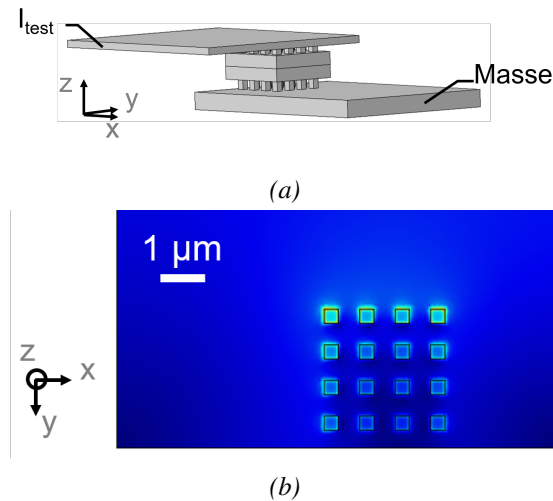


FIGURE 4.13 – a) Géométrie 3D pour la modélisation par éléments finis et b) répartition de la la densité de courant électrique dans la matrice HBVs sous-jacente (vue de dessous) et dans une partie du M_{sup} ; les autres couches sont cachées pour faciliter la compréhension. Une distribution inhomogène des densités de courant est clairement visible.

liques de manière orthogonale (changement de niveau en ligne ou à 45°)... [Lienig2018a].

4.4 Sensibilité à la diffusion du cuivre

Du fait des capacités d'alignement des machines de collage ($\sim 200 \text{ nm}$ à $\pm 3\sigma$), un possible désalignement peut exister entre la plaque/puce supérieure et la plaque inférieure. Dans l'intégration d'étude, les matériaux à l'interface de collage sont du cuivre et de l'oxyde de silicium. En conséquence, après l'étape de collage, du cuivre d'une plaque peut se retrouver en contact avec le diélectrique de l'autre plaque, cette situation aboutissant à un risque de diffusion du cuivre (aussi bien sous forme ionique que atomique) dans l'oxyde de silicium et donc à une perte de performances. En effet, la présence d'une contamination métallique dans les diélectriques peut dramatiquement dégrader la fiabilité des diélectriques du fait de l'augmentation du courant de fuite et des temps de claquage plus courts comme démontré dans les interconnexions classiques [Miyazaki1996, Gonella2000]. Ainsi, avec la réduction du pas d'interconnexion, la diffusion du cuivre dans l'oxyde se présente comme un risque majeur de perte de fiabilité et doit donc être évalué.

Le groupe de travail a utilisé différentes techniques pour mettre en évidence cette diffusion du cuivre aussi bien par caractérisations électriques (courant de fuite, claquage diélectrique) que physico-chimiques (spectroscopie de rayons X à dispersion d'énergie (*energy-dispersive X-ray spectroscopy*, EDS ou EDXS, en anglais), spectrométrie de masse d'ions secondaires à temps de vol (*Time Of Flight - Secondary Ion Mass Spectroscopy*, ToF-SIMS en anglais)) après des stockages en température de longues durées [Beilliard2014, Lhostis2016, Jourdon2021]. Nous avons pu ainsi démontrer que si une diffusion existait, elle était inférieure à $10^{17} \text{ at.cm}^{-3}$.

4.4.1 Caractérisations BTS-TSV

Face à cette faible concentration, il a été décidé d'utiliser de ce qui est, à notre connaissance, la caractérisation électrique la plus sensible : *Bias-Temperature Stress* (BTS) et *Triangular Voltage Sweep* (TVS). La technique TVS consiste en des mesures I-V à haute température réalisée

par application d'une rampe de tension linéaire, croissante et décroissante à mi-chemin, sur des structures de type Métal-Isolant-Semiconducteur (MIS) ou équivalent. Si des ions mobiles sont présents dans le diélectrique, lorsque la tension change de polarité, les ions se déplacent, produisant un pic de courant dans la trace TVS, superposé au courant de déplacement de la capacité. De l'aire du pic, il est possible d'extraire la concentration des ions déplacés. Le test couplant accélération en champ électrique et température (BTS) est utilisé pour promouvoir la diffusion des ions Cu de l'électrode Cu dans le diélectrique. Une mesure TVS est effectuée afin de détecter d'éventuels ions Cu injectés lors de la phase préliminaire de BTS. Pour faciliter l'interprétation des courbes I-V, le schéma de caractérisation suivant est utilisé : TVS pour avoir une trace I-V de référence, BTS pour forcer la diffusion ionique puis un nouveau TVS pour détecter une éventuelle diffusion ionique.

La figure 4.14 donne un exemple des caractéristiques électriques typiquement recueillies suite à la diffusion d'ions mobiles dans une structure MIS (électrode en Cu, 30 nm d'oxyde thermique) lors de tests TVS/BTS.

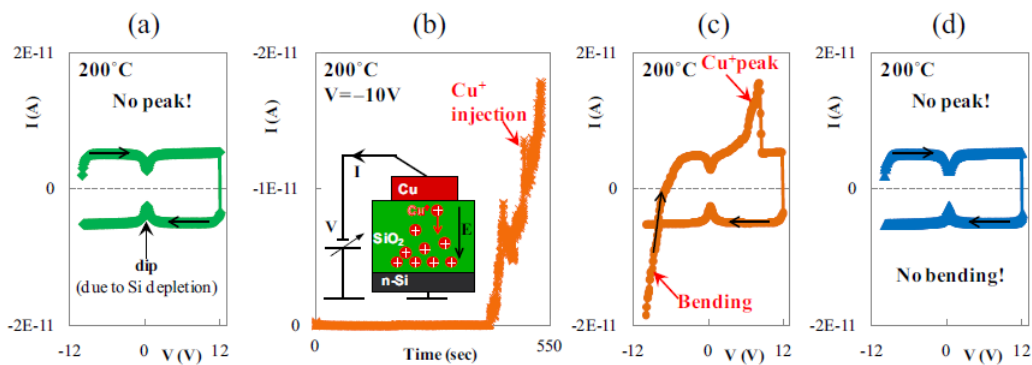


FIGURE 4.14 – Illustration de l'emploi conjoint des techniques BTS et TVS pour la mise en évidence d'ions mobiles dans une intégration microélectronique de type Métal-Isolant-Semiconducteur (MIS). Source : [Ciofi2011].

Structure de test

Reprenant le schéma d'intégration présenté au paragraphe 4.3.2, un véhicule de test spécifique a été développé et fabriqué pour pouvoir mettre en œuvre les techniques TVS/BTS dans le contexte de la diffusion du cuivre à l'interface de collage. La plaque inférieure est constituée d'une fine couche (~ 40 nm) d'oxyde de silicium (SiO₂) déposée sur un substrat silicium de type p. Cette dernière est collée à la plaque supérieure disposant de 4 niveaux de métal, le BEoL, plus la brique collage hybride avec les niveaux vias (HBV) et plots de collage (HBM), ces derniers présentant un pas de répétition de 7,84 μ m. Comme illustré à la figure 4.15, une structure MIS est alors obtenue. Un recuit à 400 °C pendant 2 h est réalisé pour renforcer la qualité du collage. Les dernières étapes consistent en l'amincissement du silicium de la plaque supérieure et en la réalisation des plots de test électrique.

Tests et résultats

La structure de test consiste en une structure MIS polarisée entre le plot de test en aluminium et la face arrière du substrat silicium de la plaque inférieure (cf. figure 4.16). La polarisation est positive en prenant pour référence le potentiel de la face arrière. Ainsi polarisée, la migration des ions cuivre (Cu⁺) des HBMs est forcée dans la fine couche de SiO₂ sous-jacente. Les tests sont réalisés sur une station sous pointes disposant d'un support chauffant et associée à un analyseur

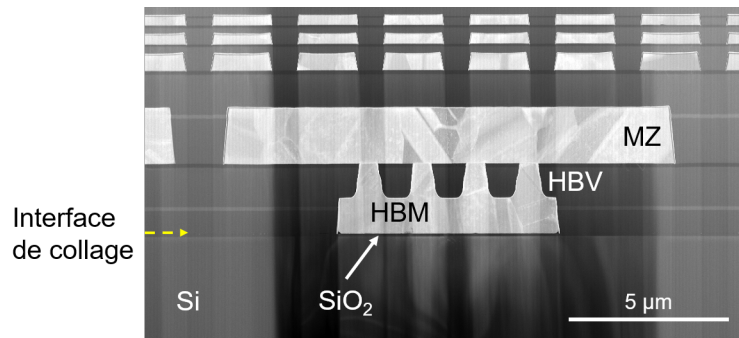


FIGURE 4.15 – Image obtenue par microscopie électronique à transmission à balayage du véhicule de test, 300 mm, dédié à l'étude TVS/BTS. La plaque supérieure comporte 4 niveaux de métal (Cu) ainsi que la brique collage hybride (niveaux HBV/HBM). La plaque inférieure est constituée d'un oxyde de silicium (SiO_2) déposé sur un substrat silicium.

Agilent B1500. Les conditions d'essai sont présentées dans le tableau 4.6. Le choix d'une température d'accélération de $+250\text{ °C}$ est relatif à l'historique du CEA-LETI mais aussi à un compromis entre la garantie d'accélérer suffisamment la diffusion ionique et les contraintes matérielles telles que la thermalisation du banc de test et en conséquence sa durée de réservation. La valeur de la pente de la rampe de tension a été fixée à 221 mV/s . Dans la littérature, il n'y a aucun consensus par rapport à celle-ci. La valeur choisie est dans l'intervalle des valeurs qu'il est possible de trouver dans la littérature, typiquement de $5\text{ à }100\text{ mV/s}$ mais il est possible de trouver une valeur de 1 V/s . Au moment de l'étude, l'influence de cette grandeur n'avait pas été jugée de premier ordre. Il serait intéressant, à l'avenir, d'évaluer des vitesses plus faibles avec des temps de vieillissement plus longs pour s'assurer de l'existence ou l'absence d'une quelconque diffusion d'ions mobiles dans l'oxyde de silicium.

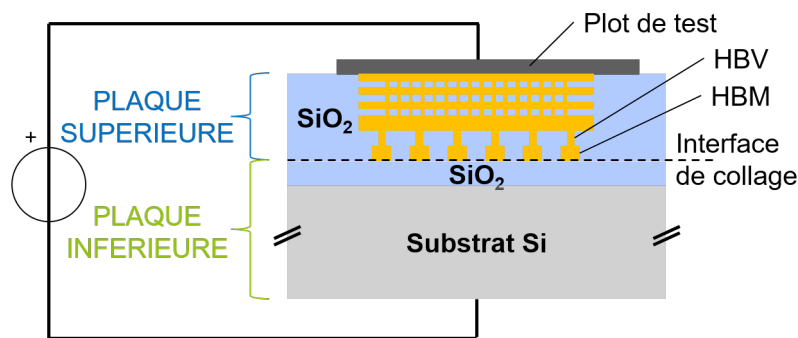


FIGURE 4.16 – Schéma illustrant la structure de test ainsi que la polarisation usées pour l'étude TVS/BTS.

La figure 4.17 donne un exemple des courbes TVS typiquement obtenues. Aucun pic ou bosse n'a pu être identifié quelles que soient les conditions d'essai. En d'autres termes, aucune diffusion ionique (Cu^+ , Na^+ , K^+ ...) n'a été mise en évidence parmi tous les essais réalisés. Ce résultat est une nouvelle démonstration de la diffusion très faible ou inexistante du Cu dans le cadre de la présente intégration c'est-à-dire sans couche barrière à la diffusion du Cu à l'interface de collage.

Différentes hypothèses peuvent expliquer ces observations :

- l'étape de préparation de surface (polissage mécano-chimique ou *Chemical Mechanical Polishing* (CMP), nettoyage), assurant un haut rendement de collage des plaques, supprime tout ou une partie des sources de contamination. Il a été reporté un effet bénéfique de l'étape de préparation de surface (CMP et/ou traitement plasma) sur les performances en TDDDB [Noguchi2000];

TABLE 4.6 – Conditions de test lors de caractérisation TVS/BTS.

	BTS	TVS
Température (°C)	250	250
Polarisation	jusqu'à +20 V	±15 V
Durée (min)	jusqu'à 20 min	
Pente de la rampe (mV/s)	/	221
Rampe	/	-15 → +15 → -15 V

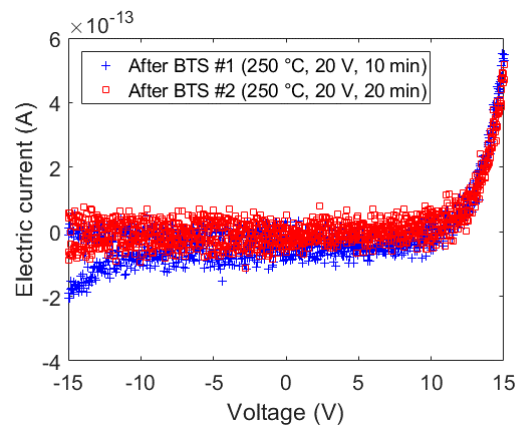


FIGURE 4.17 – Courbes TVS typiques (I - V) après 2 essais BTS : 1- 250 °C, +20 V, 10 min, croix bleues, 2- 250 °C, +20 V, 20 min, carrés rouges. La courbe I - V de référence ou mesure à t_0 (absente ici par soucis de clarté) a été soustraite des courbes affichées pour mettre en évidence un potentiel effet des vieillissements thermo-électriques. Source : [Moreau2021].

- selon Schröder [Schröder2006], la méthode BTS présente une sensibilité de l'ordre de 10^{10} cm^{-2} et la méthode TVS peut quant à elle détecter des espèces concentrées jusqu'à 10^9 cm^{-2} . En conséquence, si diffusion il y a, les concentrations en ions mobiles sont inférieures à celles-ci,
- une couche naturellement présente dans la région du désalignement inhibe la diffusion des ions cuivre jouant ainsi le rôle de barrière. Selon Aboelfotoh, mais sans aucune preuve scientifique, l'oxyde cuprique (Cu_2O) pourrait être une barrière à la diffusion du cuivre [Aboelfotoh1990]).

Pour explorer cette dernière hypothèse, une analyse de spectroscopie de perte d'énergie des électrons ou *Electron Energy Loss Spectroscopy* (EELS) dans un Microscope Électronique à Transmission (MET) a été menée pour identifier un composé de type (Cu_xO) dans la zone du désalignement.

4.4.2 Caractérisation EELS de la zone de désalignement, à l'interface de collage

L'EELS est une technique d'analyse dans laquelle le matériau à analyser est exposé à un faisceau d'électrons dont l'énergie cinétique est située dans une plage relativement étroite. Certains de ces électrons seront soumis à des interactions inélastiques avec l'échantillon, ce qui signifie qu'ils perdront de l'énergie et que leurs trajectoires subiront une déflexion faible et aléatoire. Cette perte d'énergie peut être mesurée par un analyseur en énergie et interprétée par certains phénomènes physiques ce qui permettra finalement de donner des informations sur l'échantillon. Installée dans un MET, cette technique permet de caractériser des matériaux à l'échelle nanométrique.

L'échantillon analysé est un échantillon « neuf » c'est-à-dire n'ayant subi aucun essai de TVS/BTS. La figure 4.18a est un grossissement de la figure 4.15 où l'analyse EELS est menée. 4 pointés ont été réalisés avec acquisition simultanée de spectres de perte d'énergie des électrons pour 2 gammes différentes d'énergie, 510-570 eV et 910-970 eV, respectivement pour le suivi des seuils K de l'oxygène (cf. figure 4.18b) et $L_{2,3}$ du cuivre (cf. figure 4.18c). Les pointés ont débuté dans l'oxyde de silicium d'intérêt (pointé n°1) pour se terminer dans le plot de collage en cuivre (pointé n°4) en passant par l'interface de collage. La distance entre chaque pointé est de l'ordre de 1,2 nm. La résolution spatiale est de l'ordre de 0,3 nm.

Concernant les spectres EELS d'oxygène, une modification des pics est clairement observée lors du balayage de la zone Si_2O vers la zone Cu (cf. figure 4.18b). Pour le pointé (1), la signature est typique du Si_2O amorphe. Pour les pointés (2) et (3), un pré-pic est identifié comme illustré par la flèche noire. Cela met en évidence une modification de la structure électronique des atomes d'oxygène près de l'interface de collage et est typiquement liée à un oxyde métallique d'après la littérature. Ce résultat est en bon accord avec la modification observée du seuil $L_{2,3}$ du cuivre (cf. figure 4.18c). À la position (4), correspondant au plot de collage, les spectres EELS présentent une allure typique du cuivre cristallin. À la position (1), aucun signal n'est détecté pour le seuil $L_{2,3}$ du cuivre révélant que la position (1) ne contient pas de cuivre. Aux positions intermédiaires, (2) et (3), des transitions distinctes L_3 (931 eV, flèche (A1)) et L_2 (950 eV, flèche (A2)) sont observées sans décalage de la bande L_3 par rapport au cuivre cristallin (position (4)). Ces spectres sont caractéristiques de la phase Cu_2O . Compte tenu de la distance entre les positions analysées, l'épaisseur de la couche d'oxyde cuprique ou Cu_2O est estimée à environ 3 nm. Au vu des résultats TVS/BTS, cette couche pourrait être suffisamment épaisse pour constituer une barrière de diffusion au cuivre.

Deux hypothèses pour expliquer la formation de cet oxyde cuprique :

1. après l'étape de CMP et avant celle du collage, les plots de cuivre situés à l'interface de collage sont exposés à l'atmosphère ambiante, en particulier l'oxygène, or le cuivre s'oxyde relativement facilement dans cet environnement,
2. après le collage, l'oxyde de silicium est en contact avec le plot de collage en cuivre. Du fait de l'absence de barrière et la présence d'un désalignement même très léger, l'oxyde

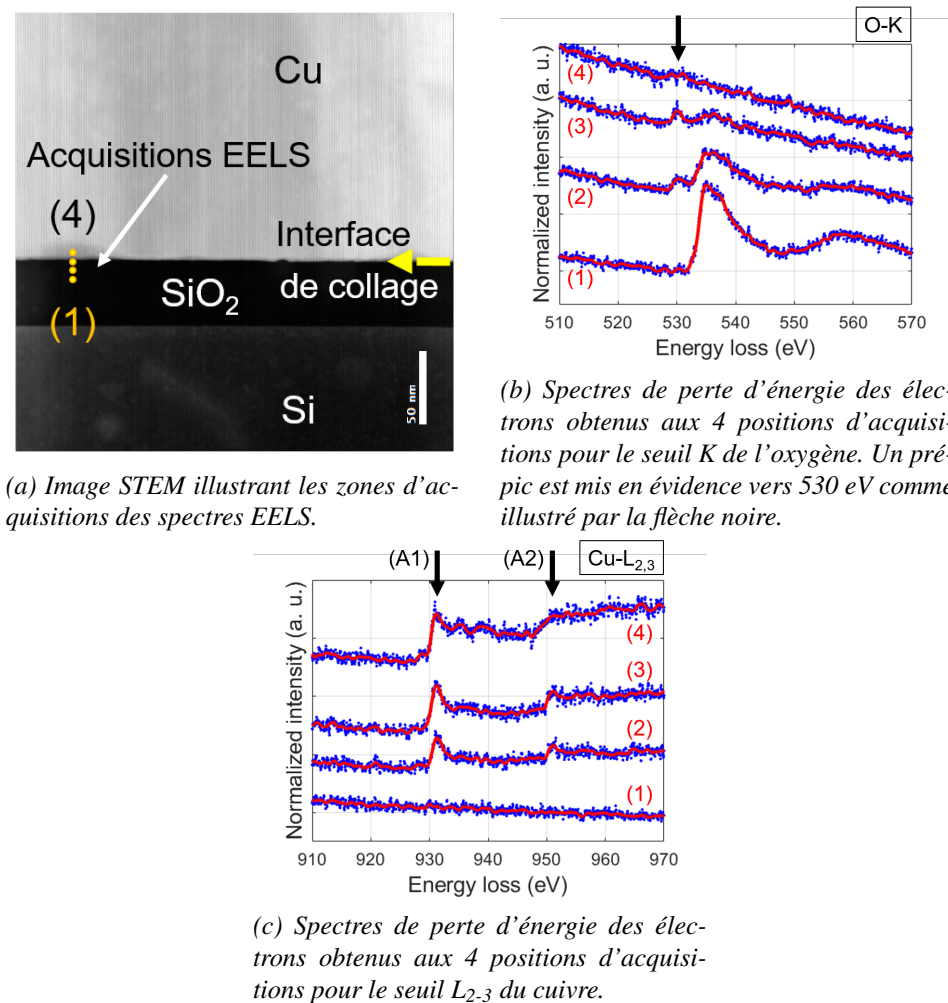


FIGURE 4.18 – Triptyque présentant a) la zone d'analyse EELS et b-c) les spectres de perte d'énergie des électrons pour les seuils K de l'oxygène et L_{2,3} du cuivre. Les spectres de perte d'énergie des électrons sont présentés décalés verticalement pour faciliter l'analyse. Les points bleus et les courbes rouges correspondent respectivement aux données brutes et aux données après lissage. Source : [Moreau2021].

de silicium peut être source d'éléments corrosifs, en particulier d'oxygène aboutissant à la formation d'un composé de type Cu_xO .

Ce nouveau résultat tend à corrélérer l'écrit d'Aboelfotoh [Aboelfotoh1990] et ainsi expliquer tous nos résultats de caractérisation électrique et physico-chimique : aucune diffusion de cuivre dans l'oxyde de silicium n'a pu être identifiée pour la technologie de collage hybride mise en oeuvre pour ces études (cf. figure 4.4).

4.4.3 Fiabilité diélectrique

A la lecture des résultats précédemment décrits, nous voyons bien que si il y a diffusion de cuivre, celle-ci est très limitée. Dans ce contexte, qu'en est-il de la fiabilité diélectrique de la brique technologique « collage hybride » ? Les performances en claquage diélectrique dépendant du temps ou *Time-Dependent Dielectric Breakdown* (TDDB) porteront-elles, comme cela peut-être le cas pour les niveaux diélectriques BEoL, une signature indiquant le rôle du cuivre ? Pour y parvenir, une méthode spécifique au collage hybride, a été développée et mise en place, par Bassel AYOUB au cours de sa thèse, pour l'étude du TDDB afin de prendre en compte ces erreurs de désalignement et des variations de forme du niveau métallique HBM. Cette méthode est appliquée à un véhicule de test au pas d'interconnexion de $1,44 \mu\text{m}$ [Ayoub2022a].

Structure de test et méthodologie

Une structure de type peigne-serpentin-peigne 3D est utilisée pour cette étude. Un véhicule de test au pas d'interconnexion de $1,44 \mu\text{m}$ est utilisé pour l'étude. Une représentation schématique en vue de dessus ainsi qu'une coupe morphologique transversale de cette structure sont données à la figure 4.19.

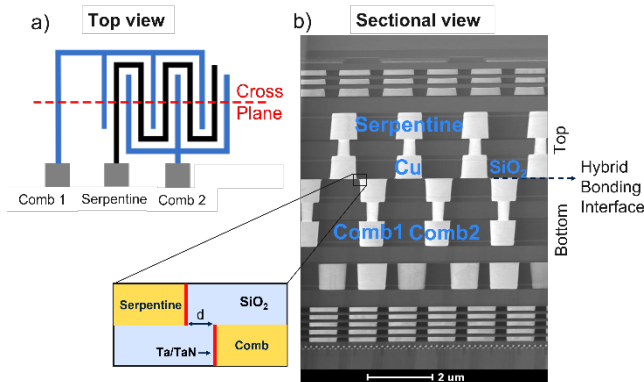


FIGURE 4.19 – Structure de test utilisée pour l'étude TDDB à l'interface de collage : a) représentation schématique en vue de dessus et b) coupe morphologique transversale. Le pas d'interconnexion est de $1,44 \mu\text{m}$. La distance théorique entre peigne et serpentins « d » est de 252 nm . Source : [Ayoub2022a].

Afin d'étudier les mécanismes de conduction et la dépendance de la tension de claquage diélectrique V_{BD} par rapport à la distance peigne-serpentin « d », plusieurs mesures de type *Linear Ramped Voltage Sweep* (LRVS) ont été effectuées à $30 \text{ }^\circ\text{C}$ avec un pas de 1 V comme illustré à la figure 4.20. Deux (2) familles de courbes $I=f(V)$ coexistent : un premier groupe ($V_{BD} < 40 \text{ V}$) marqué par une augmentation rapide du courant de fuite jusqu'au claquage diélectrique et un second groupe ($V_{BD} > 40 \text{ V}$) présentant une variation bi-modale du courant de fuite : augmentation lente ($\max. \frac{dI}{dV} < 0.2 \text{ pA/V}$) puis très rapide ($< 5 \text{ nA/V}$) de ce dernier à mesure que le claquage se rapproche.

Ces différents comportements peuvent être liés à différents modes de conduction. Il a été démontré que la conduction électrique est conduite par l'émission Schottky et Poole-Frenkel pour

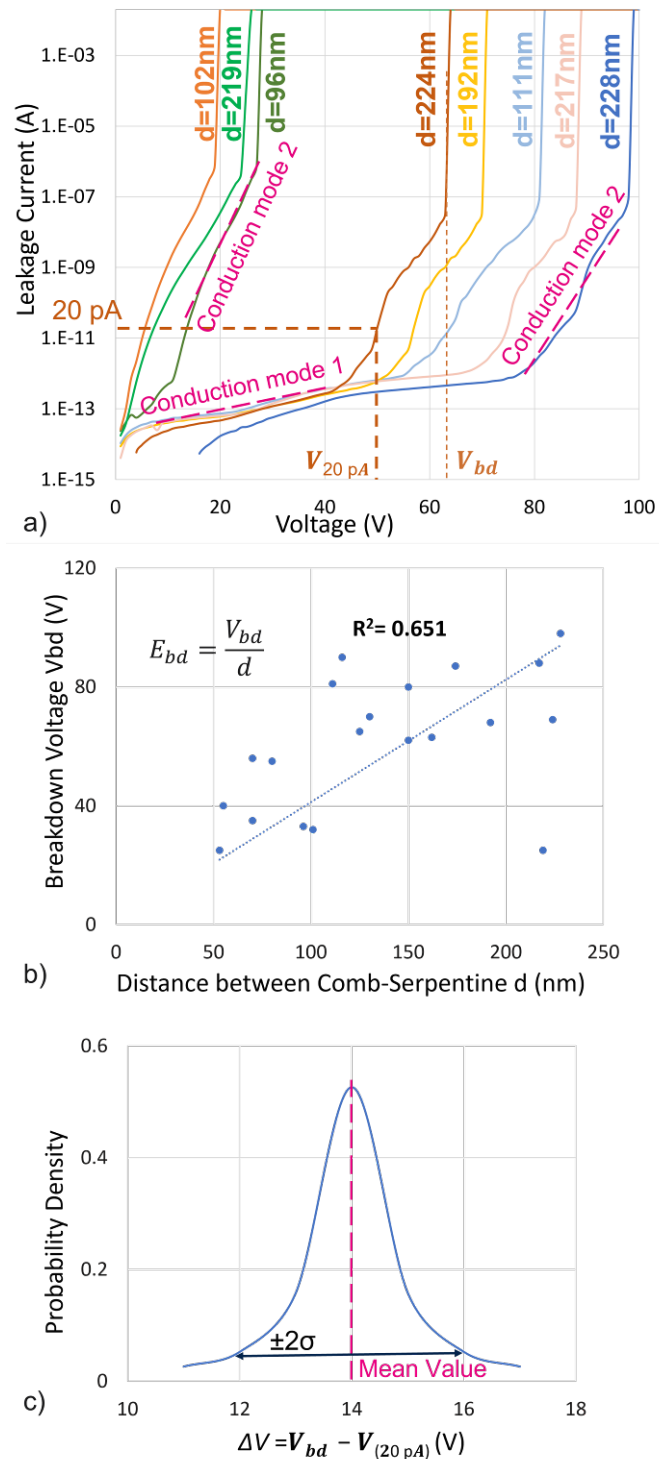


FIGURE 4.20 – (a) Courbes typiques issues de mesures de type LRVs, (b) $V_{BD} = f(d)$ and (c) densité de probabilité de la grandeur $\Delta V = V_{BD} - V_{20\text{pA}}$; 96 % des valeurs sont comprises entre 12 et 16 V. Source : [Ayoub2022a].

des champs électriques faibles et élevés respectivement. Pour les structures à faible tension de claquage ($V_{BD} < 40 \text{ V}$), le mode de conduction 2 est dominant. A tension constante, un champ électrique beaucoup plus élevé sera atteint sur les structures présentant un désalignement plus important. Dans la figure 4.20-b, V_{BD} est tracé en fonction de la distance « d » calculée en soustrayant la valeur mesurée de désalignement à de la distance théorique (252 nm). En prenant l'hypothèse d'une capacité planaire, V_{BD} devrait évoluer linéairement avec d alors que nous observons une forte déviation avec un coefficient de corrélation R^2 de seulement 0,65. Le champ de claquage (E_{BD}) est estimé à environ 5 MV/cm contre 8 MV/cm trouvé en utilisant la distance mesurée sur les images MET. L'étude de toutes les variables potentielles conduisant à cette sous-estimation (par exemple, les imprécisions des mesures de désalignement et les variations de la forme du niveau HBM), nous amène à la conclusion qu'une étude TDDB précise basée sur les mesures de désalignement n'est pas scientifiquement rigoureuse. En effet, pour un champ électrique donné pour le test, nous pouvons avoir plus de 100 % d'incertitude en raison des variables ayant un impact sur la valeur de d . Pour résoudre ce problème, nous avons étudié les pentes I-V, et nous avons défini le point 20 pA pour calculer la différence de tension (ΔV) entre V_{BD} et V_{20pA} pour toutes les structures. Ce point est choisi pour que le mode de conduction 2 soit respecté pour toutes les structures et pour rester dans la zone réversible c'est-à-dire sans dégradation si on abaisse à nouveau le potentiel électrique. Comme le montre la figure 4.20-c, 96 % des valeurs de ΔV se situe entre 12 et 16 V ce qui implique que le comportement dans cette région de champs électriques est très similaire. La valeur moyenne se situant autour de 14 V. Ainsi, notre méthodologie consiste à effectuer des mesures $I=f(V)$ avec une condition d'arrêt à un courant de fuite de 20 pA. La tension de claquage est alors estimée en ajoutant 14 V à la valeur de tension mesurée à 20 pA. La distance d peut alors être ré-estimée sur la base du champ de claquage calibré expérimentalement ($d = \frac{V_{BD}}{E_{BD}}$ avec $E_{BD} = 8 \text{ MV/cm}$). L'erreur liée à cette méthode est limitée à $\pm 5 \%$ en étudiant les structures avec une tension de claquage estimée supérieure à environ $\sim 40 \text{ V}$. Les tests TDDB peuvent dorénavant être réalisés à différents champs électriques avec une grande précision.

Tests et résultats

L'application de la méthode décrite ci-dessus se fait pour différentes conditions d'essai comme renseigné dans le tableau 4.7. Pour chaque condition, 12 structures ont été utilisées.

TABLE 4.7 – Conditions de test pour les essais de TDDB.

Champ électrique (MV/cm)	Température (°C)
4 / 2.67 / 2.1	155-170-195
1.8	195

La figure 4.21 présente la distribution des temps à défaillance (cercles pleins) pour une température accélérée de 155 °C et 3 champs électriques. La loi statistique classiquement usitée pour modéliser ces distributions des temps à défaillance est une loi de Weibull dont la densité de probabilité est donnée par l'équation suivante :

$$f(t) = \frac{\beta}{\eta} \left(\frac{t}{\eta} \right)^{\beta-1} e^{-\left(\frac{t}{\eta}\right)^\beta} \quad (4.2)$$

Ces 3 jeux de données sont ajustés par une loi de Weibull à 2 paramètres ; paramètre d'échelle ou durée de vie caractéristique η et paramètre de forme β . Il n'y a pas de changement significatif de β entre les différentes conditions d'essai, ce qui indique que le mécanisme de défaillance actif reste le même sur la plage des champs électriques investigués. De plus, la distribution des TTFs

pour chaque champ électrique testé est dispersée à moins d'une décade ce qui prouve la pertinence de notre méthode développée.

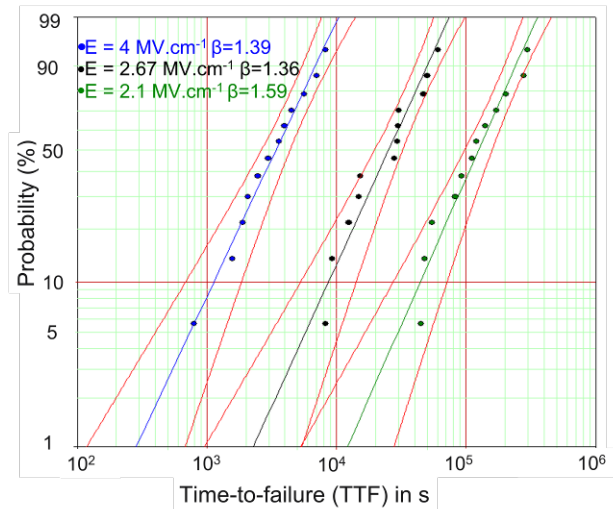


FIGURE 4.21 – Représentation de Weibull des temps à défaillance issus des essais de TDDB pour 3 champs électriques 3 et pour une température de 155 °C. Les cercles pleins sont les temps à défaillance expérimentaux. Les courbes bleue, noire et verte sont les ajustements par loi de Weibull des temps à défaillance. Les courbes rouges sont les intervalles de confiance à 90 %. Source : [Ayoub2022a].

Les modèles d'accélération issus de la littérature, comme les modèles E , \sqrt{E} et $\frac{1}{E}$, ont été passés au crible pour étudier leur capacité à modéliser nos données expérimentales. Comme illustré à la figure 4.22, le modèle $\frac{1}{E}$ modélise de manière plus pertinente nos jeux de données notamment aux champs électriques inférieurs à 2,5 MV/cm et quelles que soient les températures de test. Un modèle de type \sqrt{E} est classiquement pour les interconnexions BEoL, ce qui suggère que, dans notre configuration, le mécanisme de défaillance est différent.

Pour le modèle d'extrapolation en $\frac{1}{E}$, la dépendance entre les TTFs et le champ électrique E est donnée comme suit :

$$TTF \propto \exp\left(\frac{G}{E}\right) \quad (4.3)$$

G étant le paramètre d'accélération. Ce paramètre est dépendant de la température comme le montre la figure 4.23 et décroît de 35 % sur la plage 155 °C / 195 °C.

Le modèle $\frac{1}{E}$ n'intègre pas un rôle clair de la dérive des ions métalliques dans le mécanisme de rupture, ce qui suggère que le rôle du cuivre dans nos résultats de TDDB est négligeable. Ainsi, la couche d'oxyde cuprique précédemment identifiée pourrait encore jouer un rôle dans la décélération de la diffusion du cuivre dans les zones mal alignées Cu/SiO₂ à l'interface de liaison hybride, en particulier à faible champ.

L'énergie d'activation est égale à $0,95 \pm 0,07$ eV à 4 MV/cm et augmente à 1.29 ± 0.07 eV pour un champ électrique appliqué de 2,1 MV/cm. Ces valeurs sont plus élevées que celles des diélectriques classiques du BEoL pour des conditions de contraintes de champs électriques identiques.

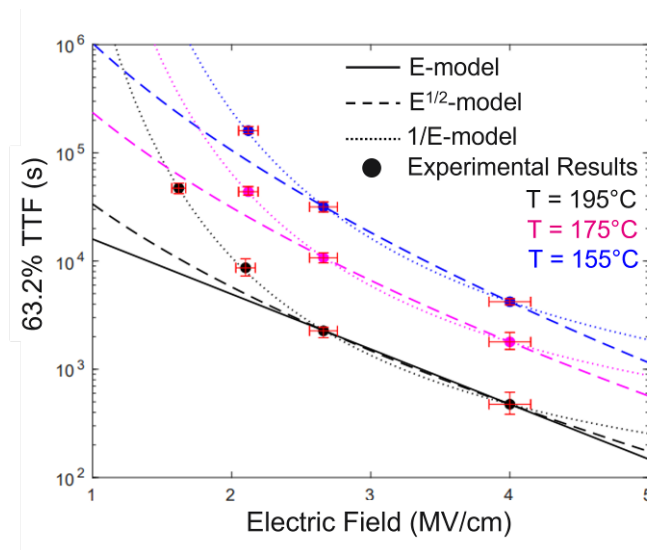


FIGURE 4.22 – Illustration de la qualité d’ajustement des modèles classiques d’accélération de type TDDB. Les barres d’erreur verticales sont les intervalles de confiance à 90 % et les barres d’erreur horizontales correspondent aux 5 % d’incertitude sur la valeur du champ électrique. Source : [Ayoub2022a].

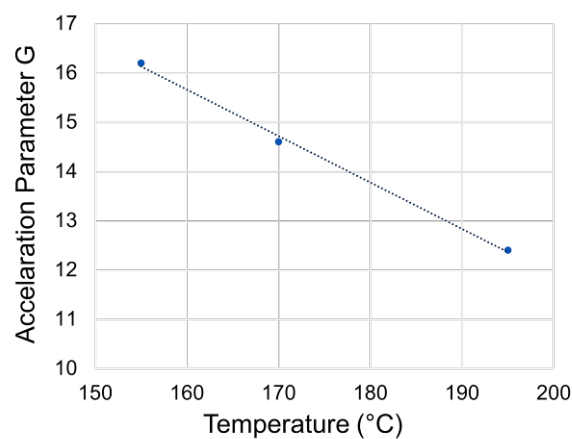


FIGURE 4.23 – Illustration de la dépendance du paramètre d’accélération G du modèle d’accélération $\frac{1}{E}$ à la température. Source : [Ayoub2022a].

4.5 Conclusion

A l'image du chapitre précédent, ce second chapitre de résultats a permis d'illustrer les différents moyens et méthodes développés et mis en œuvre pour étudier la fiabilité des interconnexions à base de collage hybride Cu/SiO₂.

Pour les pas d'interconnexion supérieurs à $\sim 3,5$ m , toutes les menaces potentielles de perte de fiabilité citées en début de chapitre ont été traitées [Jourdon2017, Jourdon2018, Moreau2019b, Jourdon2021] mais, pour des questions de concision, seuls les thèmes de l'électromigration et de la diffusion du cuivre ont été présentés dans ce document. Les études réalisées et/ou co-encadrées (thèse de Joris JOURDON) ont permis de démontrer que :

- la dégradation par électromigration, même si elle se manifeste dans l'intégration étudiée, ne remet pas en cause la fiabilité de la brique collage hybride puisque le cahier des charges est tenu pour des applications de type « grand public » (*consumer*). En effet, l'interconnexion Cu/Cu créée par collage hybride est immune à la dégradation par électromigration, seul le niveau BEO_L connecté à la brique collage hybride est impacté mais avec les paramètres de Black (modèle d'extrapolation/d'accélération) courants du BEO_L.
- la diffusion du cuivre est soit inférieure aux limites de détection des diverses techniques employées pour la capturer, voire inexistante. Cet état de fait semble être permis par la présence native d'une couche d'oxyde de cuivre, Cu₂O, présente dans la zone de désalignement des plots de collage où le cuivre pourrait être en contact direct avec la matrice oxyde.

Pour ne pas alourdir ce document, seul le thème de la diffusion du cuivre a été présenté pour les pas d'interconnexion inférieurs à $\sim 3,5$ m dans la continuité des études réalisées pour les pas plus larges même si toutes les potentielles menaces de perte de fiabilité ont été investiguées [Ayoub2020, Moreau2022, Ayoub2022b, Moreau2023]. Les travaux de thèse de Bassel AYOUB ont notamment permis de conforter les résultats précédents en usant de techniques encore plus pointues et surtout d'accompagner le développement de la brique technologique vers des pas d'interconnexion submicroniques. Les différentes études ont permis de mettre en évidence, qu'à nouveau, la diffusion du cuivre est soit inférieure aux limites de détection des diverses techniques employées pour la capturer, voire inexistante. En effet, les tests de TDDB ont mis en évidence que le modèle d'accélération qui représentait le mieux les données expérimentales n'était pas le classique modèle en \sqrt{E} du BEO_L mais un modèle en $\frac{1}{E}$ qui n'intègre pas un rôle de la dérive des ions métalliques dans le mécanisme de dégradation. Cette constatation a été reliée à la présence native d'une couche d'oxyde de cuivre, Cu₂O, dans la zone de désalignement. Nous avons de plus montré que cette isolation électrique est conservée après vieillissement (temps, température).

5

La simulation numérique comme aide à la compréhension de l'analyse défaillance

Sommaire

5.1	Simulation numérique et diffusion du cuivre à l'interface de collage	101
5.1.1	Modèles et équations associées	101
5.1.2	Comparaison en 1D des 2 modèles	102
5.1.3	Application au cas réel du collage hybride	102
5.2	Simulation numérique et interaction puce/boîtier	105
5.3	Modélisation numérique et phénomène d'électromigration	107
5.3.1	Échelle locale & modélisation numérique de la dégradation par électromigration	107
5.3.2	Échelle circuit & modélisation numérique de la dégradation par électromigration	109
5.4	Conclusion	112

Ce dernier chapitre est une courte mise en lumière de l'emploi de la simulation numérique dans le contexte des études de robustesse/fiabilité que j'ai pu mener. Ce sujet sera traité selon 3 thématiques : la diffusion du cuivre dans l'intégration collage hybride, les contraintes thermo-mécaniques consécutives à l'interaction puce-boîtier (*Chip-Package Interaction*, CPI) ou encore l'électromigration. Le premier sujet a été abordé dans le cadre du post-doc d'Hervé MANZANAREZ tandis que le second sujet a été traité, dans le cadre de l'IRT Nanoelec via une collaboration entre le CEA-LETI et Siemens EDA (équipe de Valeriy SUKHAREV (Fremont, CA, USA)). Le dernier thème a été abordé aussi bien en interne qu'aux travers de collaborations internationales (équipe d'Hajdin CERIC de l'université de Vienne en Autriche et équipe de Valeriy SUKHAREV chez Siemens EDA). Ces travaux ont abouti à des publications dans diverses conférences internationales [[Manzanarez2019](#), [Choy2022](#), [de Orio2014](#), [Choy2017a](#), [Choy2017b](#)].

Plusieurs raisons peuvent expliquer le choix d'employer la simulation numérique dans nos études de robustesse/fiabilité :

- à l'échelle d'une structure de test ou équivalent : aide au dimensionnement des structures de test, aide à l'analyse statistique (multi-modalité), aide à l'analyse de défaillance (localisation de défaut et/ou compréhension du déroulé de la dégradation)...
- à l'échelle d'un circuit intégré : aide à la vérification de la susceptibilité d'un *design* de circuit intégré au mécanisme de dégradation étudié, aide à la détermination des temps à défaillance...

5.1 Simulation numérique et diffusion du cuivre à l'interface de collage

Comme discuté dans la partie 4.4 (p. 87), l'intégration « collage hybride », telle que mise en œuvre dans le cadre des travaux communs entre ST et le CEA-LETI, présente a priori un risque vis-à-vis d'une contamination métallique en cuivre dans la zone de désalignement, entre la plaque supérieure et la plaque inférieure. En avance de phase des mesures expérimentales, il a été décidé d'user de la modélisation pour tenter d'appréhender cette problématique pour notamment, à l'image des travaux d'Achanta [[Achanta2008](#)], développer un modèle prédictif du claquage diélectrique dépendant du temps (TDDDB) pour l'intégration « collage hybride ». Avec un tel modèle, il serait aisé de réaliser un plan de simulations et ainsi de statuer sur le ou les paramètres influençant les performances en TDDDB des interconnexions à base de « collage hybride ». Devant l'incapacité du modèle analytique de « référence » [[He2012](#)] de prendre en compte la complexité de nos conditions aux limites – nous n'avons pas une « simple » capacité plane – il a fallu recourir à la simulation numérique par éléments finis.

5.1.1 Modèles et équations associées

La résolution du modèle de « référence » aboutit, pour un modèle 1D, à une divergence de la concentration (C) en cuivre à la cathode (cf. figure 5.2-a.1). Devant ce constat qui n'a pas de raison physique d'être, le modèle a été modifié afin d'obtenir plutôt une saturation de la concentration en cuivre à la cathode. L'hypothèse sous-jacente est la présence limitée, dans le matériau diélectrique, de sites pouvant accueillir des ions cuivre. Les équations adimensionnelles de ces 2 modèles sont présentées succinctement ci-dessous. Le lecteur désirant plus de détails (hypothèses et développement du modèle, résultats complets) devra se tourner vers le papier rédigé pour la conférence SISPAD 2019 par Hervé MANZANAREZ, post-doctorant que j'ai recruté : [[Manzanarez2019](#)].

1. Équations communes

$$\frac{d\phi}{dt} = \tilde{\nabla} \cdot \left[\tilde{\nabla}\phi + \left(\frac{\partial^2 G}{\partial \phi^2} \right)^{-1} \tilde{\nabla}\tilde{V} \right] \quad (5.1)$$

$$\tilde{\nabla}^2 \tilde{V} = -\Gamma\phi ; \Gamma = \frac{\beta C_0 (qL_0)^2}{\epsilon_r \epsilon_0} \quad (5.2)$$

2. Équation de l'énergie libre de Gibbs pour le modèle de « référence »

$$\frac{\partial^2 G_{ref}}{\partial \phi^2} = \frac{1}{\phi} \left(1 + \beta\phi \frac{\partial^2 \Delta H}{\partial \phi^2} \right) \approx \frac{1}{\phi} \quad (5.3)$$

3. Équation de l'énergie libre de Gibbs pour le modèle avec « saturation »

$$\frac{\partial^2 G_{sat}}{\partial \phi^2} = \frac{1}{\phi(1-\phi)} \left[1 + \beta\phi(1-\phi) \frac{\partial^2 \Delta H}{\partial \phi^2} \right] \approx \frac{1}{\phi(1-\phi)} \quad (5.4)$$

où $\phi = C/C_0$ (rapport de la concentration en ions métalliques sur la concentration initiale), $\tilde{V} = V/V_0$ (rapport entre le potentiel électrique et le potentiel électrique initial), $\tilde{\nabla} = L_0 \nabla$ et Γ sont des grandeurs adimensionnelles.

COMSOL Multiphysics[®] est utilisé pour résoudre l'ensemble des équations sans dimension précédentes.

5.1.2 Comparaison en 1D des 2 modèles

La comparaison des 2 modèles est réalisée en 1D selon les conditions aux limites présentées à la figure 5.1. Un matériau diélectrique de longueur L_0 est pris en sandwich par 2 électrodes polarisées à des potentiels différents. Seul le matériau de l'électrode de gauche peut migrer dans le matériau diélectrique.

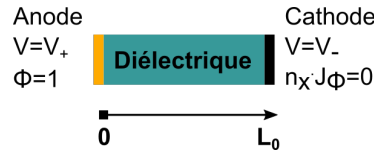


FIGURE 5.1 – Illustration graphique du modèle 1D utilisé pour comparer le modèle avec « saturation » au modèle de « référence ». Les conditions aux limites sont également spécifiées.

La figure 5.2 montre l'évolution temporelle du profil de concentration des ions cuivre et du potentiel électrique V pour la géométrie 1D. Les résultats du modèle de « référence » (cf. figure 5.2-a.1) montrent une divergence de la concentration à la cathode ($x = L$). De son côté, notre modèle induit l'accumulation d'ions de cuivre jusqu'à atteindre la saturation des sites vacants dans le matériau diélectrique (cf. figure 5.2-a.2). En raison de cette saturation, une variation du potentiel électrique à l'intérieur du domaine diélectrique peut conduire, près de la cathode, à des valeurs de champ électrique supérieures à la rigidité diélectrique. De plus, pour de longues périodes ($t \geq 10^4$ s), le maximum du potentiel électrique dépasse légèrement la valeur initiale maximale imposée à l'anode, et ce pour une large zone spatiale ($0 < x < 0,6$). Ce potentiel électrique déforme significativement le champ électrique proche de la cathode.

5.1.3 Application au cas réel du collage hybride

Une structure 2D est utilisée pour étudier la technologie HB du point de vue de la diffusion thermique seule ou thermo-électrique (cf. figure 5.3). Le désalignement induit un terme source

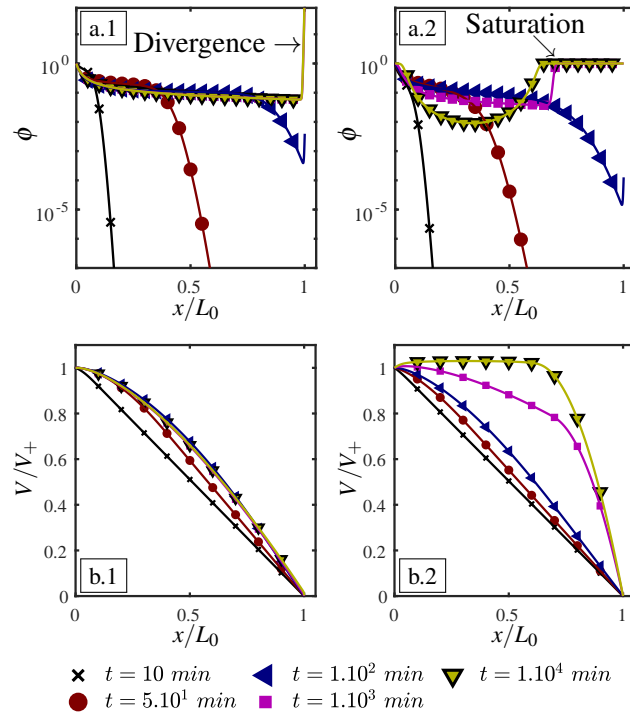


FIGURE 5.2 – Évolution temporelle du profil de concentration des ions cuivre et du potentiel électrique V pour une capacité plane modélisée en 1D. Les résultats du modèle de « référence » et du modèle de « saturation » sont respectivement présentés sur les figures (a.1, b.1) et (a.2, b.2). $C_0 = 10^{24} \text{ at.m}^{-3}$, $V_+ = 20 \text{ V}$.

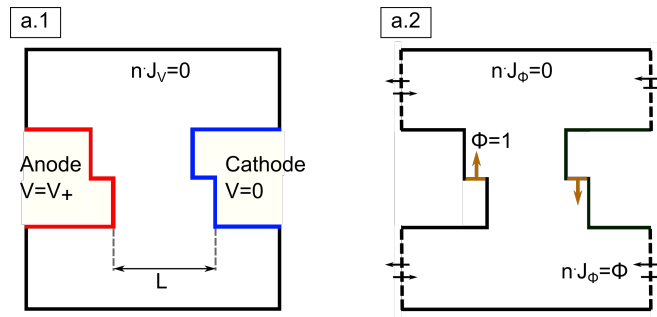


FIGURE 5.3 – Modèle 2D utilisé pour le cas « collage hybride ». Les conditions aux limites électriques (a.1) et de diffusion (a.2) sont également spécifiées.

($\phi = 1$) d'ions cuivre dans le diélectrique (cf. figure 5.3-a2) pour les deux frontières anodique et cathodique.

La figure 5.4 montre l'effet de la valeur de la tension de polarisation sur la dynamique de diffusion des ions cuivre dans le matériau diélectrique. Comme on peut le voir, la présence d'un champ électrique externe brise la symétrie entre les deux sources d'ions cuivre. Si l'on considère uniquement la diffusion le long de l'axe des x , le déplacement des ions de cuivre est accéléré en direction de la cathode. Ceci implique que les ions provenant de l'anode pénètrent plus rapidement dans le milieu diélectrique et en plus grand nombre. A l'inverse, les ions de la cathode seront plus facilement empêchés de pénétrer dans la région diélectrique. L'intensité de la polarisation électrique externe modifie la topologie de la concentration en ions cuivre entre l'anode et la cathode. A titre d'exemple, sur les figures 5.4-a, la concentration en ions cuivre évolue jusqu'à ce qu'il y ait une connexion entre l'anode et la cathode (à l'image du mécanisme de percolation) pour une valeur seuil de $C_{th} = 10^{21} \text{ at.m}^{-3}$ (orange clair/orange foncé sur l'échelle logarithmique) à $t = 10^6 \text{ s}$ (temps arbitraire). Pour $C_{th} = 10^{22} \text{ at.m}^{-3}$, les domaines ne se connectent jamais. Dans les figures 5.4-b, l'espace connecté pour $C_{th} = 10^{21} \text{ at.m}^{-3}$ apparaît plus tôt ($t = 10^5 \text{ s}$) et il n'y a pas d'espace connecté pour $C_{th} = 10^{22} \text{ at.m}^{-3}$. Enfin, lorsque le potentiel électrique de l'anode est suffisamment élevé, un espace connecté pour $C_{th} = 10^{22} \text{ at.m}^{-3}$ existe (cf. figures 5.4-c).

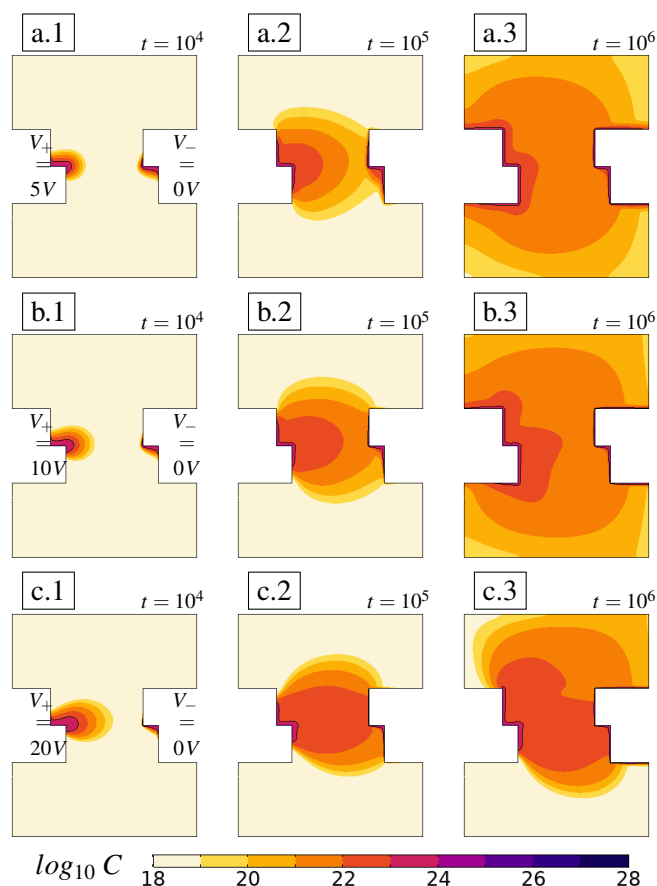


FIGURE 5.4 – Évolution temporelle (temps arbitraire) de la diffusion d'ions cuivre dans le matériau diélectrique dans un contexte de collage hybride pour différentes tensions électriques externes (+5, +10 et +20 V).

Achanta [Achanta2008] définit le temps à défaillance comme étant le moment où le champ électrique à la cathode dépasse la rigidité électrique du matériau diélectrique considéré. Cette approche n'est pas applicable à notre cas du fait de la présence d'un effet de pointe provenant de notre configuration et consécutivement de la dépendance au maillage des valeurs dans la région

associée. Hwang [Hwang2007] définit quant à lui le temps à défaillance comme le temps pour lequel la concentration en ions cuivre à la cathode a atteint 0,1 % de la solubilité maximale. Bien qu'intéressante, cette approche n'est pas applicable à notre cas du fait du terme source à la cathode. Ainsi, nous avons défini le « temps de percolation » quand, pour une concentration en ions cuivre donnée, une connexion topologique existe entre l'anode et la cathode (par exemple pour $10^{20} \text{ at.cm}^{-3}$). De cette définition, nous avons montré que les temps de percolation, pour des conditions accélérées (température, champ électrique), suivent une loi exponentielle aussi bien pour la dépendance au champ électrique, qu'au désalignement.

Les travaux présentés au chapitre précédant (cf. partie 4.4, p. 87) sont arrivés après le développement du présent modèle. Ces résultats expérimentaux remettent clairement en question la pertinence du modèle numérique. Un développement intéressant à court terme serait de prendre en compte d'une manière ou d'une autre la couche de Cu_2O en plus de revoir la physique sous-jacente et/ou le critère de défaillance puisque les résultats de TDDB montrent la non-participation des ions cuivre au claquage diélectrique...

5.2 Simulation numérique et interaction puce/boîtier

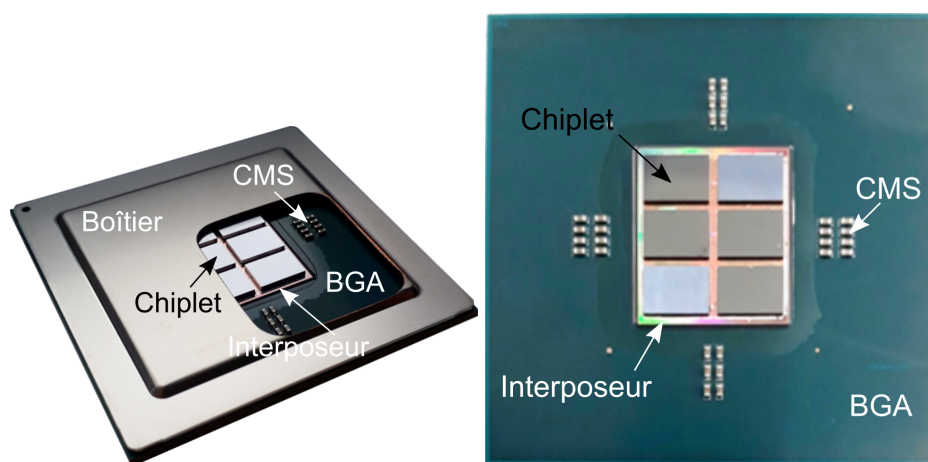
Les dernières avancées technologiques ont créé une demande pour des circuits intégrés toujours plus fiables et compacts conduisant à des objets devant endurer toujours plus de contraintes (électrique, thermique...). L'intégration 3D a généré l'emploi de substrats plus fins et l'introduction de nouvelles interconnexions telles que les piliers de cuivre, les TSV ou encore le collage hybride. La génération et la dissipation non uniformes de la chaleur peuvent entraîner une augmentation locale de la température et/ou des gradients de température. L'amincissement des systèmes peut accroître les problèmes de contraintes thermomécaniques, notamment le gauchissement. Un gauchissement important peut entraîner des problèmes de fabrication et dégrader la fiabilité des dispositifs et des circuits.

L'analyse par éléments finis a été largement utilisée pour prédire et analyser le gauchissement des circuits intégrés. L'analyse conventionnelle traite un circuit intégré comme un matériau isotrope homogène ou anisotrope (méthode d'homogénéisation) et ne prend donc pas en compte les structures détaillées et leur disposition telles que les lignes métalliques ou les billes de brasure et assimilés. Pour surmonter cette limitation, de nombreuses études ont essayé d'inclure les effets de la disposition de niveaux métalliques [Wang2016]. Dans le cadre de l'IRT Nanoelec, l'équipe de Valeriy SUKHAREV (Fremont, CA, USA) de Siemens EDA a développé, en partie, un prototype d'outil de CAO électronique (ou *Electronic Design Automation*, EDA, en anglais) multi-échelle qui détermine les contraintes mécaniques dans un circuit intégré causées par la fabrication, en utilisant une méthodologie de simulation qui permet de résoudre des échelles de l'ordre de la taille d'un élément de *design* [Choy2020]. La méthodologie est basée sur la capacité de traitement des masques de conception (ex. : fichiers GDS, OAS) pour l'extraction de la densité locale de métal dans chaque couche d'interconnexion, combiné à un extracteur de propriétés de matériaux effectives anisotropes dépendant des coordonnées associé à un moteur de calcul « éléments finis », afin de calculer la contrainte mécanique partout dans le système (boîtier, puce, transistor). L'extracteur de propriétés de matériaux utilise la règle des mélanges de la théorie des matériaux composites anisotropes, et adopte une approche basée sur la technique de *binning*, dans laquelle chaque couche d'une puce est divisée en cubes, dont la taille est ajustable pour l'analyse. L'extracteur supprime la construction de la géométrie détaillée réduisant la consommation de mémoire et améliorant considérablement les performances.

Pour cette action, je me suis attaché à superviser les mesures expérimentales réalisées au CEA-LETI puis à les transmettre à l'équipe de Siemens EDA. De nombreux échanges, en début d'action,

entre les 2 équipes ont abouti à la modification du protocole de test ainsi que du post-traitement. Les mesures expérimentales ont consisté à mesurer le gauchissement de l'échantillon d'intérêt lorsque ce dernier repose librement sur un porte-échantillon en silicium (afin de drastiquement limiter l'influence de la rugosité du porte-échantillon sur la mesure du gauchissement total) à la température ambiante. La mesure d'altitude est réalisée à l'aide d'un microscope confocal (Altisurf©520 de la société Altimet) auquel un support chauffant a été adjoint pour des mesures en température éventuelles. La confrontation d'intérêt a été réalisée sur le démonstrateur IntAct (hors capot métallique), qui n'est autre qu'un microprocesseur pour le « calcul haute performance » basé sur les concepts de *chiplets* et d'interposeur actif [Coudrain2019] (cf. figure 5.5).

Pour faire écho au préambule de ce chapitre, seule la confrontation la plus complexe est présentée ci-après. Le lecteur soucieux d'avoir des informations sur d'autres calibrations est convié à se procurer les présentations faites dans le cadre de MAM 2022 et du Chiplet Summit 2023 [Choy2022, Choy2023].



(a) Vue 3D avec capot métallique « ouvert ». (b) Vue de dessus avant report du capot métallique.

FIGURE 5.5 – Photographies du démonstrateur IntAct

Les mesures de déformation sur plusieurs BGA et chiplets (pour des besoins de représentativité) au cours d'un cycle de température (ex. : 30 °C - 350 °C - 30 °C par pas de 50 °C pour la chiplet), ont été utilisées pour calibrer les paramètres du modèle. Une fois l'étalonnage terminé pour ces sous-ensembles du démonstrateur IntAct, l'outil prédit de manière pertinente le profil de déformation global dépendant de la température ainsi que le profil de surface local dépendant du *layout*. Les résultats de la simulation du gauchissement sur l'empilement complet (hors boîtier métallique) démontrent le bon accord général avec le profil de mesure en tenant compte de l'erreur de mesure (cf. figure 5.6). Des simulations supplémentaires ont été effectuées pour étudier les effets de l'histoire thermique antérieure, les effets thermiques transitoires et de la plasticité des joints de soudure sur le comportement en déformation de l'empilement complet. Les résultats de la simulation révèlent que ces facteurs supplémentaires ne modifient pas de manière significative le profil de hauteur de l'empilement complet. L'étude démontre que les mesures de gauchissement effectuées sur des sous-ensembles de l'empilement total peuvent être utilisées pour la calibration des outils numériques. En outre, les capacités de l'outil permettent à l'utilisateur d'effectuer une analyse détaillée en zoomant sur une petite région d'intérêt, et d'effectuer une simulation de circuit sous l'influence de la contrainte, en annotant la *netlist* SPICE avec les composantes du tenseur des contraintes ainsi obtenues.

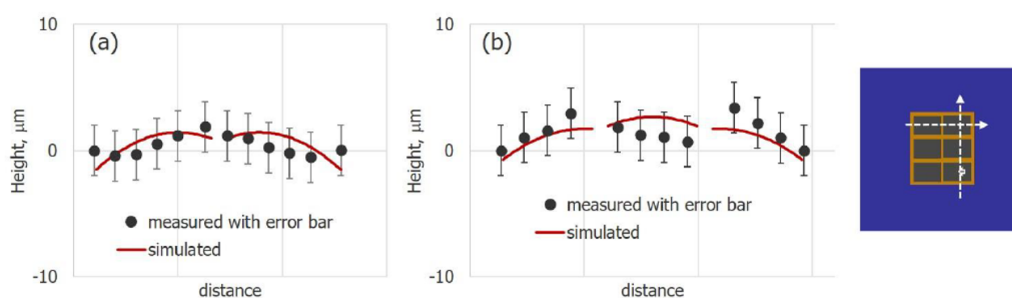


FIGURE 5.6 – Comparaison entre résultats de simulation numérique et mesures expérimentales du gauchissement de l'empilement complet du démonstrateur IntAct selon 2 lignes de coupe (horizontale, verticale).

5.3 Modélisation numérique et phénomène d'électromigration

Avec le couplage de phénomènes électrique, thermique, mécanique et de diffusion, la notion de modèle multi-physique prend tout son sens pour l'électromigration. Même si en 70 ans de microélectronique et donc presque autant d'années d'étude du phénomène d'électromigration, les grandes lignes de la physique sous-jacente se sont clarifiées, une modélisation prédictive reste toujours un *graal*.

Dans ce contexte et dans l'idée de répondre aux 2 points évoqués en préambule de ce chapitre, j'ai lancé 2 actions distinctes : 1/ développement d'un modèle numérique pour appréhender l'électromigration au niveau local dans le cadre de la thèse de Simon GOUSSEAU et 2/ calibration d'un modèle numérique, développé par Siemens EDA (équipe de Valeriy SUKHAREV), pour appréhender l'électromigration à l'échelle d'un circuit intégré.

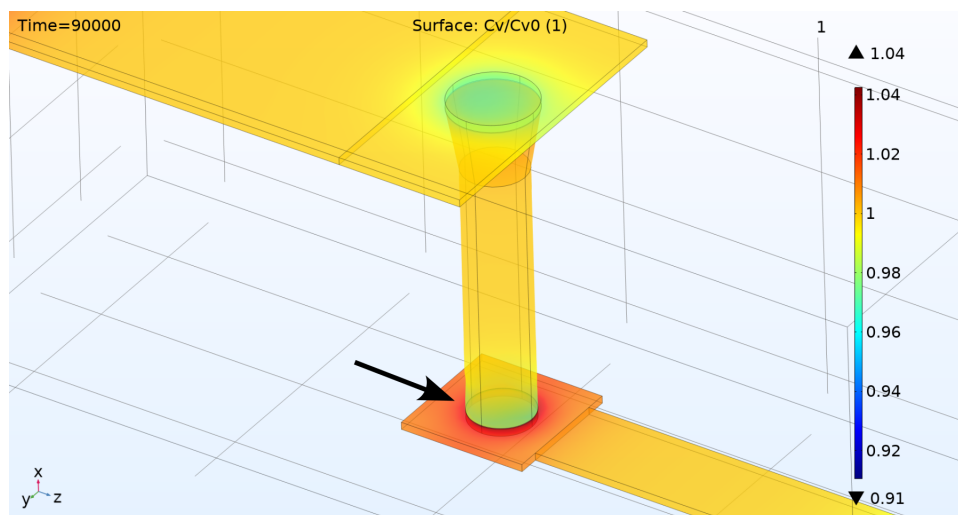
5.3.1 Échelle locale & modélisation numérique de la dégradation par électromigration

A l'instar de nombreuses équipes internationales, nous nous devons d'avoir un modèle numérique permettant d'appréhender plus ou moins finement (nucléation ou nucléation et croissance de cavités) la dégradation par électromigration de nos interconnexions aussi bien pour aider au dimensionnement des structures de test que d'aider à l'analyse de défaillance (localisation de défaut et/ou compréhension du déroulé de la dégradation)... Les bases d'un tel modèle ont été jetées à l'occasion des travaux de thèse de Simon GOUSSEAU [Gousseau2015a]. Simon GOUSSEAU a débuté cette complexe implémentation dans le logiciel Forge[®], développé par son laboratoire de rattachement (Cemef/MINES ParisTech). Devant la difficulté d'implémenter certaines physiques dans cet environnement dédié aux procédés de mise en forme des matériaux, il a été décidé de basculer vers COMSOL Multiphysics[®]. Ce logiciel dispose nativement des physiques d'intérêt même s'il a fallu implémenter certains éléments en usant de l'interface « équation aux dérivées partielles » ou *Partial Differential Equation (PDE)*.

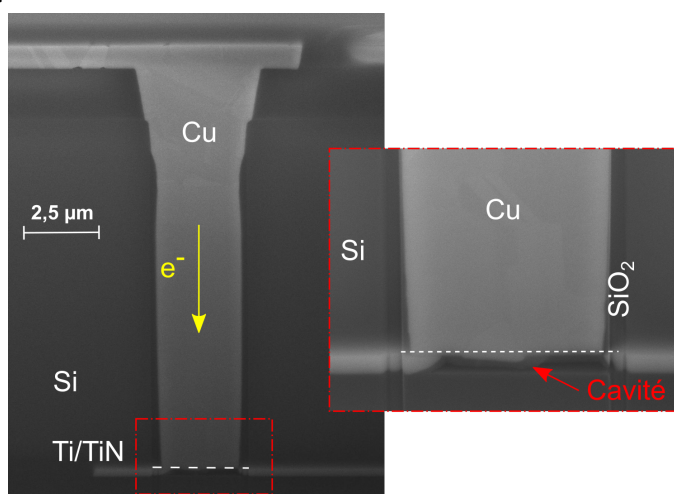
Les développements ont permis d'aboutir à un modèle numérique capable d'appréhender la phase de nucléation de la dégradation par électromigration d'un système local. Le modèle répond au besoin puisque qu'il est capable de reproduire des observations d'analyses de défaillance comme illustré aux figures 5.7 et 5.8.

Ces développements ont permis de mettre à jour un certain nombre de difficultés quant à la modélisation numérique du phénomène d'électromigration :

- comme souvent en modélisation numérique, les propriétés des matériaux sont un point critique. Dans un monde parfait, il faudrait être capable de les mesurer soi-même ce qui est difficile (E, CTE...) à très difficile (D_{v0} , Z^* ...) dans notre domaine du fait de la taille des

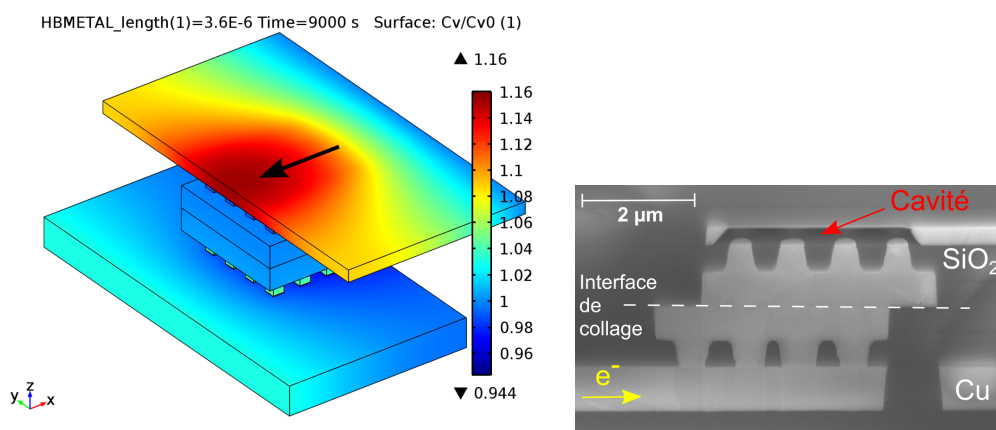


(a) Résultat de simulation numérique d'un point de vue concentration relative de lacunes. Une concentration supérieure à 1 indique la potentielle présence d'une cavité tueuse (cf. flèche noire).



(b) Photographie MEB post-mortem.

FIGURE 5.7 – Comparaison entre simulation numérique et analyse de défaillance d'une structure de test avec un TSV soumis à un essai d'électromigration en configuration downstream. On confirme la capacité du modèle numérique à reproduire la réalité. Seule la phase dite de « nucléation » est traitée.



(a) Résultat de simulation numérique d'un point de vue concentration relative de lacunes. Une concentration supérieure à 1 indique la potentielle présence d'une cavité tueuse (cf. flèche noire).

(b) Photographie MEB post-mortem.

FIGURE 5.8 – Comparaison entre simulation numérique et analyse de défaillance d'une structure de test à base de collage hybride soumis à un essai d'électromigration en configuration upstream. On confirme la capacité du modèle numérique à reproduire la réalité. Seule la phase dite de « nucléation » est traitée.

objets que nous manipulons, de la dépendance au procédé de fabrication de certaines grandeurs... Le choix le plus rationnel est d'utiliser des données issues de la littérature mais souvent sans savoir la manière dont elles ont été obtenues et donc s'il est pertinent de les employer.

- ce modèle comporte cependant un biais important. Ce dernier est lié à la mauvaise gestion de la rétroaction de la mécanique du système sur la diffusion des atomes métalliques. Du fait des priorités, les investigations n'ont pas pu être menées pour tenter d'améliorer cette rétroaction. Le recrutement d'un stagiaire de master ou d'un post-doctorant est envisagé pour tenter de résoudre le problème et ensuite aborder la phase de nucléation.
- la phase de nucléation est « simple » à implémenter. La phase de « croissance » l'est beaucoup moins. En général, elle est traitée en usant soit de la méthode des surfaces de niveau (*level set method*) soit de la méthode du champ de phase (*phase field*) [Cacho2011]. Ces méthodes sont lourdes à mettre en œuvre et nécessitent d'ajuster un nombre important d'éléments (épaisseur de l'interface, finesse du maillage...) et surtout à les réajuster pour chaque nouvelle géométrie. En conséquence, cette phase sera à prendre en compte uniquement quand elle sera nécessaire (migration de cavités et éventuellement coalescence, effet de microstructure...).

5.3.2 Échelle circuit & modélisation numérique de la dégradation par électromigration

En raison de la densification des circuits intégrés, l'électromigration est devenue un problème de fiabilité majeur pour la conception des grilles d'alimentation¹ des circuits intégrés. Bien que

1. Réseaux d'interconnexions qui distribuent l'énergie électrique (VDD et VSS/GND) à tous les dispositifs intégrés. La réduction des dimensions des dispositifs, l'accélération des fréquences de commutation et l'augmentation de la consommation d'énergie pour les nœuds technologies avancés entraînent la circulation de courants de commutation importants dans les réseaux d'alimentation, ce qui dégrade les performances et la fiabilité. Un réseau de distribution d'énergie robuste est essentiel pour assurer un fonctionnement fiable des circuits intégrés. La vérification de l'intégrité

les lignes de signaux et d'horloge souffrent également de la dégradation par électromigration, ces lignes transportent du courant bidirectionnel et ont donc une durée de vie plus bien plus longue en raison du phénomène de guérison. En revanche, les lignes de la grille d'alimentation d'un circuit intégré transportent principalement du courant unidirectionnel sans bénéficier de la guérison et sont donc plus sensibles aux défaillances par électromigration. De nombreuses équipes se sont attachées à développer des outils permettant d'évaluer avec précision la durée de vie de ces grilles d'alimentation. La pratique traditionnelle consiste à diviser le réseau en branches métalliques isolées, à évaluer la fiabilité de chaque branche séparément à l'aide du modèle de Black, puis à utiliser le modèle du « maillon faible » pour déterminer la durée de vie de l'ensemble de la grille d'alimentation. Ces méthodes présentent deux limites principales : 1) le modèle de Black ne tient pas compte du flux de matière entre les branches, alors que dans les réseaux électriques actuels à structure maillée/redondante, de nombreuses branches de la même couche métallique peuvent être connectées, ce qui donne lieu à une structure en « arbre », et le flux atomique peut circuler librement entre les branches d'un arbre d'interconnexion, et 2) le critère de défaillance est basé sur la défaillance de la branche la plus faible plutôt qu'une variation du niveau de polarisation électrique de la grille d'alimentation.

L'équipe de Valeriy SUKHAREV (Siemens EDA, USA) en partenariat avec l'équipe du Professeur Farid NAJM (université de Toronto, Canada) et du CEA-LETI (Stéphane MOREAU) a pu développer, dans un environnement de CAO électronique (outil Calibre de Siemens EDA), une nouvelle approche basée sur la physique de l'électromigration [Choy2017b,Chatterjee2018]. Cette approche a été validée aussi bien par des simulations par éléments finis que par des essais expérimentaux. Cette approche tient compte du flux de matière et des contraintes thermo-mécaniques associées et utilise un critère de défaillance basé sur une chute de tension de polarisation.

Cette méthodologie va être illustrée sur un cas simple, une structure de test « NIST » comme celle utilisée au cours du chapitre 3 (cf. figure 3.2, p. 46). Comme pour toute simulation, outre la géométrie (via un fichier GDS ou équivalent), le modèle requiert en entrée à la fois des informations technologiques (propriétés des matériaux, épaisseurs des couches) et des conditions aux limites (sources de courant électrique, température) mais aussi des critères d'évolution ou de défaillance (contrainte hydrostatique « seuil » de nucléation d'une cavité, variation de tension aux bornes de la grille d'alimentation).

Dans notre cas d'intérêt, la première étape consiste à discrétiser la structure en 3 arbres avec chacun un nombre différents de branches et de nœuds (Nx) (cf. figure 5.9). Un arbre est défini de telle sorte que le flux atomique est libre de tout obstacle. Typiquement, une barrière de diffusion sera considérée comme un obstacle et séparera donc a minima 2 arbres (ex. : nœud N12 entre les arbres 1 et 2).

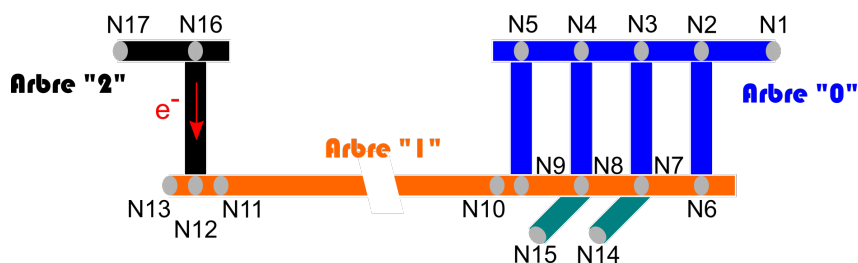


FIGURE 5.9 – Illustration de la représentation en « arbre », de la structure de test d'intérêt.

Des branches et nœuds optionnels peuvent être ajoutés pour rendre compte au mieux de la réalité et, dans le cas présent (ex. : N14 et N15), prendre en compte l'effet réservoir du fait de la largeur de la ligne RDL au regard du diamètre des TSV.

de l'alimentation électrique est une préoccupation critique dans la conception de circuits hautes performances.

Par la suite, la contrainte hydrostatique est calculée en tous points de la structure (cf. figure 5.10-a/b). Si une branche voit sa contrainte hydrostatique dépasser la contrainte « seuil » alors une cavité apparaît (cf. figure 5.10-b, flèche jaune). La résistance électrique de toutes les branches est recalculée et par ricochet la valeur du courant électrique les traversant. Cette mise à jour est effectuée tant que la chute de tension du système ne dépasse le critère de défaillance. Si ce dernier est dépassé, la simulation s'arrête et le temps à défaillance de la structure est alors enregistré (cf. figure 5.10-c).

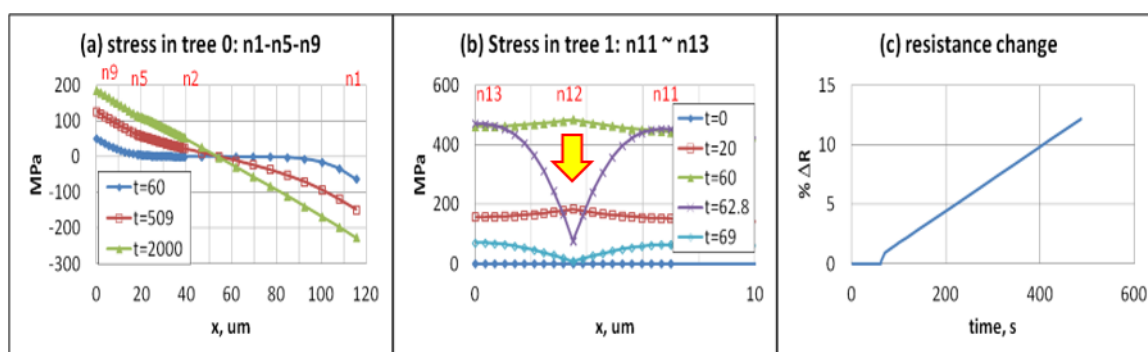


FIGURE 5.10 – Évolution temporelle de la contrainte hydrostatique dans les arbres a) « 0 » (nœuds N1-N5, N9) et b) « 1 » (nœuds N11-N13) dans le cas d'une sollicitation downstream. A $t = 62,8$ u.a. (flèche jaune), une cavité nucléée au nœud N12. c) Dégradation relative de la résistance de la structure de test. Pour une variation de 10 % de la résistance initiale, un temps à défaillance de 463 u.a. est obtenu.

Cette approche a été renouvelée dans le cadre d'une sollicitation *upstream* afin de se comparer aux résultats expérimentaux que nous avons publiés à la conférence IRPS 2013 [Moreau2013]. La localisation de la ou des cavités tueuses sont similaires. D'un point de vue temps à défaillance, les ratios des temps à défaillance *upstream/downstream* sont également semblables comme le montre le tableau 5.1.

TABLE 5.1 – Comparaison des temps à défaillance d'une structure NIST-TSV en fonction du sens de passage des électrons. Les temps à défaillance sont obtenus soit par simulation numérique soit par essais expérimentaux.

Sens de polarisation	Temps à défaillance (u.a.)	
	Simulation numérique	Expérimentation
Downstream	463	204
Upstream	1711	749
Ratio up/down	3,7	3,7

Ce travail a également été conduit avec succès sur des structures de test à base de collage hybride avant de tester les capacités de l'outil en conditions réelles c'est-à-dire sur un circuit intégré complet. Encore une fois le démonstrateur IntAct a été retenu ou plus précisément sa grille d'alimentation. L'outil a généré environ 2,5 millions d'arbres composés de 11 millions de branches et 13 millions de nœuds. Sur la base d'hypothèses (contrainte hydrostatique « seuil », critère de défaillance notamment), la grille d'alimentation est démontrée comme étant immortelle au regard des sources d'alimentation imposées pour un fonctionnement normal du circuit. Une multiplication par 40 de ces valeurs aboutit à l'apparition de cavités mais sans jamais atteindre le critère de défaillance. Ces résultats tendent à démontrer – mais impossible à vérifier expérimentalement – que les concepteurs surdimensionnent les grilles d'alimentation et que grâce à un tel outil, des

architectures optimisées/innovantes de grille d'alimentation peuvent être trouvées et ainsi réduire l'empreinte de celles-ci tout en gardant des performances (chute de tension statique/dynamique, fiabilité...) permettant de répondre au cahier des charges.

Pour valider expérimentalement cet outil sur un cas réaliste, nous avons lancé la fabrication d'un véhicule de test (technologie STMicroelectronics 28 nm FDSOI), incluant des grilles d'alimentation avec diverses variantes (largeur de ligne, redondance de vias...). Ce travail a été réalisé en collaboration avec l'équipe du Professeur **Chris KIM** de l'université du Minnesota suite à notre entrevue au *stress workshop* en 2019 à San Jose (CA, USA). Cette équipe dispose en effet d'une solide expérience d'un point de vue conception de ce type de circuit et dans les tests d'électromigration *in situ* associés [Zhou2018, Zhou2020, Pande2021]. La phase de débogage et les premiers essais d'électromigration, réalisé par un doctorant, se sont étalés sur la fin d'année 2021 et l'année 2022 à l'université du Minnesota. Le logiciel de Siemens EDA arrive à reproduire les tendances des évolutions des tensions VDD/VSS des premières mesures expérimentales, ce qui est encourageant et confirme les capacités de l'outil entrevues sur des structures de test bien plus simples. En fin d'année 2022, j'ai reçu les premiers échantillons testés et pu démarrer les premiers essais de localisation de défauts par LiT pour tenter de confirmer les prédictions du logiciel. La présence de plusieurs niveaux fantômes (*dummy levels*) au-dessus des grilles d'alimentation complique grandement l'identification de points chauds bien définis. Un retrait couche par couche (*delayering*) partiel n'a pas permis d'améliorer la situation. Des discussions sont actuellement en cours pour déterminer l'approche (technique de localisation et/ou préparation d'échantillon) qui maximiserait les chances de succès. En parallèle, l'université du Minnesota poursuit sa production de données expérimentales (différentes structures de test, différentes conditions de test [courant, température voire courant continu ou alternatif]) qui serviront de cas test pour l'outil.

5.4 Conclusion

Ce chapitre a permis d'illustrer, succinctement et de manière non-exhaustive, l'apport de la simulation numérique au domaine de la fiabilité des interconnexions microélectroniques. Le développement des modèles numériques présentés a été réalisé en propre au sein du CEA-LETI ou en support de programmes collaboratifs avec collaborations internationales via la fourniture de données expérimentales de calibration. Les problématiques traitées (dégradation par électromigration, diffusion du cuivre dans un oxyde, déformation et contrainte thermomécanique) l'ont été aussi bien pour des échelles locales que pour des échelles macroscopiques / « circuits ». Ces modèles numériques permettent aussi bien d'aider au dimensionnement de structure de test, à la compréhension d'analyse de défaillance qu'à la vérification de la tenue d'un cahier des charges techniques au regard d'un mécanisme de dégradation (ex. : CPI, EM).

Il est important de rappeler qu'une simulation numérique sans calibration n'a peu de sens ou tout du moins pas exploitable. Ainsi, les données expérimentales générées durant mes années post-doctorales sont clairement une mine d'or pour les entreprises de la CAO électronique comme ce chapitre le laisse transparaître.

Conclusion générale et perspectives de recherche

« *Soyez le changement que vous voulez voir dans ce monde.* »
Gandhi

Bilan des travaux

Dans ce mémoire, après 2 chapitres introductifs afin d'assurer une contextualisation de mes travaux de recherche, j'ai tenté de synthétiser quelques-uns des travaux menés, au sein du CEA-LETI, sur la période 2008–2022. Ces travaux sont relatifs aux 2 thèmes de recherche :

1. robustesse et fiabilité du via traversant le silicium ou TSV
2. robustesse et fiabilité des interconnexions à base de collage hybride

Ces études, parfois pionnières, ont permis de déterminer des lois d'accélération, des modes de défaillance... pour le TSV ou encore les interconnexions à base de collage hybride. Ces études n'ont pas mis en évidence de point bloquant quant à l'usage de ces interconnexions 3D après optimisation et stabilisation des procédés de fabrication.

En définitive, ces résultats ont alimenté le développement de la mouvance dite *3D packaging* et même accompagné, vers une maturité industrielle, ces briques technologiques chez nos partenaires.

Quelques perspectives de travail...

Mes perspectives de recherche sont étroitement liées à l'industrie de la micro-électronique. En effet, les avancées dans le domaine nécessitant des investissements pharaoniques (prix des équipements de salle blanche souvent supérieur à 1 M€), il est très compliqué de ne pas suivre les lignes directrices proposées par les *majors* du domaine. L'avantage de mon activité est qu'il est possible d'être innovant ou disruptif sur autre chose que sur l'aspect purement fabrication. Ainsi, il est possible d'apporter notre pierre à l'édifice sur des aspects de méthodologie (cf. collage hybride et TDDDB en page 93), de technique de caractérisation (cf. le MEB *in situ* couplé à un test de vieillissement, en page 55 ou la tomographie pour comprendre une corrélation, en page 84)...

Concernant ce *mainstream*, la feuille de route *More Moore* de l'IRDS [IEEE2022] mentionne, qu'à 10 ans, la pleine adoption de la *3D packaging* sera l'un des pilotes pour continuer à améliorer les performances des C.I. Cette tendance devra notamment s'accompagner d'un gros travail du côté de la fiabilité des grilles d'alimentation (aspects à traiter : effet Joule, électromigration...), des intégrations compatibles avec des interconnexions sans cuivre (aspects à traiter : effet Joule, contraintes thermomécaniques...) entre autres exemples.

Un travail est déjà engagé concernant le thème de la fiabilité des grilles d'alimentation avec Siemens EDA et l'université du Minnesota (cf. paragraphe 5.3.2, p. 109) aussi bien d'un point de vue expérimental que simulation numérique.

Plus proches de nous, des actions sont déjà engagées.

... côté TSV Comme les autres éléments constitutifs des circuits intégrés, les TSV n'ont de cesse d'évoluer au gré des nouveaux besoins (côté process/intégration, côté applicatif...) : remplissage métallique total ou partiel (Cu-filled, Cu-liner), cuivre ou autre métal de remplissage, facteur de forme (diamètre/hauteur) allant de 1 : 1 à 1 : 20... Cet éternel besoin de compacité, poussé par l'arrivée des capteurs d'image CMOS à 3 couches (couche LED, couche mémoire, couche processeur) [Tsugawa2017] ou plus généralement de l'intégration hétérogène ou packaging avancé [Jourdain2020], nécessite le développement de TSV dit « haute densité » (diamètre < 1 μm , hauteur < 10 μm , espacement \approx diamètre). Cette accroissement de la compacité va-t-elle être source de nouveau/x problème/s de fiabilité ? Il est nécessaire de traiter en particulier les points suivants :

- quid de la zone d'exclusion ou KOZ pour éviter que les contraintes thermomécaniques générées par le TSV n'impactent les performances des structures actives ?

Pour répondre à cette question cruciale d'un point de vue empreinte physique et donc sur l'architecture des C.I. 3D émergents, le recrutement d'un post-doctorant a été engagé en 2022 mais aucune candidature pertinente n'a été reçue. Finalement, l'action sera traitée comme une tâche du programme de « Smart Imager » de l'IRT Nanoelec à partir de 2023. La tâche s'articulera autour de 2 volets :

1. volet expérimental : définition des structures de test, définition des étapes technologiques à réaliser en fonction du nœud technologique choisi, design, fabrication, tests. Excepté les aspects procédé de fabrication et design, le reste sera réalisé par mes soins.
2. volet simulation numérique : mise en place d'un modèle permettant d'appréhender les contraintes mécaniques et/ou la mobilité des porteurs autour des TSV en fonction du critère de défaillance d'intérêt afin de définir cette zone d'exclusion. La calibration de ce modèle pourra s'appuyer sur les données expérimentales issues du volet 1. Je vais coordonner cette action qui sera réalisée par l'équipe de V. SUKHAREV de Siemens EDA.

- quid de la KOZ pour limiter les résistances, capacités et inductances parasites entre différents TSV et ainsi limiter les effets électromagnétiques tels que la diaphonie ? Je vais coordonner cette action qui sera réalisée par l'équipe « PEX » de Siemens EDA.
- quid de l'isolation électrique du TSV ? Cette compacité s'accompagnant d'épaisseurs de matériaux réduites, en particulier de celle de l'oxyde d'isolation du TSV et de la barrière (Ti/TiN ou TiN ou TaN/Ta), induisant potentiellement une perte d'isolation électrique (courant de fuite, claquage diélectrique) associée à une perte de fiabilité (TDDB).
- quid de la stabilité thermique, incluant l'item migration sous contrainte (SiV/SM), de ces forêts de cuivre dans ces nouveaux environnements ?

Les 2 derniers points seront traités, là encore, dans le programme « Smart Imager » de l'IRT Nanoelec dans les années à venir. D'ores et déjà, j'ai fait intégrer les structures de test pertinentes dans un jeu de masques. Les études seront réalisées par mes soins à la réception des plaques, à l'horizon fin 2023/début 2024.

... côté collage hybride La tendance à la réduction des dimensions est déjà présente au cœur des thèses de Joris JOURDON et Bassel AYOUB. En effet, les pas d'interconnexion ou *pitchs* sont passés de 7,2 μm à 0,81 μm . Même si le besoin applicatif ne semble pas acquis, au moment de la rédaction de ce document, des développements process/intégration sont en cours à des *pitchs* inférieurs. Les points de vigilance évoqués au chapitre 4 (électromigration, diffusion du cuivre/fiabilité diélectrique) restent d'actualité et seront potentiellement exacerbés. De nombreuses actions sont

engagées avec STMicroelectronics mais pour des raisons évidentes de confidentialité, aucune information ne sera donnée dans ce manuscrit.

De manière plus générale, voici d'autres interrogations et donc d'autres pistes de recherche :

- Comme indiqué au début de ce paragraphe, des développements sont en cours pour des *pitchs* « ultimes ». Comme décrit dans l'article de Bassel AYOUB [Ayoub2022c], pour des plots de 300 nm, un seul « gros » grain de cuivre a été identifié par micro-diffraction Laue (BM32, ESREF). Hormis de potentiels problèmes de fabrication (collable ?) et/ou de performances électriques (rendement, augmentation de résistance), quelle tenue à l'électromigration allons-nous avoir ? En effet, cette dégradation est fortement influencée par les effets de microstructure.
- La possibilité d'avoir recours à des procédés de fabrication basse température (max. 250 °C) pourrait ouvrir de nouvelles perspectives d'un point de vue intégration et au final, applicatif. Typiquement la fabrication de micro-LED pour des applications comportant un affichage (smartphone, montre connectée, TV/écran d'affichage, tablette...) tireraient profit d'un collage à base température car la puce LED est constituée d'éléments sensibles à la température. Même si le collage hybride à basse température a déjà été démontré [Gao2019], se posent plusieurs questions :
 - la microstructure du cuivre a-t-elle atteint la stabilité thermodynamique ou aurons-nous une évolution (décroissance a priori) de la résistance électrique au cours du temps du fait d'une évolution de la taille des grains ?
 - si cette microstructure n'est pas stable, un risque de perte de fiabilité existe-t-il ? de quelle nature est-il ? Du fait de son environnement ou de son fonctionnement, le budget thermique additionnel vu par le circuit pourrait aboutir au grossissement des grains de cuivre et à la réduction de leur nombre. Cette évolution pourrait-elle aboutir à des ruptures adhésives/cohésives du fait de la poussée qu'une telle modification pourrait générer ?
 - comme présenté par Yann BEILLIARD dans son mémoire de thèse [Beilliard2015], à 150 °C, la couche d'oxyde natif de cuivre présent à l'interface de collage est continue. Il faut attendre 150 °C pour qu'une démixtion de cette couche débute, autorisant la création de ponts cuivre-cuivre. Au-dessus de 300 °C, la démixtion se poursuit jusqu'à la disparition de cet oxyde natif. Ainsi, pour des recuits à moins de 250 °C, aurons-nous de bonnes performances électriques et « invariantes » dans le temps ?
 - comment investiguer les performances d'une telle technologie sachant qu'une grande partie des essais de fiabilité use de la température comme facteur d'accélération ? ! Monter à des températures supérieures à la température de recuit changera irrémédiablement la microstructure et donc les résultats s'en trouveront biaisés...
- à l'image de ce qui s'est produit il y a une vingtaine d'années pour le BEoL traditionnel, faut-il envisager de passer d'un oxyde d'isolation dense à un matériau poreux pour la brique collage hybride ? Quels impacts entrainerait un tel changement d'un point de vue fabrication et en définitive, robustesse/fiabilité (tenues mécanique, électrique...) ?

... côté intégration « 3D monolithique/séquentielle » Il est aisé de constater que les dimensions atteintes en collage hybride amènent l'intégration « 3D packaging » à la frontière de l'intégration dite « 3D monolithique » ou « 3D séquentielle » qui consiste à empiler actuellement 2 niveaux transistors [Vinet2014]. A l'image de ce qui se passe pour l'intégration « 3D packaging », l'intégration « 3D séquentielle » n'échappe pas aux contraintes, notamment thermiques, qu'entraîne l'empilement de couches. Des températures supérieures à 1000 °C sont typiquement utilisées pour l'activation des dopants dans le silicium. Le recours à des températures aussi élevées pour créer une deuxième couche de transistors pourrait détruire des composants cruciaux du premier étage. Pour bénéficier pleinement des opportunités de l'intégration 3D, un BEoL intermédiaire (iBEoL)

doit être implémenté. Le BEoL actuel est composé de cuivre et de diélectrique (SiOCH poreux) et de SiCN, est traditionnellement développé pour supporter des températures maximales limitées à 400 °C. Cette limite est critique car elle amène une contrainte supplémentaire très exigeante sur le budget thermique autorisé pour fabriquer le niveau supérieur. Malgré le travail fourni pour diminuer les budgets thermiques des procédés de fabrication des transistors, il est complexe voire impossible, à l'heure actuelle, de descendre certains budgets thermiques au-dessous de 500 °C. Il est donc indispensable de trouver des matériaux composant l'iBEOL pouvant supporter des budgets thermiques maximaux de 500 °C pendant 2 h. Le sujet, côté diélectrique, a été débroussaillé, au CEA-LETI, dans le cadre des thèses de Deprat [Deprat2017] et Beaurepaire [Beaurepaire2019]. Côté métal, tout ou presque reste à faire d'une certaine manière. La présence du cuivre, matériau conducteur du BEoL depuis 2 décennies, dans l'empilement de l'iBEOL, même encapsulé, est un réel défi pour que les plaques puissent aller dans des équipements FEOl pour fabriquer le niveau supérieur du fait de son pouvoir « contaminant ». Le tungstène est proposé comme alternative en l'associant à une barrière moins épaisse – pour maximiser la surface conductrice et abaisser la résistance globale du BEoL – malgré une résistivité électrique 2 fois supérieure au cuivre ($5,36 \mu\Omega.cm$ vs. $1,69 \mu\Omega.cm$) [Deprat2017, Vandooren2018]. Ce choix de matériau est d'autant plus justifié que le tungstène, du fait de son point de fusion 3 fois plus élevé que celui du cuivre (3387 °C vs. 1084 °C), présente intrinsèquement une bien meilleure résistance à la dégradation par électromigration. Dans certains cas, le cuivre est tout de même conservé [Cavalcante2020] mais aucune étude de fiabilité (électromigration, migration sous contrainte) n'a réellement porté sur la brique métal mais devra être traitée si ce type d'intégration perdure. On voit bien que l'intégration « 3D séquentielle » est en pleine effervescence et qu'en conséquence, il y a de la place pour de l'innovation (process/intégration/architecture). Les choix qui en découleront devront être validés notamment par des essais de fiabilité dès qu'une certaine maturité des briques technologiques mises en jeu sera atteinte. Malgré ces interrogations quant à la fiabilité du iBEOL, les priorités actuelles n'ont pas permis de lancer un sujet de thèse incluant ces points de recherche.

Environnement sévères Beaucoup d'applications requièrent des profils de mission impliquant des conditions extrêmes notamment d'un point de vue thermique. Il peut s'agir aussi bien de très basses températures (astronomie, ordinateur quantique...) que de hautes températures (véhicule électrique, forage).

Côté « hautes températures » (> 150 °C), les équipes de recherche commencent à chercher des alternatives à l'aluminium et au cuivre car ce sont des espèces très mobiles à « hautes températures » induisant des risques de diffusion dans les oxydes ou d'électromigration et donc à terme des problèmes de fiabilité. Plusieurs équipes ont montré, expérimentalement ou par simulation numérique, l'intérêt d'aller vers des composites associant une matrice cuivrée à des nano-tubes de carbone (*Carbone NanoTubes, CNT*) [Li2016a, Lee2018]. Une telle composition permet d'avoir une forte ampacité (capacité de transport maximale de courant électrique) et conductivité thermique, 2 points cruciaux dans la résistance au phénomène d'électromigration notamment. Avant qu'un tel matériau arrive dans les mains des fiabilistes, de nombreux obstacles restent à surmonter aussi bien d'un point de vue fabrication (mouillabilité des CNT par le cuivre ou autre matrice métallique par exemple), que du point de vue intégration (passé d'un niveau simple d'interconnexion à du multi-niveau de type via+ligne). Dans ce contexte, une demande de financement par l'ANR a été réalisée 2 années de suite, sans succès. Le consortium était constitué du LIST au Luxembourg pour ses développements sur ce type de matériaux hybrides ces dernières années, de STMicroelectronics (Tours) pour le cahier des charges applicatifs (composants de micro-électronique de puissance) et du CEA-LETI pour ses équipements de fabrication (pré-)industrielle et ses outils de caractérisation. L'ambition de ce projet était de finaliser la synthèse d'un nouveau matériau mélangeant Cu et CNT, de le caractériser, de le transférer d'une plateforme « labo. » à une plateforme « pré-industrielle », de l'intégrer (structure mono-couche de type RDL jusqu'à du multi-niveau de type via+ligne) et de le caractériser (électrique, thermique, robustesse/fiabilité). Du fait de ces 2

refus de financement par l'ANR et d'un changement des priorités des partenaires, l'action ne sera malheureusement pas poussée à court terme.

Côté « basses températures », il n'est pas évident de savoir comment traiter l'item fiabilité des interconnexions. En effet, comme vu dans ce mémoire, il est usuel d'accélérer les essais de vieillissement en augmentant notamment la température or continuer à réaliser des essais avec des températures positives ne semble pas pertinent car il sera impossible de garantir l'extrapolation aux basses températures des résultats du fait du probable changement de comportement des matériaux, des mécanismes et modes de dégradation sur la plage de température d'intérêt (de 20 °C à environ quelques centaines de milli-Kelvin). Une première approche consiste à explorer la problématique par simulation numérique [Saligram2022] pour des températures cryogéniques « chaudes » (77 K dans le papier de Saligram) car au-dessous il est difficile d'avoir les propriétés des matériaux de la microélectronique. La seconde approche est expérimentale. Ce volet est particulièrement ardu du fait des conditions expérimentales visées. En effet, descendre à ces températures requiert l'emploi de cryostats coûteux aussi bien à l'achat qu'à l'usage (azote/hélium + électricité). Les temps de montée/descente en température se comptant en heures, il est difficilement envisageable d'user de ces outils comme des enceintes climatiques et/ou de compenser la faible taille de la chambre où sont placés les échantillons sous test pour tester plus d'échantillons. On peut envisager de pré-endommager des échantillons par un stockage aux températures cryogéniques ou par des cycles de température à ces températures avant une caractérisation multifacette à température « chaude » (caractérisation électrique, thermique, mécanique, optique, essais de vieillissement). Le but étant de voir si ce traitement préalable dégrade les performances par rapport à des échantillons de référence n'ayant pas subi ce pré-endommagement. Au regard des éléments sus-mentionnés, mener une étude représentative dans ce contexte est complexe. Grâce à un partenaire industriel de l'IRT Nanoelec, j'ai pu débroussailler le sujet. J'ai ainsi pu accéder à un cryostat utilisé pour réaliser du vieillissement de composant jusqu'à 77 K. J'ai pris le parti de réaliser des cycles de température en usant des conditions de référence du partenaire industriel et à caractériser, à température ambiante, la potentielle dégradation par de la caractérisation électrique associée à des observations morphologiques (FIB+SEM) à l'image de ce l'on trouve dans la littérature [Fu2018, Thomas2022]. Sur 2 ans, une vingtaine d'échantillons dits mécaniques (pas de connexion électrique disponible) ou fonctionnels (connexion électrique disponible) a pu ainsi être évaluée. Ces échantillons comprenaient aussi bien des TSV que des interconnexions à base de collage hybride. Ce premier débroussaillage sur des structures microélectroniques conventionnelles n'a pas révélé de problème majeur ou nécessitant d'adaptation spécifique pour la gamme de température investiguée (min. 77 K). Des discussions actuellement sont en cours pour définir la stratégie à employer face à la complexité de ce monde cryogénique.

Bibliographie

- [Aboelfotoh1990] M. O. Aboelfotoh. *Cuprous oxide (Cu₂O) as an effective diffusion barrier for copper*. Report, IBM Technical Disclosure Bulletin,, Oct., 1990.
- [Achanta2008] Ravi S. Achanta, William N. Gill et Joel L. Plawsky. *Copper ion drift in integrated circuits : Effect of boundary conditions on reliability and breakdown of low-k dielectrics*. Journal of Applied Physics, vol. 103, no. 1, page 014907, 2008.
- [AFN1981] *Maintenance. Vocabulaire de maintenance et de gestion des biens durables. 2 Opérations de maintenance/défaillances*. Norme, NF X60-011, AFNOR, June 1981.
- [AFN1988] *Terminologie relative à la fiabilité - Maintenabilité - Disponibilité*. Norme, NF X60-500, AFNOR, October 1988.
- [Alam2005] S.M. Alam, F.L. Wei, C.L. Gan, C.V. Thompson et D.E. Troxel. *Electromigration reliability comparison of Cu and Al interconnects*. In Sixth international symposium on quality electronic design (isqed'05), pages 303–308, 2005.
- [Alshwawreh2012] N. Alshwawreh, M. Militzer, D. Bizzotto et J.C. Kuo. *Resistivity-microstructure correlation of self-annealed electrodeposited copper thin films*. Microelectronic Engineering, vol. 95, pages 26–33, 2012.
- [AMK2019] *Copper Pillar*. https://c44f5d406df450f4a66b-1b94a87d576253d9446df0a9ca62e142.ssl.cf2.rackcdn.com/2018/02/Copper_Pillar_Flip_Chip_TS106.pdf, 2019. Accès : 12/07/2022.
- [AMM2017] *Chip Package Interaction (CPI)*. Advancing Microelectronics Magazine, vol. 44, no. 6, pages 1–52, 11 2017.
- [Amoah2018] Papa Amoah, Dmitry Veksler, Christopher Sunday, Stephane Moreau, David Bouchu et Yaw Obeng. *Microwave Monitoring of Atmospheric Corrosion of Interconnects*. no. 7, 2018-12-28 00 :12 :00 2018.
- [Amoah2020] Papa K. Amoah, Martin Košiček, Jesus Perez, Christopher E. Sunday, Stéphane Moreau, Uroš Cvelbar et Yaw S. Obeng. *Broadband Microwave Signal Dissipation in Nanostructured Copper Oxide at Air-film Interface***. Electroanalysis, vol. 32, no. 12, pages 2795–2802, 2020.
- [Arnaud2006] L. Arnaud, J.F. Guillaumond, N. Claret, C. Cayron, C. Guedj, M. Dupeux, V. Arnal, G. Reimbold, G. Passemard et J. Torres. *Analysis of Electromigration Voiding Phenomena in Cu Interconnects*. In 2006 IEEE International Reliability Physics Symposium Proceedings, pages 675–676, 2006.

- [Arnaud2011] L. Arnaud, P. Lamontagne, R. Galand, E. Petitprez, D. Ney et P. Waltz. *Electromigration induced void kinetics in Cu interconnects for advanced CMOS nodes*. In 2011 International Reliability Physics Symposium, pages 3E.1.1–3E.1.10, 2011.
- [Arnaud2013] Lucile Arnaud, P. Lamontagne, F. Bana, Y. Le Fric et P. Waltz. *Study of electromigration void nucleation time in Cu interconnects with doping elements*. *Microelectronic Engineering*, vol. 107, pages 145–150, 2013.
- [Arzt1994] E. Arzt, O. Kraft, W. D. Nix et J. E. Sanchez. *Electromigration failure by shape change of voids in bamboo lines*. *Journal of Applied Physics*, vol. 76, no. 3, pages 1563–1571, 1994.
- [Attardo1971] M. J. Attardo, R. Rutledge et R. C. Jack. *Statistical Metallurgical Model for Electromigration Failure in Aluminum Thin-Film Conductors*. *Journal of Applied Physics*, vol. 42, no. 11, pages 4343–4349, 1971.
- [Ayoub2020] B. Ayoub, S. Lhostis, S. Moreau, E. L. Perez, J. Jourdon, P. Lamontagne, E. Deloffre, S. Mermoz, C. de Buttet, V. Balan, C. Euvar, Y. Exbrayat et H. Frémont. *Impact of Process Variations on the Capacitance and Electrical Resistance down to 1.44 μm Hybrid Bonding Interconnects*. In 2020 IEEE 22nd Electronics Packaging Technology Conference (EPTC), pages 453–458, 2020.
- [Ayoub2022a] B. Ayoub, S. Moreau, S. Lhostis, P. Lamontagne, H. Combeau, J. G. Mattei et H. Frémont. *New Method to Perform TDDB Tests for Hybrid Bonding Interconnects*. In 2022 IEEE International Reliability Physics Symposium (IRPS), pages 4C.3–1–4C.3–6, 2022.
- [Ayoub2022b] Bassel Ayoub, Sandrine Lhostis, Stéphane Moreau, Emeline Souchier, Emilie Deloffre, Sebastien Mermoz, Maria Gabriela Gusmão Cacho, Norah Szekely, Christelle Rey, Ece Aybeke, Victor Gredy, Patrick Lamontagne, Olivier Thomas et Hélène Frémont. *Sub 1 μm Pitch Achievement for Cu/SiO₂ Hybrid Bonding*. In 2022 IEEE 24th Electronics Packaging Technology Conference (EPTC), pages 418–424, 2022.
- [Ayoub2022c] Bassel Ayoub, Stéphane Moreau, Sandrine Lhostis, Hélène Frémont, Sébastien Mermoz, Emeline Souchier, Emilie Deloffre, Stéphanie Escoubas, Thomas W. Cornelius et Olivier Thomas. *In-situ characterization of thermomechanical behavior of copper nano-interconnect for 3D integration*. *Microelectronic Engineering*, vol. 261, page 111809, 2022.
- [Basavalingappa2017] Adarsh Basavalingappa, Jennifer M. Passage, Ming Y. Shen et J. R. Lloyd. *Electromigration : Lognormal versus Weibull distribution*. In 2017 IEEE International Integrated Reliability Workshop (IIRW), pages 1–4, 2017.
- [Baudin2010] Thierry Baudin. *Analyse EBSD - Principe et cartographies d'orientations*. Techniques de l'Ingénieur, 2010. Réf. : M4138 V1.
- [Beaurepaire2019] Sylvain Beaurepaire. *Effet de recuits thermiques sur des diélectriques à faible permittivité pour des applications Back-End-of-Line intermédiaire en vue d'une intégration 3D séquentielle*. Thèse de Doctorat, Université Grenoble Alpes, October 2019.

-
- [Beilliard2014] Y. Beilliard, S. Moreau, L. Di Cioccio, P. Coudrain, G. Romano, A. Nowodzinski, F. Aussenac, P. H. Jouneau, E. Rolland et T. Signarmarcheix. *Advances toward reliable high density Cu-Cu interconnects by Cu-SiO₂ direct hybrid bonding*. In 3D Systems Integration Conference (3DIC), 2014 International, pages 1–8, 2014.
- [Beilliard2015] Yann Beilliard. *Etude de l'intégration du collage direct cuivre/oxyde pour l'élaboration d'une architecture 3D-SIC*. Thèse de Doctorat, Université Grenoble Alpes, 2015.
- [Ben Ahmed2011] Walid Ben Ahmed. *Analyse des risques sur un produit innovant*. Techniques de l'Ingénieur, 2011. Réf. : 0415.
- [Berenbaum1971] L. Berenbaum et B. Patnaik. *Study of failure mechanisms in Al-Cu thin films by high-voltage electron microscopy*. Applied Physics Letters, vol. 18, no. 7, pages 284–286, 1971.
- [Besser1992] Paul R. Besser, Michael C. Madden et Paul A. Flinn. *In situ scanning electron microscopy observation of the dynamic behavior of electromigration voids in passivated aluminum lines*. Journal of Applied Physics, vol. 72, no. 8, pages 3792–3797, 1992.
- [Beyne2017] Eric Beyne, Soon-Wook Kim, Lan Peng, Nancy Heylen, Joke De Messemaeker, Oguzhan Orkut Okudur, Alain Phommahaxay, Tae-Gon Kim, Michele Stucchi, Dimitrios Velenis, Andy Miller et Gerald Beyer. *Scalable, sub 2 μ m pitch, Cu/SiCN to Cu/SiCN hybrid wafer-to-wafer bonding technology*. In 2017 IEEE International Electron Devices Meeting (IEDM), pages 32.4.1–32.4.4, 2017.
- [Black1967] James R. Black. *Mass Transport of Aluminum by Momentum Exchange with Conducting Electrons*. In 6th Annual Reliability Physics Symposium (IEEE), pages 148–159, 1967.
- [Black1969] J.R. Black. *Electromigration failure modes in aluminum metallization for semiconductor devices*. Proceedings of the IEEE, vol. 57, no. 9, pages 1587–1594, 1969.
- [Blair1971] J.C. Blair, P.B. Ghate et C.T. Haywood. *Concerning electromigration in thin films*. Proceedings of the IEEE, vol. 59, no. 6, pages 1023–1024, 1971.
- [Blech1966] Ilan A. Blech et Harry Sello. *The Failure of Thin Aluminum Current-Carrying Strips on Oxidized Silicon*. In Fifth Annual Symposium on the Physics of Failure in Electronics, pages 496–505, 1966.
- [Blech1976] I. A. Blech. *Electromigration in thin aluminum films on titanium nitride*. Journal of Applied Physics, vol. 47, no. 4, pages 1203–1208, 1976.
- [Bouchoucha2013] Mohamed Bouchoucha. *Remplissage en polymère des via traversant (TSV) pour des applications 3D-Wafer Level Packaging*. Thèse de Doctorat, Université Aix-Marseille, 2013.
- [Box1976] George E. P. Box. *Science and Statistics*. Journal of the American Statistical Association, vol. 71, no. 356, pages 791–799, 1976.
- [Box1987] G.E.P. Box et N.R. Draper. *Empirical model-building and response surfaces*. Wiley Series in Probability and Statistics. Wiley, 1987.
- [Breitenstein2010] O. Breitenstein, W. Warta et M. Langenkamp. *Lock-in thermography : Basics and use for evaluating electronic devices and materials*.
-

- Springer Series in Advanced Microelectronics. Springer Berlin Heidelberg, 2010.
- [Budiman2010] A. S. Budiman, C. S. Hau-Riege, W. C. Baek, C. Lor, A. Huang, H. S. Kim, G. Neubauer, J. Pak, P. R. Besser et W. D. Nix. *Electromigration-Induced Plastic Deformation in Cu Interconnects : Effects on Current Density Exponent, n , and Implications for EM Reliability Assessment*. Journal of Electronic Materials, vol. 39, no. 11, pages 2483–2488, 2010.
- [Bêche2017] Elodie Bêche. *Etude des collages directs hydrophiles mettant en jeu des couches diélectriques*. Thèse de Doctorat, Université Grenoble Alpes, 2017.
- [Cacho2011] F. Cacho et X. Federspiel. *1 - Modeling of electromigration phenomena*. In Choong-Un Kim, éditeur, *Electromigration in Thin Films and Electronic Devices*, Woodhead Publishing Series in Electronic and Optical Materials, pages 3–44. Woodhead Publishing, 2011.
- [Cavalcante2020] C. Cavalcante, C. Fenouillet-Beranger, P. Batude, X. Garros, X. Federspiel, J. Lacord, S. Kerdiles, A. S. Royet, P. Acosta-Alba, O. Rozzeau, V. Barral, F. Arnaud, N. Planes, P. O. Sassoulas, E. Ghegin, R. Beneyton, M. Gregoire, O. Weber, C. Guerin, L. Arnaud, S. Moreau, R. Kies, G. Romano, N. Rambal, A. Magalhaes, G. Ghibaud, J. P. Colinge, M. Vinet et F. Andrieu. *28nm FDSOI CMOS Technology (FEOL and BEOL) Thermal Stability for 3D Sequential Integration : Yield and Reliability Analysis*. In 2020 IEEE Symposium on VLSI Technology, pages 1–2, 2020.
- [Chaabouni2010] H. Chaabouni, M. Rousseau, P. Leduc, A. Farcy, R. El Farhane, A. Thuair, G. Haury, A. Valentian, G. Billiot, M. Assous, F. De Crecy, J. Cluzel, A. Toffoli, D. Bouchu, L. Cadix, T. Lacrevez, P. Ancey, N. Sillon et B. Flechet. *Investigation on TSV impact on 65nm CMOS devices and circuits*. In 2010 International Electron Devices Meeting, pages 35.1.1–35.1.4, 2010.
- [Chang1990] C.Y. Chang, V.D. Vankar, Y.C. Lee, R.W. Vook, A.J. Patrinos et J.A. Schwarz. *Electromigration studies using in situ TEM electrical resistance measurements*. Vacuum, vol. 41, no. 4, pages 1434–1436, 1990.
- [Chatterjee2018] Sandeep Chatterjee, Valeriy Sukharev et Farid N. Najm. *Power Grid Electromigration Checking Using Physics-Based Models*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 37, no. 7, pages 1317–1330, 2018.
- [Chen2000] L Chen, N Magtoto, B Ekstrom et J Kelber. *Effect of surface impurities on the Cu/Ta interface*. Thin Solid Films, vol. 376, no. 1, pages 115–123, 2000.
- [Chery2014] Emmanuel Chery. *Fiabilité des diélectriques low- k SiOCH poreux dans les interconnexions CMOS avancées*. Thèse de Doctorat, Université de Grenoble, February 2014.
- [CHI2022] *Copper Pillar with Lead Free Solder Cap*. https://www.chipbond.com.tw/eng_service_02_32.aspx, 2022. Accès : 12/07/2022.

-
- [Choy2017a] J. H. Choy, V. Sukharev, S. Chatterjee, F. N. Najm et S. Moreau. *Physics-based Electromigration Assessment for Analysis of EM Degradation in 3D IC Test Structures*. In 2017 Design Automation Conference (DAC) - Designer Track : EmPowering Design, 2017.
- [Choy2017b] Jun-Ho Choy, Valeriy Sukharev, Sandeep Chatterjee, Farid N. Najm, Armen Kteyan et Stéphane Moreau. *Finite-difference methodology for full-chip electromigration analysis applied to 3D IC test structure : Simulation vs. experiment*. In 2017 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pages 41–44, 2017.
- [Choy2020] Jun-Ho Choy, Valeriy Sukharev et Armen Kteyan. *Advanced methodology for assessing chip package interaction effects on chip performance and reliability after chip assembly and during chip operation*. Journal of Vacuum Science & Technology B, vol. 38, no. 6, page 063205, 2020.
- [Choy2022] Jun-Ho Choy, Stéphane Moreau, Catherine Brunet-Manquat, Valeriy Sukharev et Armen Kteyan. *Warping study by employing an advanced methodology for assessing chip package interaction effects*. In The 2022 International workshop on “Materials for Advanced Metallization” - MAM 2022, 2022.
- [Choy2023] Jun-Ho Choy, Valeriy Sukharev, Armen Kteyan, Stéphane Moreau et Catherine Brunet-Manquat. *Warping simulation methodology for assessing chip-package interaction in chiplet-based 3D stacks*. In Chiplet Summit, 2023.
- [Ciofi2011] Ivan Ciofi, Manuel Mannarino, Yunlong Li, Kristof Croes et Gerald Beyer. *Self-Controlled Constant-Current Temperature Stress for Triangular Voltage Sweep Measurements of Cu*. ECS Meeting Abstracts, vol. MA2011-02, no. 28, pages 1973–1973, aug 2011.
- [COOLTURE2009] COOLTURE. *Nos ingénieurs conçoivent des ponts capables de résister au passage d’un train toutes les 2 minutes pendant plus de 100 ans*. https://issuu.com/magazinegenerationy/docs/coolture_n__9_24p, 2009. Accès : 16/06/2022.
- [Coudrain2019] Perceval Coudrain, J. Charbonnier, A. Garnier, P. Vivet, Rémi Vélard, A. Vinci, F. Ponthenier, A. Farcy, R. Segaud, P. Chausse, L. Arnaud, D. Lattard, E. Guthmuller, G. Romano, A. Gueugnot, F. Berger, J. Beltritti, T. Mourier, M. Gottardi, S. Minoret, C. Ribière, G. Romero, P.-E. Philip, Y. Exbrayat, D. Scevola, D. Campos, M. Argoud, N. Allouti, R. Eleouet, C. Fuguet Tortolero, C. Aumont, D. Dutoit, C. Legalland, J. Michailos, S. Chéramy et G. Simon. *Active Interposer Technology for Chiplet-Based Advanced 3D System Architectures*. In 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), pages 569–578, 2019.
- [Croes2011] Kristof Croes, Christopher J. Wilson, Melina Lofrano, Gerald P. Beyer et Zsolt Tókei. *Interconnect reliability – A study of the effect of dimensional and porosity scaling*. Microelectronic Engineering, vol. 88, no. 5, pages 614–619, 2011. The 2010 International workshop on “Materials for Advanced Metallization” - MAM 2010.
- [da Silva2017] Julio Cesar da Silva, Alexandra Pacureanu, Yang Yang, Sylvain Bohic, Christian Morawe, Raymond Barrett et Peter Cloetens. *Efficient*
-

- concentration of high-energy x-rays for diffraction-limited imaging resolution.* Optica, vol. 4, no. 5, pages 492–495, May 2017.
- [de Orio2012] R.L. de Orio, H. Ceric et S. Selberherr. *Electromigration failure in a copper dual-damascene structure with a through silicon via.* Microelectronics Reliability, vol. 52, no. 9, pages 1981–1986, 2012. Special issue 23rd European Symposium on the Reliability of Electron devices, Failure physics and analysis (ESREF).
- [de Orio2014] R. L. de Orio, S. Gousseau, S. Moreau, H. Ceric, S. Selberherr, A. Farcy, F. Bay, K. Inal et P. Montmittonnet. *On the material depletion rate due to electromigration in a copper TSV structure.* In Integrated Reliability Workshop Final Report (IIRW), 2014 IEEE International, pages 111–114, 2014.
- [De Wolf2018] Ingrid De Wolf, Kristof Croes et Eric Beyne. *Expected Failures in 3-D Technology and Related Failure Analysis Challenges.* IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 8, no. 5, pages 711–718, 2018.
- [Deprat2017] Fabien Deprat. *Etude et optimisation de la stabilité thermique du silicure et du beol intermédiaire pour l'intégration 3D séquentielle.* Thèse de Doctorat, Université Grenoble Alpes, March 2017.
- [Di Cioccio2008] L Di Cioccio, P Gueguen, F Grossi, P Leduc, B Charlet, M Assous, A Mathewson, J Brun, D Henry, P Batudeet al. *3D Technologies at CEA-Leti Minatec.* Proceedings of International Microelectronics and Packaging Society, 2008.
- [DIN2013] *Application of cables and cords in power installations - Part 4 : Recommended current-carrying capacity for sheathed and non-sheathed cables for fixed wirings in and around buildings and for flexible cables and cords.* Standard, 0298-4, DIN VDE, June 2013.
- [Doyen2009] Lise Doyen. *Caractérisation électrique de l'endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique.* Thèse de Doctorat, Université de Grenoble 1, 2009.
- [Dreyer1993] M.L. Dreyer, K.Y. Fu et C.J. Varker. *The effects of temperature and microstructure on the components of electromigration mass transport.* In 31st Annual Proceedings Reliability Physics 1993, pages 304–310, 1993.
- [Ebersberger2008] Bernd Ebersberger et Charles Lee. *Cu pillar bumps as a lead-free drop-in replacement for solder-bumped, flip-chip interconnects.* In 2008 58th Electronic Components and Technology Conference, pages 59–66, 2008.
- [Evelyne Darque-Céretti2014] Patrice Lehuédé Evelyne Darque-Céretti Marc Aucouturier. *Spectrométrie de masse d'ions secondaires : SIMS et ToF-SIMS – Principes et appareillages.* Techniques de l'Ingénieur, 2014. Réf. : P2618 V4.
- [Farooq2015] M. G. Farooq, G. La Rosa, F. Chen, P. Periasamy, T. L. Graves-Abe, C. Kothandaraman, C. Collins, W. Landers, J. Oakley, J. Liu, J. Safran, S. Ghosh, S. Mittl, D. Ioannou, C. Graas, D. Berger et S. S. Iyer. *Impact of 3D copper TSV integration on 32SOI FEOL and BEOL reliability.* In 2015 IEEE International Reliability Physics Symposium, 2015.

-
- [FEI2011] Vion™ Plasma FIB System. https://www.microscop.ru/uploads/Vion-Plasma-FIB-DS_eng.pdf, 2011. Accès : 16/06/2022.
- [Fraczkiewicz2017a] A. Fraczkiewicz, S. Moreau, T. Mourier, P. Bleuet, P.-O. Aufran, E. Capria, P. Cloetens, J. Da Silva, S. Lhostis et F. Lorut. *Making Synchrotron Tomography a Routine Tool for 3D Integration Failure Analysis through a Limited Number of Projections, an Adapted Sample Preparation Scheme, and a Fully-Automated Post-Processing*. volume ISTFA 2017 : Conference Proceedings from the 43rd International Symposium for Testing and Failure Analysis of *International Symposium for Testing and Failure Analysis*, pages 14–18, 11 2017.
- [Fraczkiewicz2017b] Alexandra Fraczkiewicz. *Développement de la tomographie par rayons X en synchrotron pour l'industrie : application à l'analyse de défaillance en intégration 3D*. Thèse de Doctorat, Université Grenoble Alpes (ComUE), 2017.
- [Frank2011] T. Frank, C. Chappaz, P. Leduc, L. Arnaud, S. Moreau, A. Thuair, R. El Farhane et L. Anghel. *Resistance increase due to electromigration induced depletion under TSV*. In 49th IEEE International Reliability Physics Symposium (IEEE-IRPS - 2011), 2011.
- [Frank2013] T. Frank, S. Moreau, C. Chappaz, P. Leduc, L. Arnaud, A. Thuair, E. Chery, F. Lorut, L. Anghel et G. Poupon. *Reliability of TSV interconnects : Electromigration, thermal cycling, and impact on above metal level dielectric*. *Microelectronics Reliability*, vol. 53, no. 1, pages 17–29, 2013.
- [Fu2018] Xing Fu, Yunfei En, Bin Ma, Ruohe Yao, Bin Zhou et Yun Huang. *Effect of Cryogenic Storage on Reliability of the BGA Interconnect Solder Joint*. *IOP Conference Series : Materials Science and Engineering*, vol. 439, page 022002, nov 2018.
- [Gagnard2010] Xavier Gagnard et Thierry Mourier. *Through silicon via : From the CMOS imager sensor wafer level package to the 3D integration*. *Microelectronic Engineering*, vol. 87, no. 3, pages 470–476, 2010. *Materials for Advanced Metallization 2009*.
- [Gall2014] Martin Gall, Kong Boon Yeap et Ehrenfried Zschech. *Advanced concepts for TDDB reliability in conjunction with 3D stress*. *AIP Conference Proceedings*, vol. 1601, no. 1, pages 79–88, 2014.
- [Gambino2012] Jeffrey Gambino. *8 - Process Technology for Copper Interconnects*. In Krishna Seshan, editeur, *Handbook of Thin Film Deposition (Third Edition)*, pages 221–269. William Andrew Publishing, Oxford, third edition edition, 2012.
- [Gambino2015] Jeffrey P. Gambino, Shawn A. Adderly et John U. Knickerbocker. *An overview of through-silicon-via technology and manufacturing challenges*. *Microelectronic Engineering*, vol. 135, pages 73–106, 2015.
- [Gao2019] Guilian Gao, Laura Mirkarimi, Thomas Workman, Gill Fountain, Jeremy Theil, Gabe Guevara, Ping Liu, Bongsub Lee, Pawel Mrozek, Michael Huynh, Catharina Rudolph, Thomas Werner et Anke Hanisch. *Low Temperature Cu Interconnect with Chip to Wafer Hy-*
-

- brid Bonding*. In 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), pages 628–635, 2019.
- [Georgel2008] Vincent Georgel. *Étude de l'influence de l'assemblage sur le comportement des composants électromécaniques intégrés dans des systèmes radiofréquences*. Thèse de Doctorat, Université Paris-Est, June 2008.
- [Gonella2000] R. Gonella, P. Motte et J. Torres. *Time-dependent-dielectric breakdown used to assess copper contamination impact on inter-level dielectric reliability*. In 2000 IEEE International Integrated Reliability Workshop Final Report (Cat. No.00TH8515), pages 189–190, 2000.
- [Gousseau2015a] Simon Gousseau. *Caractérisation in operando de l'endommagement par électromigration des interconnexions 3D : Vers un modèle éléments finis prédictif*. Thèse de Doctorat, ENMP, 2015.
- [Gousseau2015b] Simon Gousseau, Stéphane Moreau, David Bouchu, Alexis Farcy, Pierre Montmitonnet, Karim Inal, François Bay, Marc Zelsmann, Emmanuel Picard et Mathieu Salaun. *Electromigration-induced failure in operando characterization of 3D interconnects : microstructure influence*. *Microelectronics Reliability*, vol. 55, no. 8, pages 1205–1213, 2015.
- [Gueguen2009] Pierric Gueguen, Léa Di Cioccio, Patrice Gergaud, Maurice Rivoire, Daniel Scevola, Marc Zussy, Anne Marie Charvet, Laurent Bally, Dominique Lafond et Laurent Clavelier. *Copper Direct-Bonding Characterization and Its Interests for 3D Integration*. *Journal of The Electrochemical Society*, vol. 156, no. 10, page H772, 2009.
- [Guissi2017] Sofiane Guissi. *CMOS Image Sensors (CIS) : Past, Present & Future*. <https://www.coventor.com/blog/cmos-image-sensors-cis-past-present-future/>, 2017. Accès : 16/06/2022.
- [Haase2013] Gad S. Haase. *IRPS 2013 tutorial : Reliability of Low-k Interconnect Dielectrics in Advanced CMOS Technologies*. 2 2013.
- [HAM2013] *Thermal Emission Microscope – THEMOS®Series*. <http://www.hamamatsu.com.cn/UserFiles/DownFile/Product/20131112174940348.pdf>, 2013. Accès : 16/06/2022.
- [Handy2010] Jim Handy. *Toshiba 128GB eMMC – How Do They Do That?* <https://www.edn.com/toshiba-128gb-emmc-how-do-they-do-that/>, 2010. Accès : 16/06/2022.
- [Haruta2017] Tsutomu Haruta, Tsutomu Nakajima, Jun Hashizume, Taku Umebayashi, Hiroshi Takahashi, Kazuo Taniguchi, Masami Kuroda, Hiroshi Sumihiro, Koji Enoki, Takatsugu Yamasaki, Katsuya Ikezawa, Atsushi Kitahara, Masao Zen, Masafumi Oyama, Hiroki Koga, Hidenobu Tsugawa, Tomoharu Ogita, Takashi Nagano, Satoshi Takano et Tetsuo Nomoto. *4.6 A 1/2.3inch 20Mpixel 3-layer stacked CMOS Image Sensor with DRAM*. In 2017 IEEE International Solid-State Circuits Conference (ISSCC), pages 76–77, 2017.
- [Hau-Riege2004] Christine S. Hau-Riege. *An introduction to Cu electromigration*. *Microelectronics Reliability*, vol. 44, no. 2, pages 195–205, 2004.
- [Hauschildt2005] Meike Hauschildt. *Statistical Analysis of Electromigration Lifetimes and Void Evolution in Cu Interconnects*. Thèse de Doctorat, University of Texas at Austin, 2005.

-
- [He2012] Ming He et Toh-Ming Lu. Kinetics of ion drift, pages 109–125. Springer New York, New York, NY, 2012.
- [Hu2007] C.-K. Hu, L. Gignac, B. Baker, E. Liniger, R. Yu et P. Flaitz. *Impact of Cu microstructure on electromigration reliability*. In 2007 IEEE International Interconnect Technology Conference, pages 93–95, 2007.
- [HUA] HUAWEI P40 Pro+. <https://consumer.huawei.com/fr/phones/p40-pro-plus/specs/>. Accès : 16/06/2022.
- [Huang2008] Qiaojian Huang, Carmen M. Lilley, Ralu Divan et Matthias Bode. *Electrical Failure Analysis of Au Nanowires*. IEEE Transactions on Nanotechnology, vol. 7, no. 6, pages 688–692, 2008.
- [Hwang2007] Sang-Soo Hwang, Sung-Yup Jung et Young-Chang Joo. *The electric field dependence of Cu migration induced dielectric failure in inter-layer dielectric for integrated circuits*. Journal of Applied Physics, vol. 101, no. 7, page 074501, 2007.
- [IBM2011] *Copper Interconnects – The Evolution of Microprocessors*. <https://www.ibm.com/ibm/history/ibm100/us/en/icons/copperchip/>, 22/07/2011. Accès : 11/07/2022.
- [IEEE2022] IEEE. *International Roadmap for Devices and Systems™– 2022 Update – More Moore*. Rapport technique, IRDS, 2022.
- [ITR2009] *International Technology Roadmap for Semiconductors – 2009 Edition – Assembly and Packaging*. <https://www.semiconductors.org/wp-content/uploads/2018/09/Assembly-Packaging.pdf>, 2009. Accès : 12/07/2022.
- [JED2014] *Reliability Qualification of Semiconductor Devices Based on Physics of Failure Risk and Opportunity Assessment*. Standard, JEP148B, JEDEC Solid State Technology Association, January 2014.
- [JED2017] *Constant-Temperature Aging Method to Characterize Copper Interconnect Metallization for Stress-Induced Voiding*. Standard, JESD214.01, JEDEC Solid State Technology Association, August 2017.
- [Joly2008] Jean-Pierre Joly. Overview of bonding technologies for 3d integration, chapitre 11, pages 209–221. John Wiley & Sons, Ltd, 2008.
- [Jourdain2020] Anne Jourdain, Filip Schleicher, Joeri De Vos, Michele Stucchi, Emmanuel Chery, Andy Miller, Gerald Beyer, Geert Van der Plas, Edward Walsby, Kerry Roberts, Huma Ashraf, Dave Thomas et Eric Beyne. *Extreme Wafer Thinning and nano-TSV processing for 3D Heterogeneous Integration*. In 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), pages 42–48, 2020.
- [Jourdon2017] J. Jourdon, S. Moreau, D. Bouchu, S. Lhostis, N. Bresson, D. Guiheux, R. Beneyton, S. Renard et H. Frémont. *Effect of passivation annealing on the electromigration properties of hybrid bonding stack*. In 2017 IEEE International Reliability Physics Symposium (IRPS), pages MR–3.1–MR–3.6, 2017.
- [Jourdon2018] J. Jourdon, S. Lhostis, S. Moreau, J. Chossat, M. Arnoux, C. Sart, Y. Henrion, P. Lamontagne, L. Arnaud, N. Bresson, V. Balan, C. Euvrard, Y. Exbrayat, D. Scevola, E. Deloffre, S. Mermoz, A. Martin,
-

- H. Bilgen, F. Andre, C. Charles, D. Bouchu, A. Farcy, S. Guillaumet, A. Jouve, H. Fremont et S. Cheramy. *Hybrid bonding for 3D stacked image sensors : impact of pitch shrinkage on interconnect robustness*. In 2018 IEEE International Electron Devices Meeting (IEDM), pages 7.3.1–7.3.4, 2018.
- [Jourdon2019] Joris Jourdon. *Intégration 3D par collage hybride : défis de la miniaturisation du pas d'interconnexion*. Thèse de Doctorat, Université de Bordeaux, 2019.
- [Jourdon2021] Joris Jourdon, Sandrine Lhostis, Stéphane Moreau, Patrick Lamontagne et Hélène Frémont. *Search for copper diffusion at hybrid bonding interface through chemical and electrical characterizations*. Microelectronics Reliability, vol. 126, page 114217, 2021.
- [Kada2015] Morihiro Kada. Research and development history of three-dimensional integration technology, pages 1–23. Springer International Publishing, Cham, 2015.
- [Kagawa2016] Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, T. Nagano, K. Ohno, H. Iwamoto, S. Kadomura et T. Hirayama. *Novel stacked CMOS image sensor with advanced Cu2Cu hybrid bonding*. In 2016 IEEE International Electron Devices Meeting (IEDM), pages 8.4.1–8.4.4, 2016.
- [Kagawa2018] Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, K. Ohno, H. Iwamoto, S. Kadomura et T. Hirayama. *An Advanced CuCu Hybrid Bonding For Novel Stacked CMOS Image Sensor*. In 2018 IEEE 2nd Electron Devices Technology and Manufacturing Conference (EDTM), pages 65–67, 2018.
- [Kanaya1972] K Kanaya et S Okayama. *Penetration and energy-loss theory of electrons in solid targets*. Journal of Physics D : Applied Physics, vol. 5, no. 1, pages 43–58, jan 1972.
- [Kim2012] Jung-Sik Kim, Chi Sung Oh, Hocheol Lee, Donghyuk Lee, Hyong Ryol Hwang, Sooman Hwang, Byongwook Na, Joungwook Moon, Jin-Guk Kim, Hanna Park, Jang-Woo Ryu, Kiwon Park, Sang Kyu Kang, So-Young Kim, Hoyoung Kim, Jong-Min Bang, Hyunyoong Cho, Minsoo Jang, Cheolmin Han, Jung-Bae LeeLee, Joo Sun Choi et Young-Hyun Jun. *A 1.2 V 12.8 GB/s 2 Gb Mobile Wide-I/O DRAM With 4 × 128 I/Os Using TSV Based Stacking*. IEEE Journal of Solid-State Circuits, vol. 47, no. 1, pages 107–116, 2012.
- [Kirchheim1991] R. Kirchheim et U. Kaeber. *Atomistic and computer modeling of metallization failure of integrated circuits by electromigration*. Journal of Applied Physics, vol. 70, no. 1, pages 172–181, 1991.
- [KNO2019] *Hybrid Bonding Patent Landscape 2019*. <https://www.knowmade.com/downloads/hybrid-bonding-patent-landscape//>, 2019. Accès : 12/07/2022.
- [Koetter2000] T.G. Koetter, H. Wendrock, H. Schuehrer, C. Wenzel et K. Wetzig. *Relationship between microstructure and electromigration damage*

-
- in unpassivated PVD copper damascene interconnects*. Microelectronics Reliability, vol. 40, no. 8, pages 1295–1299, 2000. Reliability of Electron Devices, Failure Physics and Analysis.
- [Kordic1995] S. Kordic, R.A. Augur, A.G. Dirks et R.A.M. Wolters. *Stress voiding and electromigration phenomena in aluminum alloys*. Applied Surface Science, vol. 91, no. 1, pages 197–207, 1995. Proceedings of the First European Workshop on Materials for Advanced Metallization.
- [Kwakman2013] Laurens Kwakman, Marcus Straw, Gaëlle Coustillier, Marc Sentis, Jens Beyersdorfer, Jan Schischka, Falk Naumann et Frank Altmann. *Sample Preparation Strategies for Fast and Effective Failure Analysis of 3D Devices*. volume ISTFA 2013 : Conference Proceedings from the 39th International Symposium for Testing and Failure Analysis of *International Symposium for Testing and Failure Analysis*, pages 17–26, 11 2013.
- [Kwon2005] Dukryel Kwon, Hyunah Park et Chongmu Lee. *Electromigration resistance-related microstructural change with rapid thermal annealing of electroplated copper films*. Thin Solid Films, vol. 475, no. 1, pages 58–62, 2005. Asian-European International Conference on Plasma Surface Engineering 2003 Proceedings of the 4th Asian-European International Conference on Plasma Surface Engineering.
- [Lane2003] M. W. Lane, E. G. Liniger et J. R. Lloyd. *Relationship between interfacial adhesion and electromigration in Cu metallization*. Journal of Applied Physics, vol. 93, no. 3, pages 1417–1421, 2003.
- [Langer2002] Eckhard Langer, Moritz Andreas Meyer, Ehrenfried Zschech et Marko Herrmann. *SEM in-situ Study of Electromigration Induced Degradation Processes in Embedded Copper Interconnects*. volume ISTFA 2002 : Conference Proceedings from the 28th International Symposium for Testing and Failure Analysis of *International Symposium for Testing and Failure Analysis*, pages 733–737, 11 2002.
- [Lau2011] John H. Lau. *Evolution, challenge, and outlook of TSV, 3D IC integration and 3d silicon integration*. In 2011 International Symposium on Advanced Packaging Materials (APM), pages 462–488, 2011.
- [Lee2006] Shou-chung Lee et Anthony S. Oates. *Identification and Analysis of Dominant Electromigration Failure Modes in Copper/Low-K Dual Damascene Interconnects*. In 2006 IEEE International Reliability Physics Symposium Proceedings, pages 107–114, 2006.
- [Lee2015] K.C. Lee, J. Alton, M. Igarashi et S. Barbeau. *Fast feature based non-destructive fault isolation in 3D IC packages utilizing virtual known good device*. In 2015 IEEE 22nd International Symposium on the Physical and Failure Analysis of Integrated Circuits, pages 64–67, 2015.
- [Lee2018] Jaehyun Lee, Salim Berrada, Fikru Adamu-Lema, Nicole Nagy, Vihar P. Georgiev, Toufik Sadi, Jie Liang, Raphael Ramos, Hamilton Carrillo-Nunez, Dipankar Kalita, Katharina Lilienthal, Marcus Wislicenus, Reeturaj Pandey, Bingan Chen, Kenneth B. K. Teo, Goncalo Goncalves, Hanako Okuno, Benjamin Uhlig, Aida Todri-Sanial,
-

- Jean Dijon et Asen Asenov. *Understanding Electromigration in Cu-CNT Composite Interconnects : A Multiscale Electrothermal Simulation Study*. IEEE Transactions on Electron Devices, vol. 65, no. 9, pages 3884–3892, 2018.
- [Lepedus2018] Mark Lepedus. *Defect Challenges Growing In Advanced Packaging*. <https://semiengineering.com/defect-challenges-growing-in-advanced-packaging/>, 2018. Accès : 16/06/2022.
- [Lhostis2016] S. Lhostis, A. Farcy, E. Deloffre, F. Lorut, S. Mermoz, Y. Henrion, L. Berthier, F. Bailly, D. Scevola, F. Guyader, F. Gigon, C. Besset, S. Pellissier, L. Gay, N. Hotellier, A. L. Le Berrigo, S. Moreau, V. Balan, F. Fournel, A. Jouve, S. Chéramy, M. Arnoux, B. Rebhan, G. A. Maier et L. Chitu. *Reliable 300 mm Wafer Level Hybrid Bonding for 3D Stacked CMOS Image Sensors*. In 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), pages 869–876, 2016.
- [Li2016a] Ling Li, Zhongwei Zhu, Tao Wang, Jean A. Currivan-Incorvia, Alex Yoon et H.-S. Philip Wong. *BEOL compatible graphene/Cu with improved electromigration lifetime for future interconnects*. In 2016 IEEE International Electron Devices Meeting (IEDM), pages 9.5.1–9.5.4, 2016.
- [Li2016b] Yan Li, Purushotham Kaushik Muthur Srinath et Deepak Goyal. *A Review of Failure Analysis Methods for Advanced 3D Microelectronic Packages*. Journal of Electronic Materials, vol. 45, no. 1, pages 116–124, 2016.
- [Liao2010] Chien-Neng Liao, Kuan-Chia Chen, Wen-Wei Wu, Lih-Juann Chen et K. N. Tu. *In-situ transmission electron microscopy study of nanotwinned copper under electromigration*. In 2010 3rd International Nanoelectronics Conference (INEC), pages 254–255, 2010.
- [Lienig2013] Jens Lienig. *Electromigration and Its Impact on Physical Design in Future Technologies*. In Proceedings of the 2013 ACM International Symposium on Physical Design, ISPD '13, page 33–40, New York, NY, USA, 2013. Association for Computing Machinery.
- [Lienig2018a] Jens Lienig et Matthias Thiele. *Mitigating electromigration in physical design*, pages 99–148. Springer International Publishing, Cham, 2018.
- [Lienig2018b] Jens Lienig et Matthias Thiele. *The Pressing Need for Electromigration-Aware Physical Design*. In Proceedings of the 2018 International Symposium on Physical Design, ISPD '18, page 144–151, New York, NY, USA, 2018. Association for Computing Machinery.
- [Lloyd1999] J.R Lloyd, J Clemens et R Snede. *Copper metallization reliability*. Microelectronics Reliability, vol. 39, no. 11, pages 1595–1602, 1999.
- [Lloyd2007] J.R. Lloyd. *Black's law revisited—Nucleation and growth in electromigration failure*. Microelectronics Reliability, vol. 47, no. 9, pages 1468–1472, 2007. 18th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
- [Loupis1995] M.I. Loupis et J.N. Avaritsiotis. *The applicability of logarithmic extreme value distributions in electromigration induced failures of*

-
- AlCu thin-film interconnects*. Microelectronics Reliability, vol. 35, no. 3, pages 611–617, 1995. Reliability Physics of Advanced Electron Devices.
- [Malta2014] Dean Malta. Tsv formation overview, chapitre 5, pages 65–78. John Wiley & Sons, Ltd, 2014.
- [Manzanarez2019] H. Manzanarez, S. Moreau et O. Cueto. *Metallic ions drift in hybrid bonding integration modeling, towards the evolution of failure criterion*. In 2019 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pages 1–4, 2019.
- [Miyamoto2018] Hidenori Miyamoto, editeur. Failure analysis technologies, chapitre 5, pages 5–1/5–37. Sony Semiconductor Solutions Corporation, 3 edition, 2018.
- [Miyazaki1996] Hiroshi Miyazaki, Kenji Hinode et Yoshio Homma Kobayashi. *Time-Dependent Dielectric Breakdown of Interlevel Dielectrics for Copper Metallization*. Japanese Journal of Applied Physics, vol. 35, no. 3R, page 1685, mar 1996.
- [Moody2011] Neville Moody, S. Venkataraman, B. Bastasz, J. Angelo et William Gerberich. *Hydrogen Effects on the Fracture of Thin Tantalum Nitride Films*. MRS Proceedings, vol. 356, 01 2011.
- [Moreau2013] S. Moreau et D. Bouchu. *Reliability of Dual Damascene TSV for high density integration : The electromigration issue*. In 2013 IEEE International Reliability Physics Symposium (IRPS), pages CP.1.1–CP.1.5, 2013.
- [Moreau2016] S. Moreau, D. Bouchu, V. Balan, A.-L. Le Berrigo, A. Jouve, Y. Henrion, C. Besset, D. Scevola, S. Lhostis, F. Guyader, E. Deloffre, S. Mermoz et J. Pruvost. *Mass Transport-Induced Failure of Hybrid Bonding-Based Integration for Advanced Image Sensor Applications*. In 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), pages 1940–1945, 2016.
- [Moreau2019a] S. Moreau, A. Fraczkiwicz, D. Bouchu, P. Bleuët, P. Cloetens, J. Cesar Da Silva, H. Manzanarez, F. Lorut et S. Lhostis. *Correlation Between Electromigration-Related Void Volumes and Time-to-Failure by High Resolution X-Ray Tomography and Modeling*. IEEE Electron Device Letters, vol. 40, no. 11, pages 1808–1811, 2019.
- [Moreau2019b] S. Moreau, J. Jourdon, S. Lhostis, D. Bouchu, Y. Henrion, L. Arnaud, A. Jouve, V. Balan, F. Fournel, P. Lamontagne, S. Chéramy et L. D. Cioccio. *Robustness and reliability achievements for direct hybrid bonding integration : a review*. In 2019 6th International Workshop on Low Temperature Bonding for 3D Integration (LTB-3D), pages 11–11, 2019.
- [Moreau2021] S. Moreau, H. Manzanarez, N. Bernier, J. Jourdon, S. Lhostis et H. Frémont. *From Electrical to Physical-Chemical Characterization of the Cu/SiO₂ Hybrid-Bonding Interface — A Cu₂O-Layer as a Cu Diffusion Barrier?* IEEE Electron Device Letters, vol. 42, no. 5, pages 731–734, 2021.
- [Moreau2022] Stéphane Moreau, Joris Jourdon, Sandrine Lhostis, David Bouchu, Bassel Ayoub, Lucile Arnaud et Hélène Frémont. *Review — Hybrid*
-

- Bonding-Based Interconnects : A Status on the Last Robustness and Reliability Achievements.* ECS Journal of Solid State Science and Technology, 2022.
- [Moreau2023] S. Moreau, D. Bouchu, J. Jourdon, B. Ayoub, S. Lhostis, H. Frémont et P. Lamontagne. *Recent Advances on Electromigration in Cu/SiO₂ to Cu/SiO₂ Hybrid Bonds for 3D Integrated Circuits.* In 2023 IEEE International Reliability Physics Symposium (IRPS), pages 1–7, 2023.
- [Nguyen2001] H.V. Nguyen, C. Salm, T.J. Mouthaan et F.G. Kuper. *Modelling of the reservoir effect on electromigration lifetime.* In Proceedings of the 2001 8th International Symposium on the Physical and Failure Analysis of Integrated Circuits. IPFA 2001 (Cat. No.01TH8548), pages 169–173, 2001.
- [Noguchi2000] J. Noguchi, N. Ohashi, J. Yasuda, T. Jimbo, H. Yamaguchi, N. Owada, K. Takeda et K. Hinode. *TDDb improvement in Cu metallization under bias stress.* In 2000 IEEE International Reliability Physics Symposium Proceedings. 38th Annual (Cat. No.00CH37059), pages 339–343, 2000.
- [Ohno1989] Y. Ohno, A. Ohsaki, T. Kaneoka, J. Mitsunashi, M. Hirayama et T. Kato. *Effect of mechanical stress for thin SiO₂ films in TDDb and CCST characteristics.* In 27th Annual Proceedings., International Reliability Physics Symposium, pages 34–38, 1989.
- [Ohring1998a] Milton Ohring. *Chapter 5 - Mass Transport-Induced Failure.* In Milton Ohring, editeur, Reliability and Failure of Electronic Materials and Devices, pages 237–302. Academic Press, San Diego, 1998.
- [Ohring1998b] Milton Ohring. *Chapter 7 - Environmental Damage to Electronic Products.* In Milton Ohring, editeur, Reliability and Failure of Electronic Materials and Devices, pages 359–410. Academic Press, San Diego, 1998.
- [Pacheco2010] Mario Pacheco et Deepak Goyal. *X-ray computed tomography for non-destructive failure analysis in microelectronics.* In 2010 IEEE International Reliability Physics Symposium, pages 252–258, 2010.
- [Pande2021] N. Pande, C. Zhou, MH Lin, R. Fung, R. Wong, S. Wen et C. H. Kim. *Electromigration-Induced Bit-Error-Rate Degradation of Interconnect Signal Paths Characterized from a 16nm Test Chip.* In 2021 Symposium on VLSI Technology, pages 1–2, 2021.
- [Peck1986] D. Stewart Peck. *Comprehensive Model for Humidity Testing Correlation.* In 24th International Reliability Physics Symposium, pages 44–50, 1986.
- [Pedder2010] David Pedder. *The Role of Flip Chip Bonding in Advanced Packaging.* https://www.lboro.ac.uk/microsites/research/iemrc/documents/EventsDocuments/5th%20Annual%20Conference%202010/Presentations/David%20Peddar_IeMRC%20September%202010.pdf, 2010. Accès : 16/06/2022.
- [Perdu2010] P. Perdu et Fulvio Infante. *Facing more than moore, is magnetic microscopy the new Swiss knife for 3D defect localization in SiP?* In 2010 17th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits, pages 1–8, 2010.

-
- [Perucca] Brigitte Perucca. *À propos*. <https://lejournal.cnrs.fr/a-propos>. Accès : 16/06/2022.
- [Premachandran2016] C. S. Premachandran, Luke England, Sukeshwar Kannan, Rakesh Ranjan, Kong Boon Yeap, Walter Teo, Salvatore Cimino, Tan Jing, Haojun Zhang, Daniel Smith, Patrick Justison, Biju Parameshwaran et Natarajan Mahadeva Iyer. *Impact of 3D Via Middle TSV Process on 20nm Wafer Level FEOL and BEOL Reliability*. In 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), pages 1593–1598, 2016.
- [Prieto2016] Gonzalo Prieto. *Fib-sem tomography*, pages 770–772. Springer Berlin Heidelberg, Berlin, Heidelberg, 2016.
- [QEp] *2017 QEPrize Winners – Digital Imaging Sensors*. <https://qeprize.org/winners/digital-imaging-sensors>. Accès : 16/06/2022.
- [Radojcic2017] Riko Radojcic. *More-than-moore technology opportunities : 3d sip*, pages 69–115. Springer International Publishing, Cham, 2017.
- [ReliaSoft Corporation2015] ReliaSoft Corporation. *Introduction to Accelerated Life Testing*. https://reliawiki.org/index.php/Introduction_to_Accelerated_Life_Testing, 2015. Accès : 16/06/2022.
- [REN2017] *Failure analysis*, chapitre 4, pages 101–154. Renesas Electronics, 2017.
- [Riege1995] S. P. Riege, A. W. Hunt et J. A. Prybyla. *Real-Time Tem Studies of Electromigration in Submicron Aluminum Runners*. MRS Proceedings, vol. 391, page 249, 1995.
- [Roblin1998] Gérard Roblin. *Microscopie*. Techniques de l’Ingénieur, 1998. Réf. : R6710 V3.
- [Rousseau2009] Maxime Rousseau. *Impact des technologies d’intégration 3D sur les performances des composants CMOS*. Thèse de Doctorat, Université de Toulouse 3, 2009.
- [Rousseau2016] Gilles Rousseau. *Vieillessement du TRIAC soumis à des essais de fiabilité du type HTRB*. Master’s thesis, Conservatoire National des Arts et Métiers – Centre régional associé de Orléans, October 2016.
- [Saligram2022] Rakshith Saligram, Suman Datta et Arijit Raychowdhury. *Design Space Exploration of Interconnect Materials for Cryogenic Operation : Electrical and Thermal Analyses*. IEEE Transactions on Circuits and Systems I : Regular Papers, pages 1–9, 2022.
- [SAM] *Galaxy Z Fold2 5G*. <https://www.samsung.com/fr/smartphones/galaxy-z-fold2/specs/>. Accès : 16/06/2022.
- [Sannicolo2016] Thomas Sannicolo, David Muñoz-Rojas, Ngoc Duy Nguyen, Stéphane Moreau, Caroline Celle, Jean-Pierre Simonato, Yves Bréchet et Daniel Bellet. *Direct Imaging of the Onset of Electrical Conduction in Silver Nanowire Networks by Infrared Thermography : Evidence of Geometrical Quantized Percolation*. Nano Letters, vol. 16, no. 11, pages 7046–7053, 2016. PMID : 27753494.
- [Schröder2006] Dieter Schröder. *Semiconductor material and device characterization*. Wiley-IEEE Press, 3rd edition, 2006.
-

- [Shao2005] Wei Shao, A.V. Vairagar, Chih-Hang Tung, Ze-Liang Xie, Ahila Krishnamoorthy et S.G. Mhaisalkar. *Electromigration in copper damascene interconnects : reservoir effects and failure analysis*. Surface and Coatings Technology, vol. 198, no. 1, pages 257–261, 2005.
- [SHI2022] *Copper Pillar Bumping*. <https://www.shinko.co.jp/english/product/package/assembly/cu-pillar.php>, 2022. Accès : 12/07/2022.
- [Shih1995] W. C. Shih et A. L. Greer. *Electromigration Damage and Failure Distributions in Al-4wt.Interconnects*. MRS Proceedings, vol. 391, page 391, 1995.
- [SIL2011] *STMicro Present MEMS Chips With TSV*. https://siliconsemiconductor.net/article/74392/STMicro_present_MEMS_chips_with_TSV, 11/10/2011. Accès : 20/07/2022.
- [Singulani2014] Anderson P. Singulani. *Advanced Methods for Mechanical Analysis and Simulation of Through Silicon Vias*. Thèse de Doctorat, Institut für Mikroelektronik, 2014.
- [Sinnadurai1981] Nihal Sinnadurai. *An evaluation of plastic coatings for high reliability microcircuits*. Microelectronics Journal, vol. 12, no. 6, pages 30–38, 1981.
- [SON2020] *Sony to Release SWIR Image Sensors for Industrial Equipment Capable of Capturing Images Across Both the Visible and Invisible Light Spectrums, with the Industry’s Smallest 5µm Pixel Size*. <https://www.sony.com/en/SonyInfo/News/Press/202005/20-036E/>, 2020. Accès : 16/06/2022.
- [Sorensen2015] Rob Sorensen. *Corrosion and Accelerated Testing*. https://www.nrel.gov/pv/assets/pdfs/2015_pvmrw_132_sorensen.pdf, 2015. Accès : 16/06/2022.
- [SPI2022] *Cu Pillar and BOT Flip Chip Technology*. <https://www.spil.com.tw/technology/?u=4>, 2022. Accès : 12/07/2022.
- [Sukegawa2013] Shunichi Sukegawa, Taku Umebayashi, Tsutomu Nakajima, Hiroshi Kawanobe, Ken Koseki, Isao Hirota, Tsutomu Haruta, Masanori Kasai, Koji Fukumoto, Toshifumi Wakano, Keishi Inoue, Hiroshi Takahashi, Takashi Nagano, Yoshikazu Nitta, Teruo Hirayama et Noriyuki Fukushima. *A 1/4-inch 8Mpixel back-illuminated stacked CMOS image sensor*. In 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, pages 484–485, 2013.
- [Taibi2010] Rachid Taibi, Léa Di Cioccio, Cedrick Chappaz, Laurent-Luc Chapelon, Pierric Gueguen, Jérôme Dechamp, Roland Fortunier et Laurent Clavelier. *Full characterization of Cu/Cu direct bonding for 3D integration*. In 2010 Proceedings 60th Electronic Components and Technology Conference (ECTC), pages 219–225, 2010.
- [Taibi2011] R. Taibi, L. Di Cioccio, C. Chappaz, M. Francou, J. Dechamp, P. Larre, S. Moreau, L-L. Chapelon et R. Fortunier. *Investigation of stress induced voiding and electromigration phenomena on direct copper bonding interconnects for 3D integration*. In 2011 International Electron Devices Meeting, pages 6.5.1–6.5.4, 2011.

-
- [Taibi2012] Mohamed Taibi. *Intégration 3D haute densité : comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct*. Thèse de Doctorat, Grenoble, 2012.
- [TAN2010a] Experimental studies of cu interconnections, chapitre 4, pages 143–241. 2010.
- [TAN2010b] History of electromigration, chapitre 2, pages 11–36. 2010.
- [Tan2010c] Cher Ming Tan. Electromigration in ulsi interconnections. WORLD SCIENTIFIC, 2010.
- [Tao1991] Jiang Tao, K.K. Young, C.A. Pico, N.W. Cheung et Chenming Hu. *Electromigration characteristics of Al/W via contact under unidirectional and bidirectional current conditions*. In 1991 Proceedings Eighth International IEEE VLSI Multilevel Interconnection Conference, pages 390–392, 1991.
- [Thomas2022] Candice Thomas, Jean Charbonnier, Arnaud Garnier, Nicolas Bresson, David Bouchu, Stéphane Moreau, Frédéric Gustavo et Maud Vinet. *Electrical and Morphological Characterizations of 3-D Interconnections for Quantum Computation*. IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 12, no. 3, pages 462–468, 2022.
- [Tsuchiya2006] Hideaki Tsuchiya et Shinji Yokogawa. *Electromigration lifetimes and void growth at low cumulative failure probability*. Microelectronics Reliability, vol. 46, no. 9, pages 1415–1420, 2006. Proceedings of the 17th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis. Wuppertal, Germany 3rd–6th October 2006.
- [Tsugawa2017] H. Tsugawa, H. Takahashi, R. Nakamura, T. Umebayashi, T. Ogita, H. Okano, K. Iwase, H. Kawashima, T. Yamasaki, D. Yoneyama, J. Hashizume, T. Nakajima, K. Murata, Y. Kanaishi, K. Ikeda, K. Tatani, T. Nagano, H. Nakayama, T. Haruta et T. Nomoto. *Pixel/DRAM/logic 3-layer stacked CMOS image sensor technology*. In 2017 IEEE International Electron Devices Meeting (IEDM), pages 3.2.1–3.2.4, 2017.
- [Vairagar2005] A.V. Vairagar, S.G. Mhaisalkar, M.A. Meyer, E. Zschech et Ahila Krishnamoorthy. *Reservoir effect on electromigration mechanisms in dual-damascene Cu interconnect structures*. Microelectronic Engineering, vol. 82, no. 3, pages 675–679, 2005. Proceedings of the ninth european workshop on materials for advanced metallization 2005.
- [Vandooren2018] A. Vandooren, J. Franco, B. Parvais, Z. Wu, L. Witters, A. Walke, W. Li, L. Peng, V. Deshpande, F. M. Bufler, N. Rassoul, G. Hellings, G. Jamieson, F. Inoue, G. Verbinnen, K. Devriendt, L. Teugels, N. Heylen, E. Vecchio, T. Zheng, E. Rosseel, W. Vanherle, A. Hikavy, B. T. Chan, R. Ritzenthaler, G. Besnard, W. Schwarzenbach, G. Gaudin, I. Radu, B.-Y. Nguyen, N. Waldron, V. De Heyn, D. Mocuta et N. Collaert. *3-D Sequential Stacked Planar Devices Featuring Low-Temperature Replacement Metal Gate Junctionless Top Devices With Improved Reliability*. IEEE Transactions on Electron Devices, vol. 65, no. 11, pages 5165–5171, 2018.
-

- [Vinet2014] M. Vinet, P. Batude, C. Fenouillet-Beranger, F. Clermidy, L. Brunet, O. Rozeau, JM Hartmann, O. Billoint, G. Cibrario, B. Previtali, C. Tabone, B. Sklenard, O. Turkyilmaz, F Ponthenier, N. Rambal, MP. Samson, F. Deprat, V. Lu, L. Pasini, S. Thuries, H. Sarhan, J-E. Michallet et O. Faynot. *Monolithic 3D integration : A powerful alternative to classical 2D scaling*. In 2014 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pages 1–3, 2014.
- [von Trapp2018] Françoise von Trapp. *Hybrid Bonding : From Concept to Commercialization*. <https://www.3dincites.com/2018/04/hybrid-bonding-from-concept-to-commercialization/>, 2018. Accès : 16/06/2022.
- [Wang2016] Mingji Wang et Brendan Wells. *Substrate Trace Modeling for Package Warpage Simulation*. In 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), pages 516–523, 2016.
- [Yarema2013a] R Yarema, G Deptuch, J Hoff, F Khalid, R Lipton, A Shenai, M Trimpl et T Zimmerman. *Vertically integrated circuit development at Fermilab for detectors*. Journal of Instrumentation, vol. 8, no. 01, pages C01052–C01052, jan 2013.
- [Yarema2013b] Ray Yarema. *Collaborative Efforts For 3D Integrated Circuits In HEP*. https://indico.physics.lbl.gov/event/2/contributions/396/attachments/396/428/Berkeley_2013.pdf, 2013. Accès : 16/06/2022.
- [Yoh2000] G. Yoh et F.N. Najm. *A statistical model for electromigration failures*. In Proceedings IEEE 2000 First International Symposium on Quality Electronic Design (Cat. No. PR00525), pages 45–50, 2000.
- [YOL2010] *CMOS Image Sensors – Technologies & Markets – 2010 Report*. https://www.sensorsportal.com/HTML/CMOS_Image_Sensor_Report_Sample.pdf, 2010. Accès : 16/06/2022.
- [YOL2018] *Status of the CMOS Image Sensor Industry – 2018 Report sample*. https://www.slideshare.net/Yole_Developpement/status-of-the-cmos-image-sensor-industry-2018, 2018. Accès : 16/06/2022.
- [YOL2021] *Status of the CMOS Image Sensor Industry 2021 – Market and Technology Report 2021*. <https://s3.i-micronews.com/uploads/2021/08/YINTR21167-Status-of-the-CMOS-Image-Sensor-Industry-2021-Sample.pdf>, 2021. Accès : 16/06/2022.
- [Young2011] R Young, C Rue, S Randolph, C Chandler, G Franz, R Schampers, A Klumpp et L Kwakman. *A Comparison of Xenon Plasma FIB Technology with Conventional Gallium LMIS FIB : Imaging, Milling, and Gas-Assisted Applications*. Microscopy and Microanalysis, vol. 17, no. S2, page 652–653, 2011.
- [Zhang2006] Lijuan Zhang. *Term paper for EM 397 : Thin Film Mechanics Fall 2006 Stress-Induced Voiding in Dual-Damascene Cu Interconnects*. 2006.
- [Zhang2010] Lijuan Zhang. *Effects of scaling and grain structure on electromigration reliability of Cu interconnects*. Thèse de Doctorat, University of Texas at Austin, 2010.

- [Zhou2018] Chen Zhou, Richard Wong, Shi-Jie Wen et Chris H. Kim. *Electromigration Effects in Power Grids Characterized Using an On-Chip Test Structure with Poly Heaters and Voltage Tapping Points*. In 2018 IEEE Symposium on VLSI Technology, pages 19–20, 2018.
- [Zhou2020] Chen Zhou, Rita Fung, Shi-Jie Wen, Richard Wong et Chris H. Kim. *Electromigration Effects in Power Grids Characterized From a 65 nm Test Chip*. IEEE Transactions on Device and Materials Reliability, vol. 20, no. 1, pages 74–83, 2020.



Notice personnelle

Quoi de plus informel qu'un mémoire d'Habilitation à Diriger des Recherches (H.D.R.) sans quelques détails relatifs à l'histoire du futur impétrant... ainsi, vous trouverez ci-après quelques éléments de *ma Vie*.

A.1 État civil

Stéphane MOREAU

Né le 12 janvier 1979 à Abidjan (Côte d'Ivoire)

Français

Marié, 2 enfants.

A.2 Parcours académique

Qualification en 63^e section CNU, 2005 ;

Doctorat en Électronique, Université François Rabelais de Tours, Tours, 2005 ;
Convention CIFRE entre STMicroelectronics (Tours) et le Laboratoire de Microélectronique de Puissance (L.M.P., maintenant GREMAN U.M.R. 7347, Tours) ;

D.E.A. en Génie Électrique, Institut National Polytechnique de Grenoble, Grenoble, 2002 ;

Diplôme d'Ingénieur, Ecole d'Ingénieur de Tours (maintenant Polytech'Tours), Tours, 2001 ;

D.U.T. en Génie Électrique et Informatique Industrielle, Tours, 1998.

A.3 Parcours professionnel

Ingénieur-Chercheur, CEA-LETI, Grenoble, depuis 2023 : délégué scientifique du Service de Caractérisation, Conception et Simulation ;

Ingénieur-Chercheur, CEA-LETI, Grenoble, depuis 2021 : expert sénior du CEA

Ingénieur-Chercheur, CEA-LETI, Grenoble, 2018-2021 : expert du CEA

Ingénieur-Chercheur, CEA-LETI, Grenoble, depuis 2011 : responsable de la thématique « fiabilité back-end (TSV, pilier de cuivre, collage hybride, BEoL) » ;

Ingénieur-Chercheur, CEA-LETI, Grenoble, 2008-2011 : simulation multi-physiques (thermomécanique mais aussi hydro-électromécanique) et démarrage de l'activité « fiabilité back-end de l'intégration 3D (TSV) » ;

Post-doctorant, CEA-LETI, Grenoble, 2006-2008 : simulation numérique de la dégradation des niveaux d'interconnexions lors de l'étape de polissage mécano-chimique et étude expérimentale du vieillissement des interconnexions par fatigue thermique ;

Doctorant en entreprise, STMicroelectronics, Tours, 2002-2005 : fiabilité thermo-mécanique des composants de puissance de type TRIAC.

A.4 Encadrement

Au cours de ce début de carrière, j'ai participé au recrutement et à l'encadrement de 5 doctorants (1 thèse en cours, 3 thèses soutenues, 2 thèses non soutenues), 1 post-doctorant et 3 stagiaires dont le détail est donné ci-après.

A.4.1 Thèses

Pour chacune des thèses, sont indiqués ci-après les éléments suivants : Prénom NOM du doctorant, titre de la thèse, école doctorale concernée, directeur de thèse, quotité d'encadrement, nature du financement, date de soutenance, situation professionnelle actuelle du docteur diplômé.

- Bassel AYOUB, « Schémas d'intégration innovants et robustes pour une technologie incluant du collage hybride de faible taille d'interconnexion », École doctorale « Sciences physiques et de l'ingénieur » (ED n° 209), Hélène FREMONT, 33 % d'encadrement de ma part, convention CIFRE (STMicroelectronics), 04/05/2023, ingénieur chez STMicroelectronics (Crolles);
- Joris JOURDON, « Étude des défis d'une intégration 3D par collage hybride de faible pas d'interconnexion : des règles de dessin aux modes de défaillance », École doctorale « Sciences physiques et de l'ingénieur » (ED n° 209), Hélène FREMONT, 33 % d'encadrement de ma part, convention CIFRE (STMicroelectronics), 19/11/2019, ingénieur chez Cailabs (Rennes);
- Simon GOUSSEAU, « Caractérisation in operando de l'endommagement par électromigration des interconnexions 3D : Vers un modèle éléments finis prédictif », École doctorale « Sciences Fondamentales et Appliquées » (E.D. n° 364), Pierre MONTMITONNET, Karim INAL, 50 % d'encadrement de ma part, convention CIFRE (STMicroelectronics), 26/01/2015, ingénieur chez Lynred (Veurey-Voroize);
- Mohammed BOUCHOUCHA, « Remplissage en polymère des vias traversant (TSV) pour des applications 3D-Wafer Level Packaging », École doctorale « Physique et Science de la matière » (E.D. n° 352), 33 % d'encadrement de ma part, Olivier THOMAS, convention CIFRE (STMicroelectronics), 22/01/2013, ingénieur chez Garmin International.

Deux thèses, que je co-encadrais, n'ont pas été menées à terme :

- 2017-2018 : Ahmed CHELKI, « Optimisation des interconnexions des transistors de puissance HEMT GaN (design, technologie, fiabilité) pour les besoins du véhicule électrique », École doctorale « Sciences physiques et de l'ingénieur » (ED n° 209), Hélène FREMONT, 30 % d'encadrement de ma part, financement CEA;

Malgré une phase de recrutement poussée pour les candidats que nous souhaitons recruter (entretien, évaluations orale et pratique, contact d'au moins une personne recommandée), il s'est avéré que le doctorant n'avait pas le niveau requis pour un déroulement serein du travail de thèse. D'un commun accord, il a été convenu d'arrêter la thèse en fin de 1^{re} année.

- 2013-2015 : Anh Phuong N'GUYEN, « Interconnexions Through Silicon Via pour applications à haute fiabilité », École doctorale « Normande de biologie intégrative, santé, environnement » (E.D. n° 497), Ulrike Lüders, 50 % d'encadrement de ma part, convention CIFRE (Murata Integrated Passive Solutions, ex-IPDiA);

Ce travail doctoral n'a plus été suivi par le CEA courant 2015 pour des raisons internes. Ce travail a cependant perduré, hors périmètre CEA, pour déboucher sur une soutenance le 1^{er} juillet 2016.

En parallèle de cet encadrement de doctorants, j'ai participé, en tant qu'examinateur, à 2 jurys de thèse :

- Nicolas COURJAULT, « Contribution à l'étude de solutions non destructives pour la détection et la localisation de défauts électriques dans les structures électroniques 3D », Université de Toulouse, 17/06/2016, [www](#) ;
- Soufyane BELHENINI, « Étude de structures de composants micro-électroniques innovants (3D) : caractérisation, modélisation et fiabilité des démonstrateurs 3D sous sollicitations mécaniques et thermomécaniques », Université de Tours, 19/12/2013, [www](#).

A.4.2 Post-docs

Durant ce début de carrière, j'ai eu l'occasion de recruter un collaborateur en post-doctorat, Hervé MANZANAREZ (2017-2019). L'axe principal de recherche était : « Vieillissement par électromigration des interconnexions des circuits intégrés 3D, vers une modélisation prédictive ». Depuis le 01/10/2019, il est Ingénieur-Chercheur au CEA-LITEN.

A.4.3 Stages

Du côté des stages, j'ai eu l'opportunité d'encadrer 3 stagiaires aussi bien au niveau L3 qu'au niveau M2.

- Niveau M2
 - * Lucas ROY, « Robustesse et fiabilité des interconnexions (BEoL) des transistors de puissance de type HEMT GaN », E.E.I.G.M. (Nancy) *en alternance*, 2018-2021 (76 semaines de présence au CEA) ;
 - * Othmane JERHAOUI, « Fiabilité mécanique des interconnexions micrométriques à faible pas pour l'intégration tridimensionnelle des puces électroniques », Projet de fin d'étude à l'E.E.I.G.M. (Nancy), 2016 (6 mois) ;
- Niveau L3
 - * Laurent AVENAS, « Électromigration et interconnexions cuivre nouvelle génération », I.U.T. G.E.I.I., licence professionnelle (Grenoble), 2010 (5 mois).

A.4.4 Publications et encadrements

Le tableau ci-après récapitule le nombre de publications, tous types confondus, pour chaque encadrement effectué. Les encadrements sont cités par ordre antéchronologique.

Étudiant/collaborateur	Nombre de publications
<i>Doctorant</i>	
Bassel AYOUB	6 (+2 ¹)
Joris JOURDON	5
Simon GOUSSEAU	3
Mohammed BOUCHOUCHA	2
<i>Post-doctorant</i>	
Hervé MANZANAREZ	3
<i>Stagiaire (L3 à M2)</i>	
Lucas ROY	0
Othmane JERHAOUI	1
Laurent AVENAS	0

A.5 Rayonnement scientifique et actions à l'international

A.5.1 Publications marquantes

Ci-après, la liste des 5 publications les plus emblématiques de mon début de carrière :

- sur le TSV : [Frank2013]
- sur le MEB instrumenté : [Gousseau2015b]
- sur le collage hybride : [Ayoub2022a, Moreau2022]
- sur la mise en évidence du phénomène de percolation électrique par thermographie IR synchrone : [Sannicolo2016]

A.5.2 Collaborations internationales

- Depuis 2015 : collaboration informelle avec l'équipe de **Yaw Obeng** du *National Institute for Standards and Technology* (NIST, USA).

L'objectif est d'utiliser ou de mettre en œuvre différents essais/techniques pour étudier la dégradation des interconnexions 3D comme le TSV, les couches de redistribution des signaux (*ReDistribution Layer*, RDL). Ce travail a abouti 2 publications [Amoah2018, Amoah2020].

- Depuis 2015 : collaboration avec l'équipe de **Valeriy SUKHAREV** (Mentor Graphics, USA), dans le cadre de l'IRT Nanoelec, autour du thème « électromigration & modélisation prédictive à l'échelle d'un circuit intégré complet ».

La mise au point d'un logiciel permettant d'appréhender le phénomène d'électromigration

1. Nombre de publications en cours de rédaction ou en attente de publication.

dans les circuits intégrés sur des bases physiques est un grand pas en avant [ref]. Bien que le développement de l'outil repose sur des calibrations expérimentales, celles-ci n'étaient relatives qu'à des structures de test et pas à des cas applicatifs réels. Dans ce contexte, un véhicule de test de type grille d'alimentation (en anglais, les termes *power grid* ou *p/g grid* sont employés) a été défini en collaboration avec l'équipe du Pr. Kim de l'université du Minnesota ([www](#)), car venant de publier des résultats sur cette thématique. Ce véhicule de test reprend les caractéristiques typiques d'une grille d'alimentation réelle mais dans un format condensé et simplifié pour faciliter l'analyse des résultats expérimentaux, l'analyse de défaillance... Les premiers résultats expérimentaux sont attendus pour fin 2022.

A.5.3 Insertion dans des réseaux

- Depuis février 2018 : participation au groupe de travail *Electromigration* du chapitre *Single & Multi-Chip Packaging* de l'**ITRS** par cooptation de Valeriy SUKHAREV (Mentor Graphics, USA) après aval du responsable du groupe de travail, Paul S. Ho (Université du Texas, USA, [www](#)).

Mon action a consisté, au cours de la première année, en la co-rédaction d'un document illustrant la problématique de l'électromigration pour les interconnexions de type RDL, TSV, micro-bump, collage hybride et grille d'alimentation. Ce document a été publié courant 2019 ([www](#)) dans le plan d'action pour l'intégration hétérogène ([www](#)) de l'ITRS. Courant 2020, une mise à jour de ce document a été effectuée pour une publication courant 2021.

- Depuis mai 2018 : participation au groupe de travail « Reliability » de l'*IEEE Electronics Packaging Society* ([www](#)) après cooptation par Richard Rao (Microsemi Corp., USA, [www](#)). Ce groupe de travail a pour mission d'identifier les défis en terme de fiabilité au niveau boîtier, interconnexions, carte d'application. Il en découle naturellement un plan d'actions à 5-10 ans en collaboration avec d'autres sociétés savantes. Une dissémination de ce travail est prévue à l'occasion des conférences majeures du domaine (ECTC, IRPS, EPTC, ESTC...).

A.5.4 Invitations

Au cours de ce début de carrière, j'ai été sollicité pour 7 présentations invitées ou tutoriel. Ces présentations ont été effectuées à la demande de 4 communautés scientifiques différentes : 1. fiabilité (micro-)électronique, 2. atelier autour de la problématique des contraintes, 3. atelier autour de la problématique du collage moléculaire pour l'intégration 3D et 4. atelier autour de l'intégration 3D, associé à une conférence majeure de la microélectronique.

- IITC-MAM (Dresde, Allemagne, 2023) : *Recent Advances on Qualification and Reliability of Cu/SiO₂ to Cu/SiO₂ Hybrid Bonds for 3D Integrated Circuits* ;
- VLSI (Hawaï, U.S.A., 2022) – Technology workshop 2 : *Reliability Threats of Hybrid Bonding-Based Interconnects ; Toward Mass-Production* ;
- IRPS (Dallas, U.S.A., 2022) – Tutoriel TuT6 : *3D Interconnect Reliability – A Status* ;
- ECS Fall Meeting (événement virtuel, 2021) – D03 - Processing Materials and Integration of Damascene and 3D Interconnects : *Hybrid Bonding-Based Interconnects : A Status on the Last Robustness and Reliability Achievements* ;
- IRSP (San Jose, U.S.A., 2019) : *Correlation between Electromigration-Related Voids Volumes and Times-to-Failure by High Resolution X-Ray Tomography* ;
- LTB3D (Kanazawa, Japon, 2019) : *Robustness and reliability achievements for direct hybrid bonding integration : a review* ;
- IRSP (Singapour, 2018) : *Electromigration degradation of interconnects in 3D IC structures* ;

- ESREF (Toulouse, France, 2015) : *Does electromigration remain an issue for 3D ICs ?*.

A.5.5 Conférences et journaux

En parallèle de mon travail au CEA-LETI, je me suis investi de diverses manières auprès de la communauté scientifique de la « fiabilité des systèmes microélectroniques » :

- depuis 2022 : co-organisateur (2022) et organisateur principal (2023) du symposium D03, *Advanced 3D Interconnect Technologies and Packaging*, de la conférence automnale **ECS**.
- depuis 2020 : critique (*reviewer*) pour le *Journal of Vacuum Science & Technology B* (**JVST-B**);
- depuis 2019 : critique pour le journal *Transactions on Components, Packaging and Manufacturing Technology* (**CPMT**);
- depuis 2017 : critique régulier pour le journal *Microelectronics Reliability* (Elsevier);
- depuis 2014 : membre du comité *Reliability Testing* de la conférence IEEE International Reliability Physics Symposium (**IRPS**).