



**HAL**  
open science

## Contribution à la fiabilité des interrupteurs haute tension matriciels

Yvan Lausenaz

► **To cite this version:**

Yvan Lausenaz. Contribution à la fiabilité des interrupteurs haute tension matriciels. Electronique. Université de droit, d'économie et des sciences d'Aix-Marseille, 2000. Français. NNT : . tel-03339139

**HAL Id: tel-03339139**

**<https://cea.hal.science/tel-03339139>**

Submitted on 9 Sep 2021

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE DE DROIT, D'ECONOMIE ET DES SCIENCES  
D'AIX-MARSEILLE  
(Aix-Marseille III)

*N° attribué par la bibliothèque*

0|0|A|I|X|3|0|0|6|6

# Contribution à la fiabilité des interrupteurs haute tension matriciels

THESE

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE DE DROIT, D'ECONOMIE ET DES  
SCIENCES D'AIX-MARSEILLE

*Discipline : Génie Electrique*

Présentée et soutenue

Par

**Yvan LAUSENAZ**

Le 29 septembre 2000

---

*Directeur de thèse : Jean-Michel LI*

---

**Composition du jury :**

Jean-Pierre CHANTE

Pierre MERLE

Daniel CHATROUX

Dominique LAFORE

Jean-Michel LI

Michel THOLOMIER

Professeur à l'INSA de Lyon

Professeur à l'Université Montpellier II

Ingénieur, chef de laboratoire CEA Pierrelatte

HDR, ESIM Marseille

HDR, ESIM Marseille

Professeur à l'Université Aix-Marseille III

rapporteur

rapporteur

examineur

examineur

examineur

examineur

Année 2000

UNIVERSITE DE DROIT, D'ECONOMIE ET DES SCIENCES  
D'AIX-MARSEILLE  
(Aix-Marseille III)

# Contribution à la fiabilité des interrupteurs haute tension matriciels

THESE

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE DE DROIT, D'ECONOMIE ET DES  
SCIENCES D'AIX-MARSEILLE

*Discipline : Génie Electrique*

Présentée et soutenue

Par

**Yvan LAUSENAZ**

Le 29 septembre 2000

---

*Directeur de thèse : Jean-Michel LI*

---

**Composition du jury :**

Jean-Pierre CHANTE	Professeur à l'INSA de Lyon	rapporteur
Pierre MERLE	Professeur à l'Université Montpellier II	rapporteur
Daniel CHATROUX	Ingénieur, chef de laboratoire CEA Pierrelatte	examineur
Dominique LAFORE	HDR, ESIM Marseille	examineur
Jean-Michel LI	HDR, ESIM Marseille	examineur
Michel THOLOMIER	Professeur à l'Université Aix-Marseille III	examineur

Année 2000

## **AVANT PROPOS**

Les travaux de cette thèse ont été effectués au CEA VALRHO de Pierrelatte (Drome), en collaboration avec l'Ecole Supérieure des Ingénieurs de Marseille (ESIM, Bouches du Rhône) et la société ENERTRONIC basée à S<sup>t</sup> QUENTIN-FALLAVIER (Isère).

Pour avoir prêté intérêt à cette étude, je veux remercier :

Monsieur Jean-Pierre CHANTE, Professeur à l'INSA de Lyon, pour avoir accepté d'être rapporteur de mes travaux,

Monsieur Pierre MERLE, Professeur à l'Université Montpellier II, pour avoir accepté d'être également rapporteur de mes travaux,

Monsieur Michel THOLOMIER, Professeur à l'Université Aix-Marseille III, pour avoir accepté de prendre part à mon jury,

Monsieur Dominique LAFORE, responsable de l'Equipe Electronique de Puissance de l'ESIM pour l'intérêt qu'il a suscité pour cette étude,

Monsieur Jean-Michel LI, mon directeur de thèse, pour son encadrement, son suivi, et pour tout le temps qu'il a passé à corriger ce rapport,

Messieurs Roger MILLY, Laurent GARNIER et Hervé RIGOLE de la société ENERTRONIC, partenaire financier de ma thèse. Je les remercie pour la confiance dont ils ont fait preuve quant à mon implication dans le projet CEP13,

Monsieur Jacques MAURY, chef du Service Laser et Chimie en 1997 pour m'avoir accueilli au CEA de Pierrelatte,

Monsieur Daniel CHATROUX pour encadrement scientifique de grande valeur, mais aussi pour la sympathie et la patience dont il a su fait preuve à mon égard. Je veux aussi le remercier pour son amitié et qu'il sache que ces mots ne sont qu'une petite portion de la reconnaissance que je lui témoigne,

Monsieur Jean-François VILLARD pour son aide précieuse, pour ses remarques judicieuses et pertinentes qui laissaient toujours présager une grosse masse de travail... et pour son amitié,

Mademoiselle Séverine MARC pour sa collaboration à mes travaux durant cette dernière année de thèse, pour son sourire et son amitié. Je lui souhaite bonne continuation et bonne chance pour ses études,

Enfin, tous les membres passé et présent du Laboratoire Electrotechnique et Technologie des lasers à vapeur de Cuivre (ex Laboratoire d'électronique de puissance) :

Guy BERTRAND, Michel BOMBAYL, Bernard CHAUDANSON, Gérard DIDIER, Yves GUYON, Erick LEGUYADEC, Serge MOUILLADE, Philip NOUVEL, Christian PELTIER, Jean RAPISARDA, Philippe REGNARD, Jean-Pierre REYNAUD, Luc SAUTEL,

Ainsi que les gens de passage auxquels j'espère avoir laissé plus que quelques données techniques et tuyaux d'électroniques :

Patrice BRUN, Guillaume CHOTARD, Frédéric COTOGNIO, Pascal COUTANCE, Alexandre DARTIGUES, Eric GAUTIER, Frédéric GIRARD, Cédric GOMEZ, Benoît GRASSET, Jérôme HOUSSIN, Nicolas LAPASSAT, Vincent LEBRE, David NEIGE, Yoan RODRIGUEZ, Bertrand ROUSSEAU, Mickaël TROADEC, Benoît VIGUIER...

*"C'est bien que chacun apporte sa pierre à la science,  
mais s'il n'y a pas d'architecte, on construit  
un tas de cailloux et pas une cathédrale."  
Jean Dorthier*



*A Steph...*

# SOMMAIRE

<b>INTRODUCTION GENERALE .....</b>	<b>10</b>
------------------------------------	-----------

## **CHAPITRE I : THEORIE DE LA FIABILITE .....**

I.1. Définition du vocabulaire.....	12
I.1.1. Fiabilité .....	12
I.1.2. Taux de défaillance .....	13
I.1.3. MTBF.....	14
I.1.4. MTTF .....	16
I.1.5. Disponibilité.....	16
I.2. Fiabilité des associations .....	16
I.2.1. Association série .....	17
I.2.2. Association parallèle .....	18
I.2.3. Association complexe.....	19
I.2.4. Théorie de la redondance .....	20
I.3. Conclusion.....	21
I.4. Références bibliographiques associées au premier chapitre .....	22

## **CHAPITRE II : FIABILITE DES INTERRUPTEURS MATRICIELS.....**

II.1. Mises en série.....	24
II.2. Mises en parallèle.....	25
II.3. Mises en matrice .....	26
II.4. Types de défauts et apparitions.....	28
II.4.1. Défaut de synchronisation des composants.....	29
II.4.2. Défaut engendré par une défaillance aléatoire .....	32
II.4.3. Défaut du à une surcontrainte lors du fonctionnement.....	33
II.4.4. Cyclage thermique .....	35
II.5. Propagation des défauts .....	36
II.5.1. Dans une mise en série.....	39
II.5.2. Dans une mise en parallèle.....	43
II.5.3. Dans une mise en matrice .....	47
II.6. Conclusion .....	50
II.7. Références bibliographiques associées au second chapitre .....	51

## **CHAPITRE III : DEFAILLANCE DES INTERRUPTEURS ELEMENTAIRES UTILISANT DES MOS..... 52**

III.1. Origines de la défaillance des interrupteurs élémentaires MOS.....	52
III.1.1. Vieillissements.....	52
III.1.1.1. Vieillissement par cyclage thermique.....	52
III.1.1.2. Vieillissements intrinsèques.....	55
III.1.2. Surcontraintes électriques.....	57
III.1.2.1. Surtension.....	57
III.1.2.2. Surcourant.....	59
III.1.3. Défaillances aléatoires.....	59
III.2. Critères laissant présager la fiabilité d'un type de composant.....	60
III.2.1. Capacité en courant en écrêtage ou fonctionnement en avalanche.....	60
III.2.2. Aire de sécurité.....	64
III.2.3. Dispersion des caractéristiques.....	65
III.3. Conclusion.....	66
III.4. Références bibliographiques associées au troisième chapitre.....	67

## **CHAPITRE IV : MISE EN ŒUVRE DES SOLUTIONS ASSURANT LA FIABILITE DANS LES MISES EN MATRICE ..... 68**

IV.1. Sélection des composants.....	68
IV.1.1. Test en avalanche.....	69
IV.1.2. Détermination de l'aire de sécurité.....	69
IV.2. Structure de la matrice.....	70
IV.2.1. Dimensionnement.....	70
IV.2.2. Réalisation géométrique.....	74
IV.2.2.1. Aspect tension.....	75
IV.2.2.2. Aspect courant.....	75
IV.2.3. Types de commande nécessaires.....	79
IV.2.3.1. Synchronisation dans la mise en parallèle.....	79
IV.2.3.2. Synchronisation dans les mises en série.....	79
IV.2.3.3. Robustesse.....	82
IV.2.3.4. Synthèse des règles.....	82
IV.2.4. Protections.....	83
IV.2.4.1. Protection en tension.....	83
IV.2.4.2. Protection en courant.....	97
IV.3. Conclusion.....	97
IV.4. Références bibliographiques associées au quatrième chapitre.....	98

## **CHAPITRE V : APPLICATIONS..... 100**

V.1. Cartes à MOS.....	100
V.1.1. Contexte historique.....	100
V.1.2. La carte à MOS ON.....	101
V.1.2.1. Structure.....	102
V.1.2.2. Application.....	102
V.1.3. La carte à MOS ON OFF CC.....	103
V.2. Carte à diodes.....	108
V.3. Carte à thyristors.....	110
V.3.1. Commande.....	110
V.3.2. Courant.....	111
V.3.3. Tension.....	111
V.3.4. Application.....	112
V.4. Conclusion.....	114

## **CONCLUSION GENERALE ..... 115**

## **ANNEXES ..... 117**

VI.1. Calculs des surcontraintes électriques engendrées dans une matrice lors de la défaillance d'un élément.....	117
VI.1.1. Introduction et hypothèses.....	117
VI.1.2. Hypothèse de tension constante sur la matrice.....	119
VI.1.2.1. Détermination des expressions des surtensions.....	119
VI.1.2.2. Détermination des expressions des surcourants.....	120
VI.1.3. Hypothèse du courant constant dans la matrice.....	120
VI.1.3.1. Détermination des expressions des surtensions.....	120
VI.1.3.2. Détermination des expressions des surcourants.....	121
VI.1.4. Récapitulatif des résultats.....	122
VI.1.5. Cas extrêmes sur l'impédance du composant défaillant.....	122
VI.1.5.1. Défaillance en mode faible impédance $Z_{def} \lll Z_0$ .....	123
VI.1.5.2. Défaillance en mode haute impédance $Z_{def} \ggg Z_0$ .....	123
VI.2. EASY MACHINE ; banc de caractérisation des composants en régime d'autolimitation en courant et détermination de l'aire de sécurité.....	124
VI.2.1. Introduction.....	124
VI.2.2. Banc de test.....	124
VI.2.2.1. Principe.....	124
VI.2.2.2. Mode d'utilisation.....	124
VI.2.2.3. Réalisation.....	124
VI.2.2.4. Intégration.....	125
VI.2.3. Exemple de résultats.....	126
VI.2.4. Conclusion.....	128
VI.3. MACHINES A AVALANCHE ; bancs de caractérisation des composants en régime d'avalanche fort courant et temps faible.....	129
VI.3.1. Introduction.....	129
VI.3.2. Machine à avalanche I.....	129
VI.3.3. Machine à avalanche II.....	131
VI.3.4. Machine à avalanche III.....	131
VI.3.4.1. Besoin.....	131
VI.3.4.2. Réalisation.....	132

# Introduction générale

Tous les niveaux de l'électronique de puissance sont en constante évolution :

L'électronique qualifiable de très forte puissance bénéficie d'un vaste champ d'action avec le domaine des transports électriques. Alors que les transports ferroviaires extra urbain, mais aussi intra urbain avec le tramway et le métro, sont en pleine expansion, le véhicule électrique atteint le stade industriel à grand renfort d'études et de recherches.

La recherche et l'industrie sont également très demandeurs d'alimentations et de convertisseurs de très forte puissance pour le fonctionnement de leurs installations.

Les grands organismes de recherche comme le CEA, bien entendu, mais aussi comme ceux des accélérateurs de particules ESRF, CERN, des Tokamak... ont des besoins en électronique de puissance grandissants avec des exigences concernant la qualité (rendement, performance et fiabilité) de plus en plus affirmées.

L'industrie se modernise et, à ce titre, leurs besoins en électronique vont croissant. Les traitements de surface, les dépôts métalliques, les traitements alimentaires et les traitements des eaux par champs pulsés sont autant d'exemples de nouvelles disciplines demandeuses d'équipements.

L'émergence de l'aire de la communication apporte, elle aussi, son lot de besoins en équipements faisant appel à l'électronique de puissance. Le multimédia engendre la production en masse d'alimentations à découpage, la téléphonie mobile, et les réseaux de communication hertziens en général, contribuent à une expansion de la recherche en communication.

Certains produits de très grande consommation font appel aux technologies de l'électronique de puissance. Par exemple, les lampes à basse consommation possèdent, dans un culot qui se veut de plus en plus petit, un redresseur hacheur élévateur destiné à l'alimentation du tube.

Aujourd'hui, les exigences des équipements d'électronique de puissance sont fortes, tant sur le plan des performances que sur celui de la qualité et de la fiabilité. Paradoxalement, les coûts doivent être de plus en plus réduits pour répondre aux lois du marché de la consommation.

Pour satisfaire à cette attente de fiabilité et de performances bon marché, de nombreux composants très standard, produits en très gros volumes, sont développés. Par contre, la réalisation de produits spécifiques se heurte au dilemme suivant : soit on fait produire les composants spéciaux, avec les problèmes de délai, de surcoût d'approvisionnement et éventuellement de qualité et de fiabilité, soit on utilise les composants standard les plus appropriés dans une topologie adaptée.

C'est cette dernière façon innovante de concevoir l'électronique de puissance qu'a adoptée le CEA de Pierrelatte pour le développement de ses convertisseurs impulsions haute tension.

La technique consiste à utiliser des composants couramment utilisés, donc de grande série, et à les associer en grand nombre. Les structures matricielles réalisées constituent des macro interrupteurs où les paramètres électriques tension et courant se répartissent entre les composants pilotés de façon synchronisée.

L'objet de cette étude est la considération de la fiabilité de ces structures matricielles permettant la réalisation d'interrupteur haute tension.

Après une présentation du vocabulaire et des principes de la fiabilité nécessaires à notre domaine d'étude dans le premier chapitre, nous présenterons dans le second chapitre la fiabilité des interrupteurs matriciels avec leur structure et les règles de propagation des défaillances.

Les MOS étant les composants privilégiés de notre étude, le troisième chapitre sera consacré à l'étude de leurs différents modes de défaillance.

Grâce aux considérations de fiabilité des matrices et à l'analyse de la défaillance des MOS, nous présenterons dans le quatrième chapitre la mise en œuvre des solutions assurant la fiabilité des commutateurs basés sur la structure matricielle.

Le dernier chapitre présentera des réalisations matricielles avec notamment un nouveau produit utilisant la mise en matrice de MOS, fiable d'une grande robustesse et ayant atteint le stade industriel.

# CHAPITRE I : THEORIE DE LA FIABILITE

Le concept de la fiabilité est très ancien. Dès que l'homme créa son premier outil, il fut préoccupé et dépendant de la façon dont l'objet répondait à son attente.

La théorie de la fiabilité et aujourd'hui un domaine d'étude à part entière qui possède son vocabulaire, ses techniques de calcul... Cette science, tout comme les mathématiques, a la particularité d'être à la fois une science autonome dont traitent de nombreux ouvrages [1] [2], et un outil applicable à toutes les autres [3] [4] [5].

Faire une étude de fiabilité sur un domaine tel que l'Electronique de Puissance nécessite de connaître le vocabulaire spécifique ainsi que les techniques de calcul. Rappelons que la fiabilité doit être perçue ici comme un outil, appliqué dans notre cas à l'Electronique de Puissance. Toutes les définitions ainsi que tous les concepts présentés le sont de manière à s'appliquer à notre domaine d'étude : l'Electronique de Puissance.

## I.1. Définition du vocabulaire

Nous détaillerons dans ce chapitre le vocabulaire, emprunté à la fiabilité, que nous utiliserons pour étudier les interrupteurs haute tension matriciels. Il n'est pas question ici de présenter et d'expliquer tout le vocabulaire de la fiabilité, à l'instar des ouvrages spécialisés [1] [2].

### I.1.1. Fiabilité

La définition de la fiabilité est la suivante :

« Aptitude d'un dispositif à accomplir une fonction requise, dans des conditions données, pendant une durée donnée.

Le terme fiabilité est aussi utilisé comme caractéristique de fiabilité désignant une probabilité de succès ou un pourcentage de succès. »

La fiabilité d'un système se note  $R(t)$  :

$$R(t) = \text{probabilité (système non défailant sur } [0,t]) \quad (\text{I-1})$$

Il en résulte que la fiabilité  $R(t)$  est une fonction du temps, non croissante (pour un système donné), dont la valeur est comprise entre 0 et 1. Pour les cas qui nous intéressent, la fiabilité d'un composant électronique n'est pas uniquement fonction du temps mais aussi de ses conditions d'utilisation électriques, thermiques, etc...

Les lois de fiabilité sont connues par l'observation de populations présentant de nombreux éléments. Par exemple en mécanique, la défaillance est décrite par une loi gaussienne traduisant l'usure des systèmes.

**En électronique, la probabilité d'occurrence d'une défaillance apparaît indépendante du temps pendant une période dite "de vie utile". Une loi de type exponentielle décrit alors la fiabilité d'un système.**

$$R(t) = e^{-\lambda t} \quad (I-2)$$

$\lambda$  est constant et se nomme le taux de défaillance de la population observée.

### I.1.2. Taux de défaillance

Le taux de défaillance est l'une des deux grandeurs les plus utilisées pour qualifier la fiabilité d'un objet, d'un élément ou d'un système regroupant plusieurs éléments. Il s'agit de la probabilité moyenne de défaillance ramenée à un intervalle de temps.

$$\lambda_{[t_1, t_2]} = \frac{\text{probabilité (système non défaillant sur } [t_1, t_2])}{(t_2 - t_1)} \quad (I-3)$$

$t_1$  et  $t_2$  définissent l'intervalle de temps durant lequel on qualifie le taux de fiabilité, le système étant supposé non défaillant à l'instant  $t_1$ .

Cette grandeur s'exprime en FIT (Failure In Time). En ce qui concerne les composants électroniques, la qualité de fabrication actuelle leur permet d'avoir des taux de défaillance de l'ordre de  $10^{-9}$  /h (ce qui équivaut à 1 FIT) [3]. De plus, l'évolution du taux de défaillance des composants en fonction du temps est décrite par une courbe en forme de baignoire (dont elle porte d'ailleurs le nom).

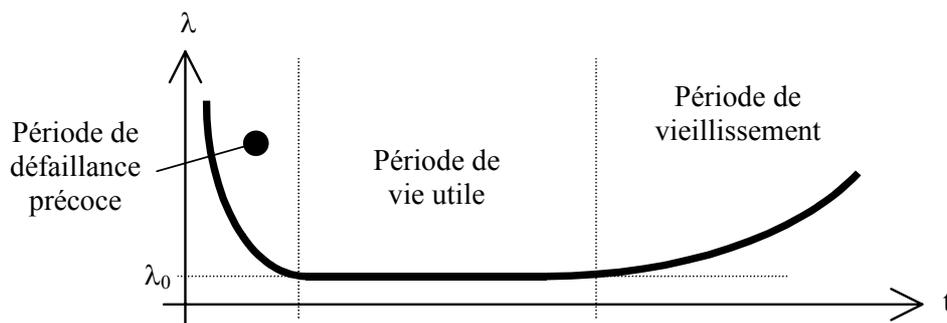


Figure I.1 : évolution du taux de défaillance en fonction du temps ; courbe dite en baignoire

Cette courbe est constituée de trois zones distinctes présentées chronologiquement ci-dessous :

- La première zone est celle où le taux de défaillance  $\lambda$  décroît avec le temps jusqu'à une valeur  $\lambda_0$  (ceci correspond logiquement à une augmentation de la fiabilité de la population considérée). Cette zone est celle de la **défaillance précoce** (Infantile mortality ou Early failure).

Ces défaillances précoces sont généralement dues à des problèmes lors de la fabrication des composants. La fragilité qui en résulte occasionne leur défaillance dès les premiers instants de fonctionnement. Ainsi, la fiabilité de la population considérée augmente avec le temps car les composants les plus faibles sont rapidement éliminés.

Aujourd'hui, on peut considérer que les défaillances occasionnées par ces problèmes de jeunesse ne sont significatives que sur les ensembles électroniques. Pour palier ce problème, les produits peuvent être soumis à des essais préliminaires sur le lieu de fabrication même avant la livraison des ensembles. Ces séances dites de déverminages permettent au client de ne pas se soucier de cette période de défaillance précoce. En contrepartie, elles peuvent représenter une part significative du coût du produit.

- La seconde zone est celle où le taux de défaillance  $\lambda$  est constant en fonction du temps : c'est **la zone de vie utile** (Useful life ou constant failure rate region). Il s'agit d'une zone où on considère que le composant ou le système considéré possède une fiabilité constante ( $\lambda_0$ ) quelle que soit la durée depuis laquelle il est en fonctionnement . Ceci correspond à une période où les défaillances sont dues à des phénomènes aléatoires (par exemple, déplacement de charges piégées dans le silicium pour un transistor, sous l'action des différents champs électriques auxquels il est soumis [8]). Nous pouvons noter que certains fabricants de composants présentent des courbes en baignoire dont le taux de défaillance décroît durant la période de vie utile [6]. Bien que cette forme de courbe soit sans doute issue d'observations, elle rend toute évaluation de fiabilité des sous-ensembles difficile. Bien entendu, le taux de défaillance reste fonction de paramètres extérieurs modifiant les conditions de fonctionnement tels que le taux d'humidité, la température... La plupart des taux de défaillances donnés par les constructeurs de composants [6] [7] font référence à cette zone. Ils permettent ainsi des évaluations de fiabilité relativement simples, car indépendantes du temps [3].
- La troisième et dernière zone est la **zone de vieillissement** (Wearout en anglais), où le taux de défaillance  $\lambda$  augmente avec le temps. Ceci correspond à la période où les défaillances deviennent de plus en plus courantes du fait des phénomènes d'usure que présentent les composants.

Notons que, quelle que soit la partie de la courbe en baignoire considérée, le taux de défaillance du composant associé dépend à la fois du composant proprement dit, mais aussi de son environnement et de ses conditions d'utilisation.

Pour la majeure partie des composants, la courbe en baignoire qui leur est associée possède une zone de vie utile si étendue dans le temps que la période de vieillissement n'est jamais atteinte durant la période d'utilisation du composant.

Il existe cependant des composants qui ne possèdent pas de période de vie dite utile [3]. Ce sont les composants dont la durée de vie est principalement déterminée par leur vieillissement. D'une façon générale, il s'agit des composants subissant une usure chimique ou mécanique. La liste exhaustive de ces familles de composants est la suivante [3] : les relais, les condensateurs à l'aluminium à électrolyte liquide, les diodes, les photocoupleurs, les transistors de puissance en fonctionnement cyclique, les connecteurs et les commutateurs et claviers.

### I.1.3. MTBF

Pour être calculée ou évaluée, la fiabilité est associée à une grandeur appelée MTBF (Mean Time Between Failure). Cette grandeur, qui est la seconde grandeur principale servant à caractériser la fiabilité des systèmes, est le temps moyen entre deux pannes consécutives sur le système considéré.

Mathématiquement, le MTBF s'exprime en heure par :

$$MTBF = \int_0^{\infty} R(t) dt \quad (I-4)$$

Dans le cas d'une fonction de défaillance décrite par la loi exponentielle, le MTBF s'écrit alors :

$$\text{MTBF} = \int_0^{\infty} e^{-\lambda t} dt = \frac{1}{\lambda} \quad (\text{I-5})$$

Comme pour le taux de défaillance, le MTBF est défini suivant des conditions de fonctionnement et d'environnement du système ou de l'élément considéré.

Prenons le cas d'un composant électronique : une diode de puissance. Le recueil de données du CNET [3] nous donne l'expression du taux de défaillance du composant en fonction de ses conditions d'utilisation. Il s'exprime en fonction d'un taux de défaillance de référence  $\lambda_0$  et de facteurs d'influence  $\pi$  :

$$\lambda = \lambda_0 \cdot \pi_t \cdot \pi_T \cdot \pi_U \cdot \pi_E \cdot \pi_q \cdot 10^{-9} / \text{h}$$

$\lambda$ , le taux de défaillance de la diode considérée dépend de :

- $\lambda_0$  taux de défaillance de référence suivant le calibre en courant de 10 à 100
- $\pi_t$  facteur d'influence de la température de 0,3 à 100
- $\pi_T$  facteur d'influence lié au type de diode (rapide, Schottky...) de 1 à 10
- $\pi_U$  facteur d'influence lié au mode d'utilisation (régulation...) de 1 à 10
- $\pi_E$  facteur d'influence traduisant l'environnement mécanique de 0,5 à 20
- $\pi_q$  facteur d'influence lié aux suivis éventuels de fabrication de 0,2 à 2

Détaillons le facteur d'influence de la température  $\pi_t$ . Le recueil de données du CNET nous donne la valeur de  $\pi_t$  en fonction de la température de jonction  $t_j$  du composant avec l'expression mathématique et l'abaque associé :

$$\pi_t = e^{4640 \left( \frac{1}{313} - \frac{1}{t_j + 273} \right)}$$

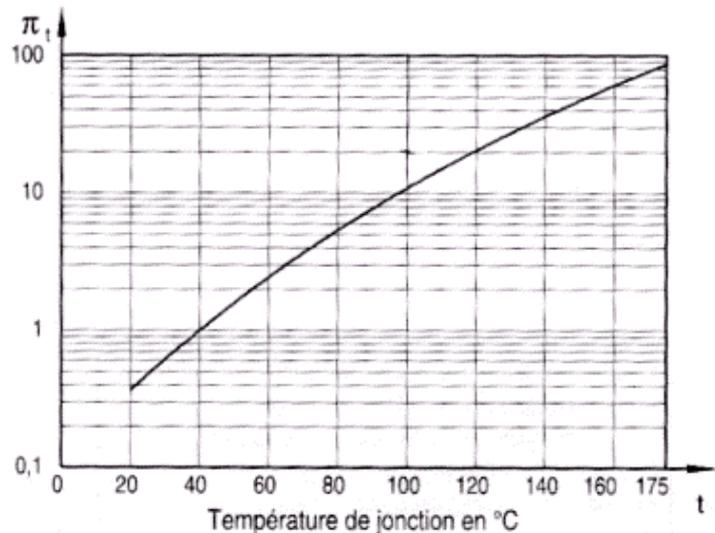


Figure I.2 : abaque du facteur d'influence  $\pi_t$  en fonction de la température de jonction  $t_j$

On note que l'influence de la température de fonctionnement est très importante sur la durée de vie moyenne du composant. Selon la température d'utilisation du composant, le taux de défaillance augmente en effet de deux ordres de grandeur.

Notons que le MTBF ne doit pas être confondu avec le Temps Moyen de Bon Fonctionnement (comme les initiales pourraient le laisser présager). Le Temps Moyen de Bon Fonctionnement (Mean Time To Failure en anglais) est noté MTTF.

#### I.1.4. MTTF

Le Temps Moyen de Bon Fonctionnement (Mean Time To Failure) est noté MTTF. Le MTTF se différencie du MTBF par le temps moyen de défaillance, en clair le temps moyen de réparation, noté MDT (Mean Down Time) tel que :

$$\text{MTBF} = \text{MTTF} + \text{MDT}$$

Pour les systèmes non réparables, le MTTF est égal au MTBF.

#### I.1.5. Disponibilité

La disponibilité  $D(t)$  d'un système est la probabilité pour qu'il soit non défaillant à l'instant  $t$ . On remarque que dans le cas des systèmes non réparables, les définitions de la disponibilité et de la fiabilité sont identiques [1].

La disponibilité se démarque de la fiabilité dès lors qu'un système est réparable.

Par exemple, la possibilité de surveillance d'un système afin d'anticiper sa défaillance et de l'éviter permet d'accroître la disponibilité et non la fiabilité : les défaillances seront toujours aussi probables, mais la surveillance et la réparation rendent le système considéré plus disponible.

## I.2. Fiabilité des associations

D'un point de vue étude de la fiabilité, tous les systèmes peuvent être considérés comme des associations de sous-systèmes ou d'éléments de base.

L'évaluation de la fiabilité d'un système se fait grâce à la connaissance :

- ↳ de celle des éléments de base,
- ↳ des lois de probabilité sur les événements régissant la fiabilité des sous-ensembles.

Pour plus de simplicité dans la présentation et l'explication des exemples, nous nous placerons dans le cas habituel en électronique des systèmes non réparables. Les éléments de base sont alors les composants.

Il existe deux types d'association de base : l'association dite série (la plus courante) et l'association de type parallèle, où intervient la notion de redondance.

**Attention ! Notons d'ors et déjà que les définitions de connexions série et parallèle différent selon les contextes ! En effet, elles ne sont pas les mêmes si on considère l'aspect purement fiabilité, ou si on parle de connexion au sens électrique.**

Par exemple, nous verrons plus tard qu'une connexion de composants en série du point de vue électrique peut engendrer une structure parallèle au sens de la fiabilité.

### I.2.1. Association série

Le cas le plus courant des associations de systèmes est l'association dite série. Elle correspond au cas où la défaillance du système est engendrée par la défaillance d'au moins un de ses sous-systèmes.

Prenons le cas d'un système composé de 3 éléments (ou sous-système) A, B et C. La défaillance de l'ensemble s'exprimera ainsi :

$$\text{Défaillance(Système)} = \text{Défaillance(A)} \vee \text{Défaillance(B)} \vee \text{Défaillance(C)}$$

Pour le cas général d'un système composé de S éléments (E) associés en série, le diagramme de défaillance associé se représente comme suit :



Figure I.3 : diagramme de l'association dite série

La loi de fiabilité R(t) d'un tel système s'exprime de la façon suivante :

$$R_{\text{système}}(t) = \prod_{i=1}^{i=S} R_{E_i}(t) = e^{-\sum_{i=1}^{i=S} \lambda_i t}$$

Il en résulte que ce type d'association répond aussi à une loi de fiabilité de type exponentielle associée à un taux de défaillance égal à la somme des taux de défaillance des sous-ensembles pris séparément :

$$\lambda_{\text{système}} = \sum_{i=1}^{i=S} \lambda_i$$

Le temps moyen de bon fonctionnement MTTF (temps moyen entre deux pannes MTBF dans notre cas du système non réparable) vaut alors (Cf (I-5)) :

$$\text{MTBF}_{\text{système}} = \frac{1}{\lambda_{\text{système}}} = \frac{1}{\sum_{i=1}^{i=S} \lambda_i}$$

Prenons par exemple le cas particulier d'un système constitué de S éléments associés en série et de fiabilité identique. Dans ce cas, le temps moyen entre deux pannes du système ( $\text{MTBF}_{\text{système}}$ ) s'exprime en fonction du temps moyen entre deux pannes d'un des éléments ( $\text{MTBF}_E$ ) comme suit :

$$\text{MTBF}_{\text{système}} = \frac{\text{MTBF}_E}{S}$$

Et de même :

$$\lambda_{\text{système}} = S \lambda_E$$

**Pour conclure sur la mise en série d'éléments, on note que ce mode d'association est le mode traditionnel associé à l'électronique. Chaque composant possède une fonction précise et nécessaire au fonctionnement de l'ensemble. Il en résulte que sa défaillance entraîne une défaillance de l'ensemble.**

### I.2.2. Association parallèle

Le second type d'association de base en fiabilité est l'association dite parallèle. Dans ce mode de connexion des éléments, la défaillance du système intervient lors de la défaillance de tous les sous-systèmes. Cette capacité qu'ont les sous-systèmes à assurer, de façon indépendante, le fonctionnement du système global se nomme la redondance totale. On qualifie de fonctionnement en mode dégradé, le fonctionnement du système privé d'au moins un de ses éléments (défaillance).

Prenons le cas d'un système composé de 3 éléments (ou sous-système) en parallèle. La défaillance de l'ensemble s'exprimera ainsi :

$$\text{Défaillance}(\text{Système}) = \text{Défaillance}(A) \wedge \text{Défaillance}(B) \wedge \text{Défaillance}(C)$$

Pour le cas général d'un système composé de P éléments (E) associés en parallèle, le diagramme de défaillance associé se représente comme suit :

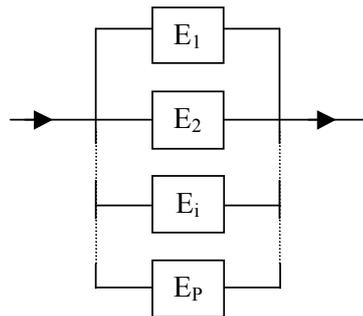


Figure I.4 : diagramme de l'association dite parallèle

La loi de fiabilité  $R(t)$  d'un tel système s'exprime de la façon suivante :

la probabilité de défaillance de chaque sous-système  $E_i$  est naturellement le complémentaire sur 1 de sa probabilité de non-défaillance. Comme nous l'avons vu, cette probabilité de non-défaillance se nomme fiabilité et se note  $R(t)$  (C.f. (I-1)).

Lorsque tous les sous-systèmes  $E_i$  sont indépendants, la probabilité de défaillance de l'ensemble est le produit de celle des sous-systèmes :

$$1 - R_{\text{système}}(t) = \prod_{i=1}^{i=P} (1 - R_{E_i}(t))$$

L'application à la loi exponentielle liée à la fiabilité de l'électronique nous donne :

$$R_{\text{système}}(t) = 1 - \prod_{i=1}^{i=P} (1 - e^{-\lambda_{E_i} t})$$

Prenons le cas particulier d'un système constitué de P éléments indépendants associés en parallèle et de fiabilité ( $\lambda_E$ ) identique. Dans ce cas, la loi de fiabilité du système vaut alors :

$$R_{\text{système}}(t) = 1 - (1 - e^{-\lambda_E t})^P$$

Le temps moyen entre deux pannes du système ( $MTBF_{\text{système}}$ ) s'exprime alors en fonction du temps moyen entre deux pannes d'un des éléments ( $MTBF_E$ ) comme suit :

$$MTBF_{\text{système}} = \int_0^{\infty} R_{\text{système}}(t) dt \quad (\text{C.f. (I-4)})$$

$$\Rightarrow MTBF_{\text{système}} = MTBF_E \times \sum_{i=1}^{i=P} \frac{1}{i} \quad (\text{I-6})$$

Grâce à cette formule, on peut plus aisément exprimer le gain sur le MTBF du système dans le cas de la mise en parallèle d'éléments indépendants et identiques (de fiabilité égale).

1 élément	$\Rightarrow MTBF_{\text{système}} = MTBF_E$	
2 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 1,5$	$\Rightarrow$ gain de 50%
3 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 1,83$	$\Rightarrow$ gain de 83%
4 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 2,08$	$\Rightarrow$ gain de 108%
5 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 2,28$	$\Rightarrow$ gain de 128%
6 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 2,45$	$\Rightarrow$ gain de 145%
7 éléments	$\Rightarrow MTBF_{\text{système}} = MTBF_E \times 2,59$	$\Rightarrow$ gain de 159%

Au-delà de 7 éléments en parallèle, le gain sur le MTBF du système, et donc en fiabilité, n'est plus significatif. Ce type de calcul est basé sur l'hypothèse qu'aucune maintenance n'est effectuée sur le système. Ceci explique pourquoi le gain sur le MTBF est relativement faible par rapport au surdimensionnement effectué.

**En pratique, la redondance augmente la fiabilité, mais pas de façon suffisamment significative pour se justifier. Elle est utilisée pour augmenter la disponibilité avec la possibilité de mise en place d'une maintenance préventive (C.f. I.2.4).**

### I.2.3. Association complexe

Une association complexe d'éléments est une association faisant intervenir à la fois des associations série et parallèle. Un exemple d'un tel système est représenté sur la figure ci-dessous.

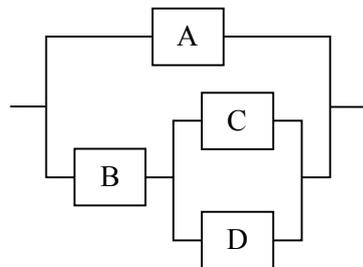


Figure I.5 : diagramme de l'association dite complexe

Pour ce cas d'association complexe, la défaillance de l'ensemble s'exprimera ainsi :  
 Défaillance(Système) = Défaillance(A)  $\wedge$  [Défaillance(B)  $\vee$  (Défaillance(C)  $\wedge$  Défaillance(D))]

Notons pour finir un cas particulier de l'association complexe. Il s'agit du cas où les éléments sont associés de façon à représenter une matrice. Dans ce cas, le système peut être considéré à la fois comme une mise en parallèle d'éléments associés en série et comme une mise en série d'éléments associés en parallèle.

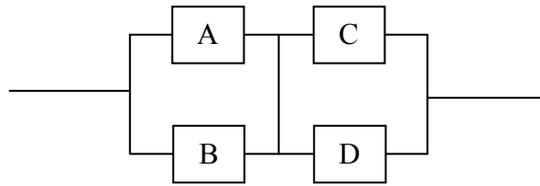


Figure I.6 : diagramme de l'association dite matricielle

Pour ce cas d'association matricielle, la défaillance de l'ensemble s'exprimera indifféremment comme suit :

$$\begin{aligned} \text{Défaillance(Système)} &= [\text{Défaillance(A)} \wedge \text{Défaillance(B)}] \vee [(\text{Défaillance(C)} \wedge \text{Défaillance(D)})] \\ &= [\text{Défaillance(A)} \vee \text{Défaillance(C)}] \wedge [(\text{Défaillance(B)} \vee \text{Défaillance(D)})] \end{aligned}$$

#### I.2.4. Théorie de la redondance

En pratique, la redondance appliquée à un système électronique permet un gain considérable sur sa disponibilité plus que sur sa fiabilité. La capacité du système à fonctionner malgré la perte de composants permet de mettre en place une politique de maintenance. Elle consiste à surveiller le système (mesure du nombre de composants défaillants par rapport au nombre total initialement en état) et de décider s'il y a lieu d'intervenir (réparation par remplacement des composants défaillants). Cette action permet d'anticiper la défaillance du dernier composant nécessaire au fonctionnement du système et donc d'augmenter sa fiabilité.

De plus, (I-6) sous-entend que le MTBF des éléments reste constant quel que soit le nombre de composants encore en service. Cette hypothèse n'est en pratique jamais vérifiée : la perte d'un élément d'une mise en parallèle (au sens de la fiabilité) engendre toujours une modification des contraintes appliquées aux éléments encore en service : leur taux de défaillance, et donc leur MTBF, est alors modifié.

Cette technique de répétition de la fonction se nomme redondance. Elle permet, lors de l'application d'une politique de surveillance et de maintenance, d'assurer une grande disponibilité du système.

Le cas de base de la redondance où, à tout instant, les éléments non défaillants sont en fonctionnement, est qualifié de redondance active. On parle de redondance totale quand la présence d'un seul composant non défaillant suffit au fonctionnement du système.

A la **redondance active totale**, s'ajoutent d'autres cas :

##### **La redondance partielle :**

Dans le cas de la redondance partielle, un nombre minimum (>1) d'éléments non-défaillants est nécessaire au fonctionnement du système.

Concrètement, on peut citer le cas des alimentations continues basse tension des centraux téléphoniques. La fiabilité de tels équipements doit être grande pour assurer le service téléphonique 24h/24h sans surveillance particulière.

Les alimentations continues basse tension des centraux téléphoniques sont composées de plusieurs alimentations connectées électriquement en parallèle.

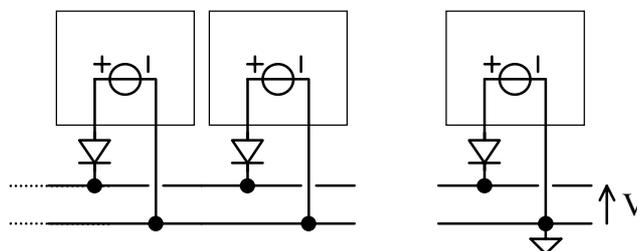


Figure I.7 : connexion en parallèle d'alimentations basse tension

Le nombre d'alimentations connectées en parallèle est supérieur au nombre minimal nécessaire au fonctionnement de l'ensemble. La maintenance d'une telle installation consiste alors à surveiller de façon ponctuelle et à remplacer les éventuelles alimentations défectueuses. La disponibilité du système peut atteindre 99,99%.

#### **La redondance passive :**

Dans le cas de la redondance passive, tous les éléments non défectueux ne sont pas en service. On met en service un nombre  $n$  de composants, parmi les  $p$  associés en parallèle, afin d'assurer la présence du nombre minimum d'éléments nécessaire au fonctionnement de l'ensemble.

### **I.3. Conclusion**

Lors de la considération de la fiabilité d'un système, il apparaît primordial de considérer la fiabilité des éléments pris indépendamment :

**On augmente la fiabilité d'un système en le réalisant avec des éléments plus fiables.**

Un autre point important concerne le type d'association utilisé pour les composants et notamment leur mise en parallèle.

**La redondance permet, outre l'augmentation de la fiabilité par répétition des fonctions sensibles, la mise en place d'une politique de maintenance visant à accroître la disponibilité.**

Cette façon d'augmenter la fiabilité et la disponibilité des systèmes est peu utilisée. La redondance engendre un surcoût qui ne trouve pas forcément sa justification vis à vis de l'utilisation du produit considéré.

Une solution résiderait dans un type de structure possédant une redondance naturelle. On bénéficierait alors d'une très grande disponibilité, sans surcoût financier.

#### **I.4. Références bibliographiques associées au premier chapitre**

[1] A. PAGES, M. GONDRAN, *Fiabilité des systèmes*, Collection de la Direction des Etudes et Recherches d'Electricité de France, Edition Eyrolles, Paris 1980.

[2] T.I. BAJENESCU, M.I. BÂZU, *Reliability of electronic components*, Edition Springer, Berlin 1999

[3] CNET, *Composants Electroniques, Recueil de données de fiabilité* (norme UTE C 80-810), juin 1997.

[4] ASTE, *fiabilité des composants électroniques*. Edition 1991, (disponible au 01 42 66 58 29).

[5] F. RICHARDEAU, P. BAUDESSON, *Eléments d'Analyse Prévisionnelle de la Sûreté de Fonctionnement, application aux semi-conducteurs de puissance*, Note interne LEEI du 12 avril 1999.

[6] Motorola, Reliability Audit Report Third Quarter 1992.

[7] International Rectifier, Designer's Manual Vol. 1, Application Notes Reliability Data 1993.

[8] International Rectifier, Fifty Fourth Quarterly report : *Environmental stress and failure modes* Chap. 6-3.



# CHAPITRE II : FIABILITE DES INTERRUPTEURS MATRICIELS

L'objectif de ce second chapitre, intitulé Fiabilité des Interrupteurs Matriciels, est multiple. Dans un premier temps, nous présenterons la structure dite matricielle en Electronique de Puissance. Puis, nous étudierons les défaillances typiques et leurs modes de propagation dans ce type d'association.

## II.1. Mises en série

La structure de mise en série de composants semi-conducteurs, pour réaliser des interrupteurs haute tension, est un type d'association ayant donné lieu à de nombreuses études (parmi lesquelles [1] fait référence). Le Laboratoire Electrotechnique et Technologie des lasers à vapeur de Cuivre (LETC, ex- Laboratoire d'Electronique de Puissance (LEP) du Service Laser et Chimie (SLC) du CEA de Pierrelatte) dirigé par Monsieur Daniel CHATROUX, possède une expérience de nombreuses années, grâce aux études et aux travaux réalisés en collaboration avec Monsieur Dominique LAFORE de l'Ecole Supérieure des Ingénieurs de Marseille (ESIM). Nous pouvons notamment citer les travaux effectués sur le sujet par Messieurs Rodolphe GUIDINI et Nicolas LAPASSAT qui ont conduit à l'obtention de leur diplôme de Doctorat [2] [3].

La mise en série, au sens électrique du terme, est un type d'association connu. S'il fallait en donner une définition, elle pourrait être la suivante :

**« La mise en série de composants est le type d'association où, en régime statique, tous les composants voient le même courant les traversant et/ou où ils se répartissent la tension globale. »**

Un cas particulier est la mise en série de composants identiques. On entend par là des composants présentant la même impédance dans l'état considéré.

Appliquons cette définition à un composant pilotable, tel que le transistor MOS qui fut le composant privilégié de nos études. Les considérations énoncées ci-dessous peuvent bien entendu être extrapolées à d'autres composants pilotables tels que les IGBTs et les thyristors, mais aussi aux diodes et aux composants passifs. Le schéma suivant représente une mise en série de composants ouverts, puis fermés :

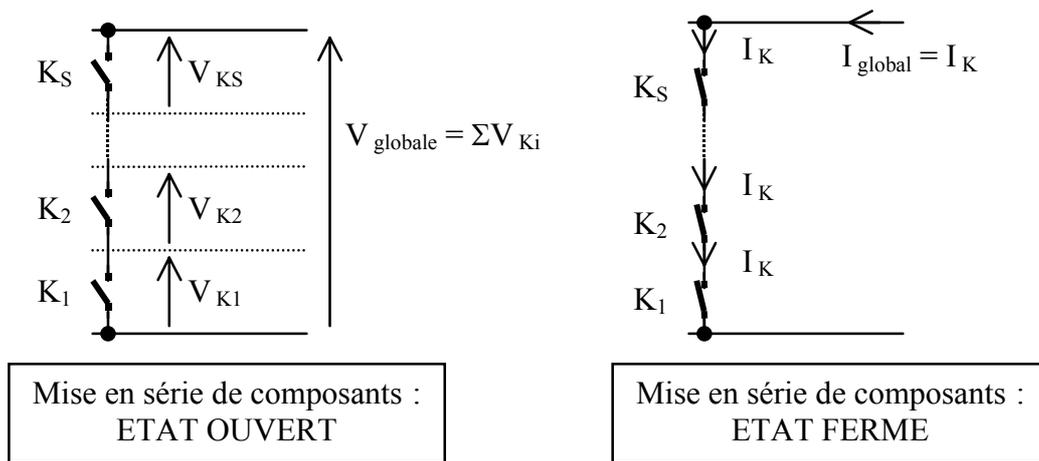


Figure II.1 : mise en série de composants élémentaires, répartition des tensions et courants en régime statique

## II.2. Mises en parallèle

La mise en parallèle de composants est l'association duale de la mise en série. Elle permet donc la réalisation de systèmes dont le calibre en courant est supérieur à celui des éléments unitaires.

Comme pour la mise en série, de nombreux travaux concernent le domaine de la mise en parallèle. Nous pouvons notamment citer ceux effectués à l'ESIM par Monsieur Dominique LAFORE.

La mise en parallèle, toujours au sens électrique du terme, est un type d'association que l'on peut définir ainsi :

**« La mise en parallèle de composants est le type d'association où, en régime statique, tous les composants voient la même tension à leurs bornes et/ou où ils se répartissent le courant global. »**

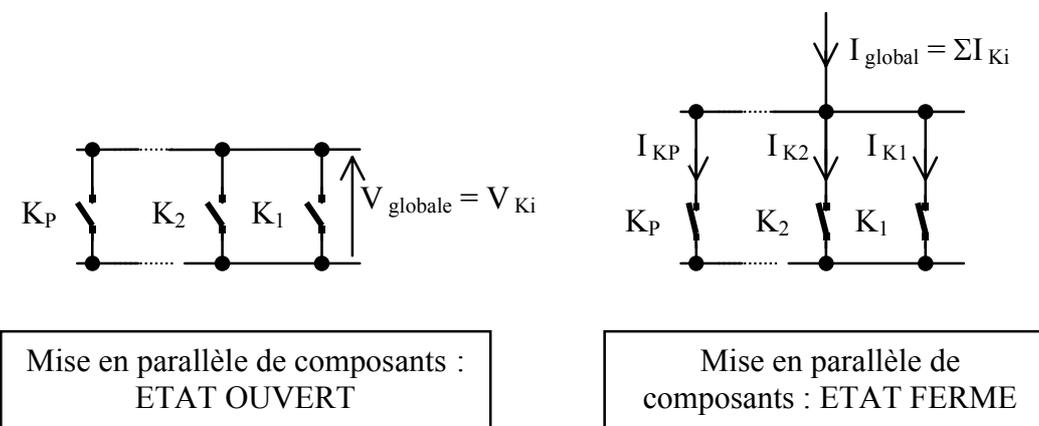


Figure II.2 : mise en parallèle de composants élémentaires, répartition des tensions et courants en régime statique

## II.3. Mises en matrice

**La mise en matrice de composants, pour donner lieu à une association dite matricielle, est l'association de composants où interviennent à la fois les principes de mise en série et de mise en parallèle.**

Les deux cas de base de l'association matricielle sont la mise en série d'éléments en parallèle et la mise en parallèle d'éléments en série. Les figures suivantes illustrent ces deux cas particuliers de matrices :

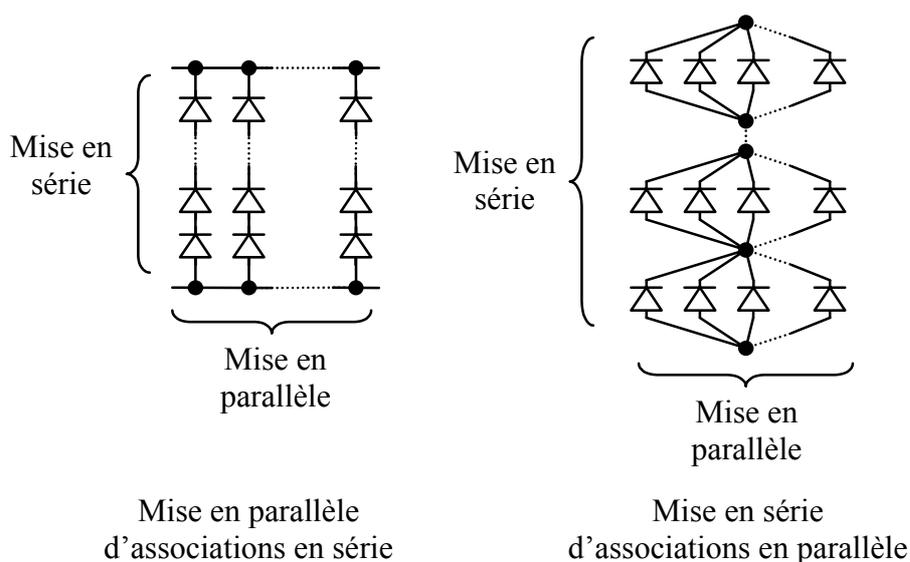


Figure II.3 : cas de base de mises en matrice de composants

A ces deux cas de base s'ajoutent toutes les combinaisons intermédiaires dans lesquelles chaque composant peut lui-même être remplacé par une association série ou parallèle. Quelques exemples sont représentés sur la figure suivante :

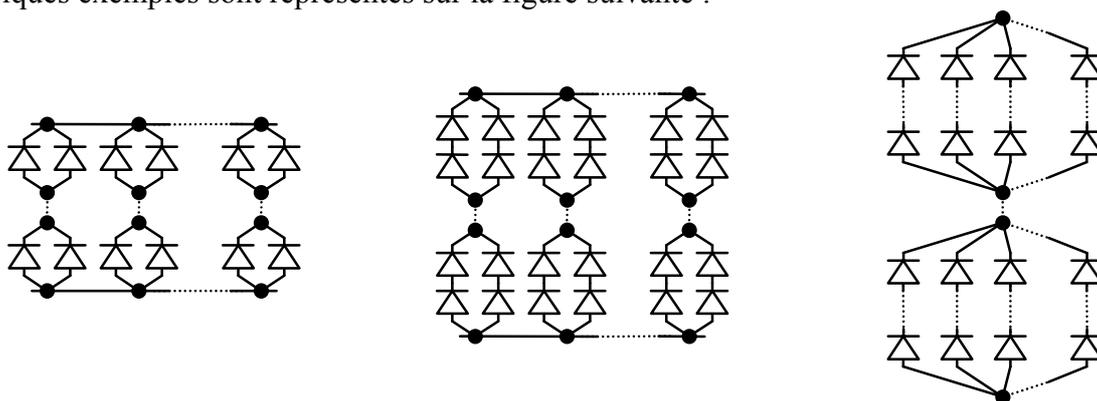


Figure II.4 : divers exemples de mises en matrice

Le nombre de possibilités est infini. Cela dit, les principales associations matricielles généralement réalisées sont simples de part le nombre de composants mis en jeu et de part la structure retenue. On notera également que tous les cas de matrice peuvent être définis comme la mise en série de systèmes ou bien la mise en parallèle de systèmes, ceux-ci étant eux-mêmes des associations série, parallèle voir même matricielle.

Le cas courant de matrice utilisée pour les considérations concernant les répartitions de la tension et du courant est la mise en série de composants en parallèle. La figure suivante représente cette matrice :

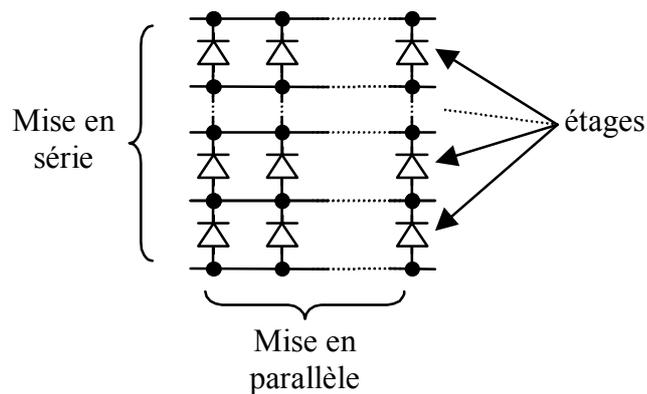


Figure II.5 : cas de matrice utilisée pour les considérations de répartitions tension et courant

Ce type de matrice, qui reste simple, sera utilisé notamment pour les considérations de propagation des défaillances.

Il faut cependant noter que la prise en compte des impédances de liaison entre les composants, toujours présentes physiquement, rend la matrice plus compliquée.

Dans le cas général d'association matricielle, qui fait intervenir les deux dimensions série et parallèle, il est impossible de donner le type d'association (série ou parallèle) à l'origine de la structure. La figure suivante représente cette matrice générale.

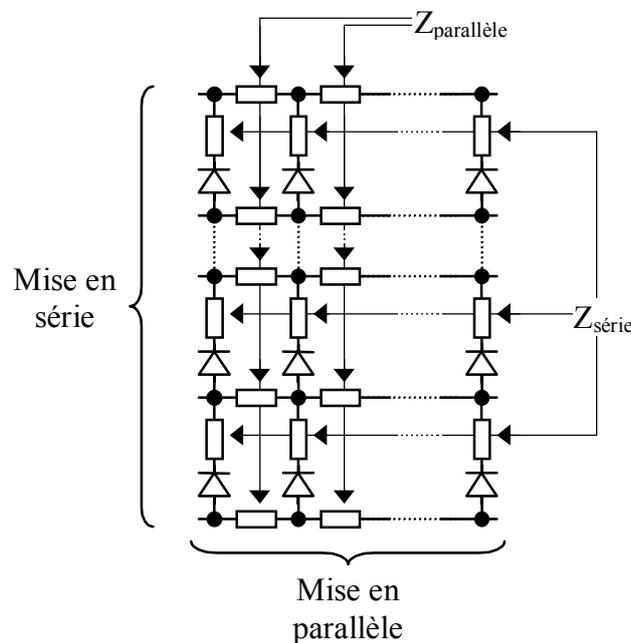


Figure II.6 : cas général de la structure matricielle

Ce cas général de mise en matrice de composants, de diodes pour la figure précédente, présente des impédances  $Z_{\text{série}}$  et  $Z_{\text{parallèle}}$  entre les étages et entre les lignes qui font partie intégrante de l'association.

En pratique, ces impédances représentent les liaisons entre les composants de la matrice. De type résistive et inductive, les impédances dites séries ( $Z_{\text{série}}$ ) modifient les niveaux de courant et de tension vus par les composants et les impédances dites parallèles ( $Z_{\text{parallèle}}$ ) font disparaître la notion d'équipotentialité qui était présente entre les différents étages de la matrice.

Nous pouvons noter que la présence de ces impédances ne modifie pas l'équipartition du courant et de la tension sur les composants tant que toutes les conditions suivantes sont respectées :

- toutes les impédances dites parallèles ( $Z_{\text{parallèle}}$ ) sont égales entre elles,
- toutes les impédances dites séries ( $Z_{\text{série}}$ ) sont égales entre elles,
- tous les composants (diodes ici) sont identiques.

L'analyse des niveaux de courant et de tension entre les composants doit également tenir compte d'éléments n'apparaissant pas ici et influençant leurs répartitions. Il s'agit, d'une façon globale, des systèmes d'équilibrage en tension et en courant et des éléments parasites tels que les capacités parasites des éléments vis à vis des masses mécaniques et des inductances de câblage. Dans ce cas, on ne peut plus se contenter de l'aspect statique.

D'autre part, on peut ne pas avoir à qualifier la matrice de mise en série ou en parallèle d'un point de vue général. La plupart du temps, la complexité de la structure matricielle dans son ensemble rend inévitable la considération d'hypothèses simplificatrices propres au point d'étude considéré. Par exemple, pour l'étude de la protection en tension des étages de la matrice, cette dernière peut être considérée comme une mise en série d'associations en parallèle de composants. On néglige alors les impédances de liaison des composants en parallèle et on étudie la tension sur chaque étage de cette association en série ainsi que les techniques de protection et de limitation, voire d'équilibrage, liées à chaque étage.

## **II.4. Types de défauts et apparitions**

Nous venons de voir qu'une matrice se définit grâce à la répartition de la tension et du courant. Cependant, certains facteurs peuvent influencer ces répartitions. De façon générale, on nomme ces facteurs des défauts car ils engendrent des modifications dans les équipartitions tension / courant que la structure de matrice permet, en principe, d'assurer. Ils modifient alors les contraintes appliquées aux composants et diminuent la fiabilité de l'ensemble.

Nous avons vu que la fiabilité d'un composant est liée, entre autres, à ses contraintes électriques de fonctionnement. Une structure matricielle engendre une répartition de ces facteurs électriques entre les composants : moins ces répartitions sont uniformes, plus certains composants sont contraints.

**La mauvaise répartition des paramètres électriques entre les composants diminue la fiabilité des composants les plus contraints et donc celle du système.**

Les défauts entraînant une mauvaise répartition des contraintes et des modifications électriques sont de plusieurs types :

- Défaut de synchronisation des composants lors des commutations
- Défaut engendré par une défaillance aléatoire
- Défaut dû à une surcontrainte de fonctionnement
- Cyclage thermique

Notons que les défauts peuvent conduire ou non à la défaillance des composants considérés.

#### II.4.1. Défaut de synchronisation des composants

Dans les associations de composants série, parallèle ou matricielle, les composants doivent commuter de façon la plus synchrone possible afin de limiter les différences de répartition des paramètres électriques.

Il y a deux origines à d'éventuels décalages entre les ordres de commutation :

- Une origine interne aux composants avec les dispersions de caractéristiques qui impliquent des différences de comportement,
- Une origine externe aux composants avec les dispersions des ordres de commutation délivrés par les circuits de commande.

Prenons le cas de deux composants connectés en série et commandés de façon décalée à l'ouverture et à la fermeture [2]. La figure suivante représente cette association ainsi que les ordres de commande associés.

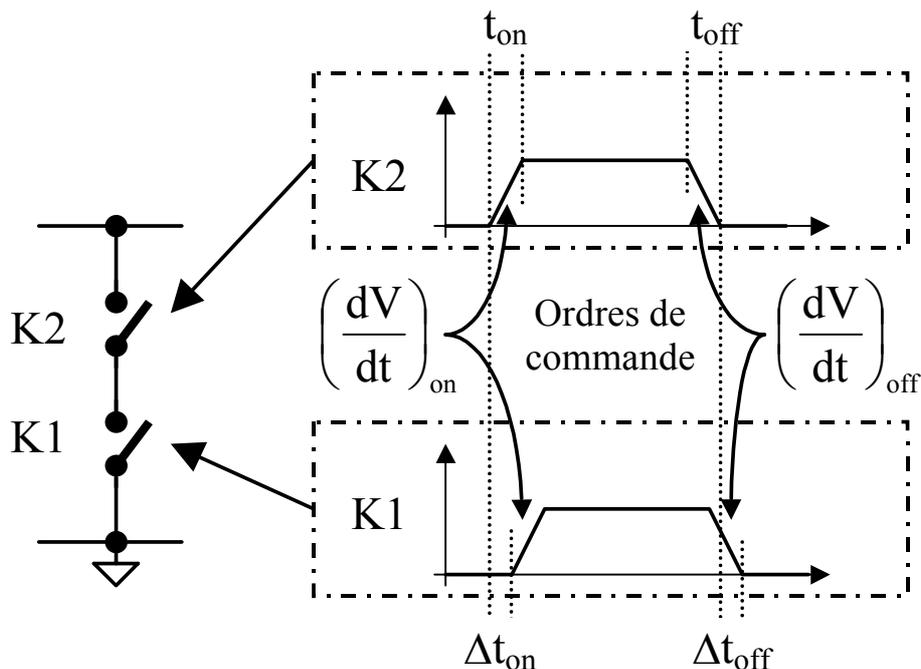


Figure II.7 : décalage des ordres de commande d'une mise en série de deux composants

Lors des différentes commutations, fermeture et ouverture, les décalages temporels entre les ordres de commande engendrent des décalages sur la répartition des tensions entre les deux composants associés en série. La figure ci-dessous montre l'évolution des tensions aux bornes de ses deux composants lors des phases de fermeture et d'ouverture.

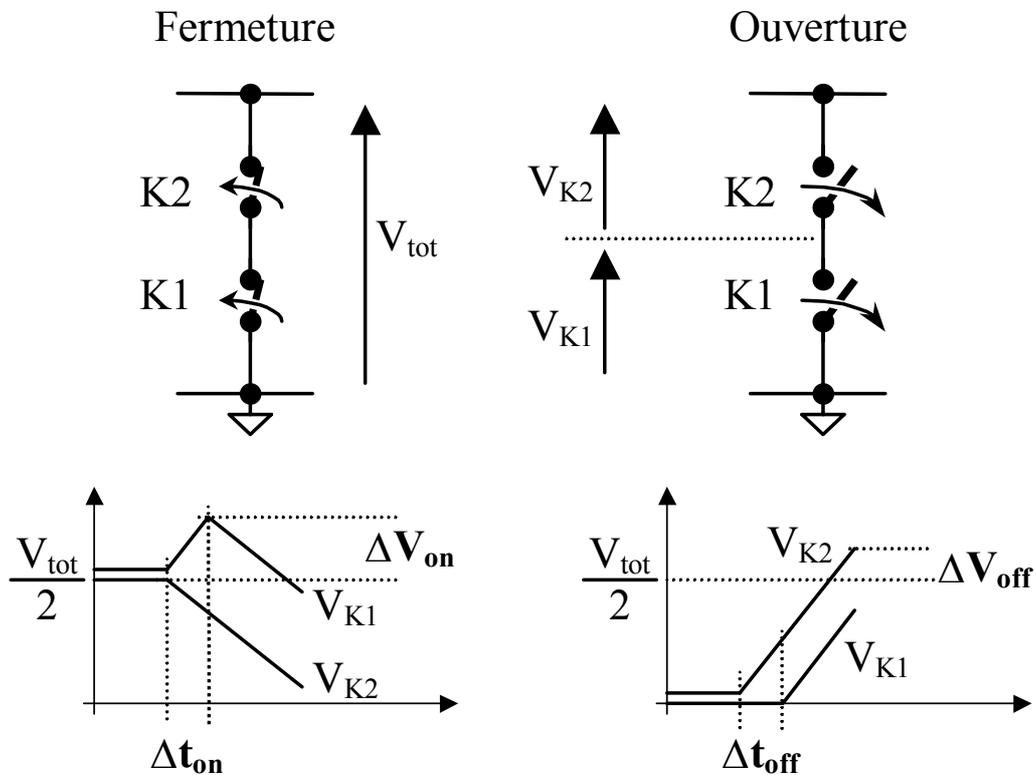


Figure II.8 : évolution des tensions aux bornes de deux composants en série commandés de façon désynchronisée

Si on considère le cas de la mise en série de 2 composants identiques commandés de façon totalement synchrone, chaque composant supporte une tension maximale de  $\frac{1}{2}V_{tot}$  lorsque la mise en série est ouverte. Toute tension alors supérieure à cette valeur est appelée une surtension. Le décalage temporel des ordres de commande engendre [2] :

1. une surtension  $\Delta V_{on}$  sur le composant en retard (de  $\Delta t_{on}$ ) lors de la fermeture,
2. une surtension  $\Delta V_{off}$  sur le composant en avance (de  $\Delta t_{off}$ ) lors de l'ouverture.

Ces surtensions s'expriment de la façon suivante :

$$\Delta V_{on} = \Delta t_{on} \times \left( \frac{dV}{dt} \right)_{on} \quad \text{et} \quad \Delta V_{off} = \Delta t_{off} \times \left( \frac{dV}{dt} \right)_{off}$$

Le dual du cas précédent, de surtension dans la mise en série, est celle du surcourant dans la mise en parallèle. Les deux figures suivantes représentent d'une part cette association ainsi que les ordres de commande associés à chacun des deux composants qui la constituent, et d'autre part la répartition des courants entre ces composants durant les phases de fermeture et d'ouverture.

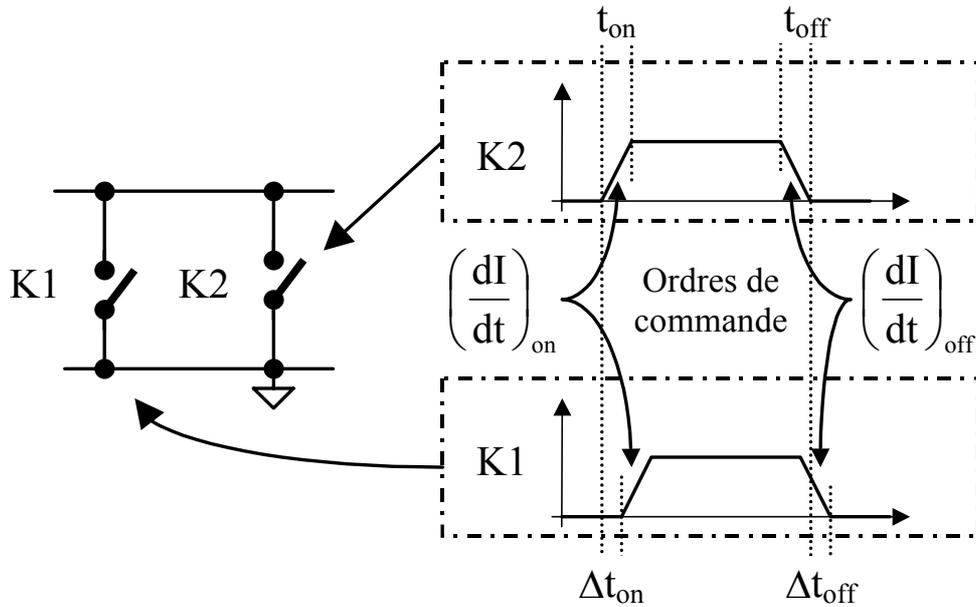


Figure II.9 : décalage des ordres de commande d'une mise en parallèle de deux composants

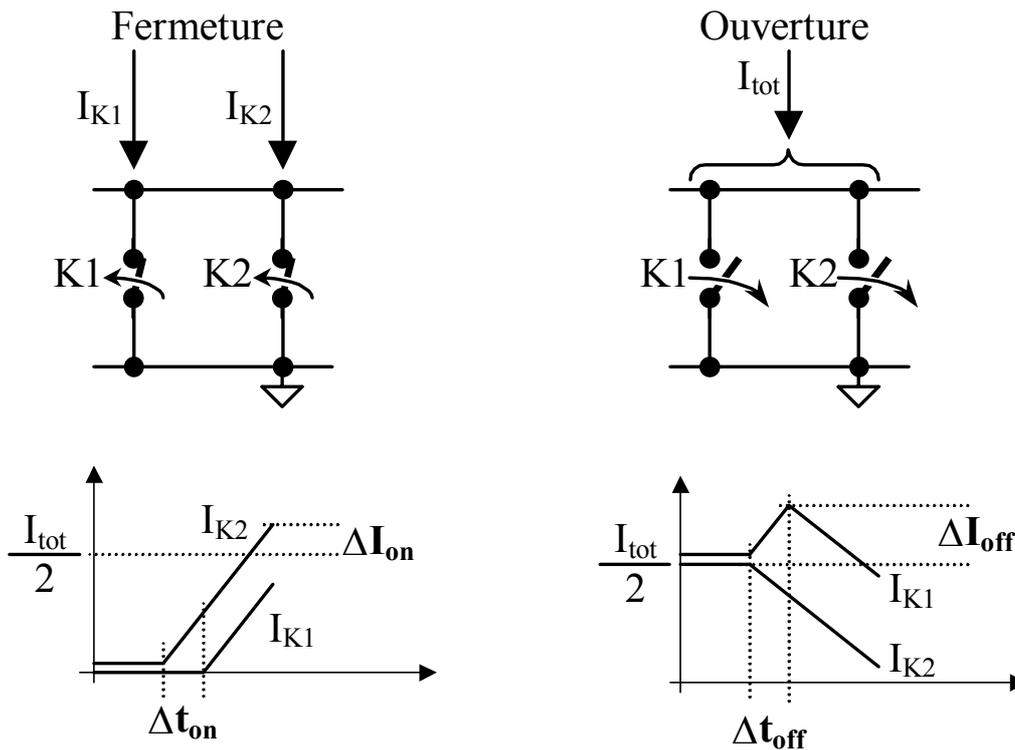


Figure II.10 : évolution des courants dans deux composants connectés en parallèle et commandés de façon désynchronisée

Dans ce cas, les surcontraintes sont :

3. un surcourant  $\Delta I_{on}$  sur le composant en avance (de  $\Delta t_{on}$ ) lors de la fermeture,
4. un surcourant  $\Delta I_{off}$  sur le composant en retard (de  $\Delta t_{off}$ ) lors de l'ouverture.

Ces surcourants s'expriment de la façon suivante :

$$\Delta I_{\text{on}} = \Delta t_{\text{on}} \times \left( \frac{dI}{dt} \right)_{\text{on}} \quad \text{et} \quad \Delta I_{\text{off}} = \Delta t_{\text{off}} \times \left( \frac{dI}{dt} \right)_{\text{off}}$$

Dans ces deux cas de désynchronisation des ordres de commande, les composants soumis à des surcontraintes, s'ils ne sont pas capables de supporter, sont détruits.

Notons que le cas que nous venons de voir s'applique également aux composants non commandables que sont les diodes, pour lesquelles les différences de synchronisation de commutation peuvent être dues aux dispersions sur les caractéristiques ou sur les différences de conditions extérieures (température, éléments parasites de connexion...).

#### II.4.2. Défaut engendré par une défaillance aléatoire

Comme nous l'avons vu dans le premier chapitre relatif à la théorie de la fiabilité, les composants électroniques possèdent une période de vie utile durant laquelle leur taux de défaillance est constant et indépendant du temps d'utilisation. Ceci s'explique par le fait que durant cette période, les composants ne sont soumis à aucune défaillance par usure mais à l'occurrence de défaillances aléatoires [4].

Ces défaillances aléatoires pour les composants semi-conducteurs sont principalement dues à la présence de charges piégées dans le silicium.

Ces charges, dites résiduelles car en très faible proportion, sont soit présentes depuis la réalisation des composants, on parle alors de pollution ionique, soit créées à la suite d'une interaction avec un rayonnement (cosmique par exemple) ou avec une autre source d'énergie (température, décharge électrostatique...).

Sous l'effet des champs électriques appliqués au composant, ces charges parasites se déplacent et migrent. Ces mouvements, qui ont lieu aussi bien dans le cristal de silicium que dans les oxydes de grille [5] peuvent les regrouper et conduire à l'apparition d'une zone plus fragile vis à vis de la tenue en tension. Le composant peut alors être détruit par claquage lors de l'application d'une tension.

Ce type de défaillance du composant fait intervenir un très grand nombre de paramètres liés d'une part aux charges résiduelles elles-mêmes (densité, nature, localisation) et d'autre part aux conditions d'utilisation (niveaux de tension appliqués,  $dV/dt$ , fréquence, occurrence, température). Il en résulte, pour une population, que les défaillances sont de type aléatoire et que le taux de défaillance est constant avec le temps.

Cependant, certains facteurs influencent cette probabilité d'apparition des défaillances et donc le taux de défaillance.

En premier lieu, certains facteurs favorisent le déplacement des charges piégées : l'intensité des champs électriques mis en jeu et la température (qui entrent en jeu lors de l'évaluation prévisionnelle du taux de défaillance de la majorité des composants électroniques) [4], mais également le  $dV/dt$ , (qui est notamment utilisé lors des calculs de fiabilité relatifs aux isolants [6]).

De plus, des facteurs influencent la densité des charges parasites présentes dans le composant. Lors des étapes de fabrication des composants, la densité de présence des polluants doit être très bien maîtrisée : depuis le tirage du barreau de silicium jusqu'à l'encapsulation des puces, en passant par le dopage, les croissances épitaxiales...

La notion très importante de qualité de fabrication trouve ici sa justification.

Par définition, ce type de défaillance conduit à la destruction du composant considéré.

### II.4.3. Défaut du à une surcontrainte lors du fonctionnement

On distinguera deux types de surcontrainte de fonctionnement.

Le premier, qui est une des causes courantes de défaillance d'un système, est son utilisation abusive. Nous entendons par utilisation abusive plus qu'un simple dépassement des spécifications constructeurs qui, en général, présentent une marge de sécurité.

Il s'agit en fait d'une brève utilisation au-delà de ce que le composant peut supporter. Bien qu'étant le plus souvent accidentel, ce type d'utilisation, qui conduit à la destruction du système est difficile à prévoir. Aussi, ce mode de défaillance est tout simplement ignoré dans les évaluations de fiabilité des systèmes ; bien que cette cause de défaillance soit une des plus courantes pour les systèmes bien conçus, notre étude prévoira que l'expérimentateur ne commet pas d'erreur.

La seconde cause de surcontrainte est liée aux éléments parasites intervenant dans la mise en œuvre et l'environnement des associations matricielles.

Prenons le cas de la mise en série [3]. Les éléments connectés en série présentent des capacités parasites vis à vis de l'extérieur (masse mécanique, commande...). Lorsque les composants sous tension se ferment, la décharge de ces capacités à travers la mise en série entraîne une modification de la répartition des courants dans les composants. Le schéma suivant représente une mise en série de composants commandables et l'influence des capacités parasites vis à vis de l'environnement sur la répartition des courants.

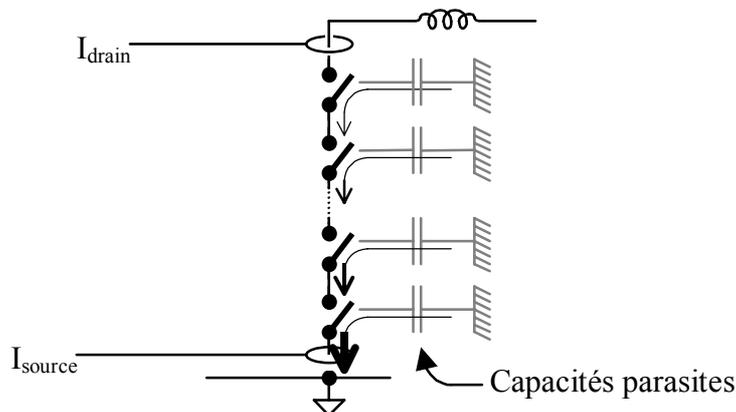


Figure II.11 : mise en série et influence des capacités parasites sur la répartition des courants

Il apparaît, dans ce cas précis, que les composants situés au point froid sont soumis à une surcontrainte en courant. Ce principe de non-uniformité du courant dans les mises en série en régime dynamique est expliqué par Monsieur Rodolphe GUIDINI dans sa thèse [2]. Il y expose notamment la courbe suivante, représentant les courants des points chaud et froid d'une mise en série de 40 MOSFETs alimentés sous 10 000 V et soumis à un courant nominal de 1,6 A.

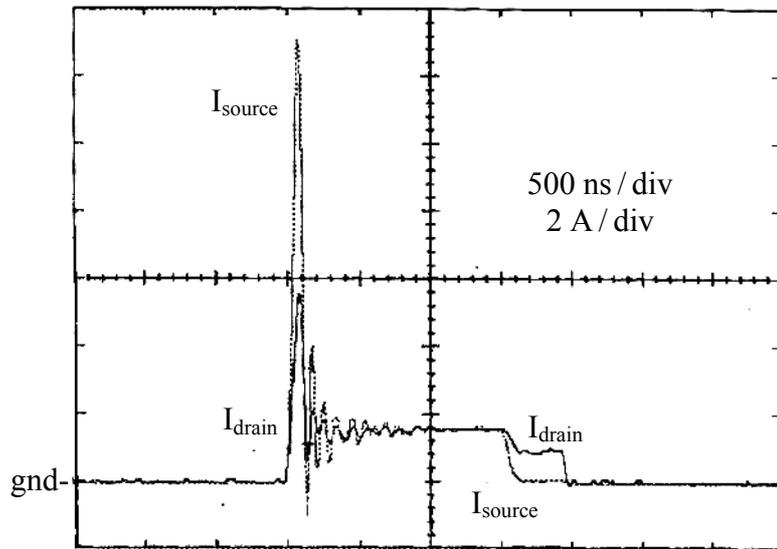


Figure II.12 : oscillogramme de la répartition des courants lors de la fermeture de 40 MOSFETs en série

Lors de la commutation, bien que très brève dans le temps, le déséquilibre en courant représente une différence de 10 ampères à comparer à un courant nominal de 1,6 ampères.

Le principe de dualité peut être appliqué à cette notion de déséquilibre dynamique. Il en résulte des différences de répartition de tension dans les mises en parallèle de composants lors de l'ouverture, dues à la présence d'inductances parasites de câblage entre les éléments.

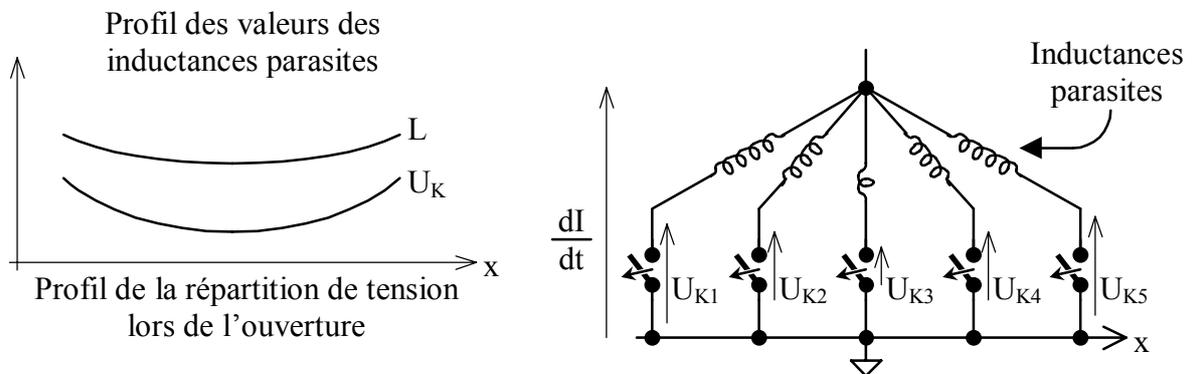


Figure II.13 : mise en parallèle et influence des inductances de câblage sur la répartition de tension

De façon générale, ces surcontraintes (respectivement en courant et en tension) dans les associations (respectivement série et parallèle) n'engendrent pas de destruction des composants. Cela dit, ces phénomènes de déséquilibres sont à connaître car les surcontraintes qu'ils engendrent peuvent échauffer les composants qui en sont victimes et les conduire à un vieillissement prématuré.

#### II.4.4. Cyclage thermique

Certaines conditions de fonctionnement peuvent entraîner des phénomènes de vieillissement sur les composants.

Il s'agit du cas où les composants sont soumis au régime de cyclage thermique. Ce mode de fonctionnement se caractérise par une utilisation d'un composant à un niveau d'énergie et une fréquence tels que sa température globale varie de manière importante et de façon cyclique.

Lorsque les conditions de variation de cette température sont importantes, elles engendrent des phénomènes de vieillissement mécanique du composant en détériorant les différentes interfaces au sein du composant du fait de la différence entre les coefficients de dilatation thermique des différents matériaux [7].

Il en résulte une détérioration des différentes liaisons électriques et thermiques du composant par apparition de micro fissures entre la puce en silicium et les connexions vis à vis de l'extérieur (semelle et fils de liaison). La figure suivante représente un exemple simple d'assemblage d'une puce avec une technologie soudée et les zones sensibles à ces vieillissements mécaniques.

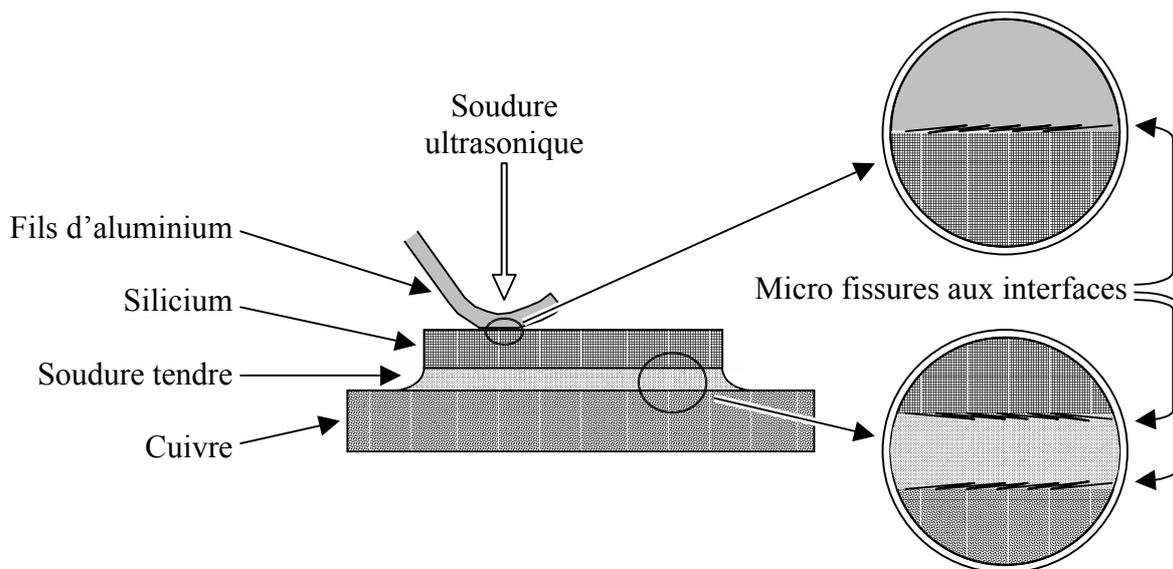


Figure II.14 : cyclage thermique et contraintes mécaniques

Notons que le vieillissement par cyclage thermique peut être rapide car la dégradation qu'il engendre s'accélère de façon naturelle et conduit à un emballement du phénomène : en détériorant les interfaces, l'amplitude du cyclage thermique augmente d'une part la résistance électrique du contact et donc les pertes en conduction, et d'autre part la résistance thermique de l'interface qui perd de ces capacités à évacuer la chaleur. Ces deux conséquences augmentent l'excursion en température de la puce et accélèrent son vieillissement par cyclage thermique.

Pour le cas de l'Electronique de Puissance qui nous concerne, les phénomènes de cyclage thermique sont très présents dans les systèmes de conversion de l'énergie pour la traction ferroviaire, automobile et surtout pour les transports électriques urbains, métro et tramway où les accélérations et les phases de repos sont fréquentes.

En ce qui nous concerne, nous ne considérerons pas ce mode de défaillance car les équipements considérés fonctionnent avec des excursions en température et des énergies dissipées par composant, à chaque cycle, très faibles. Il en résulte que la période est grande devant les constantes de temps propres aux phénomènes d'inertie thermique provoquant les dilatations thermiques des matériaux.

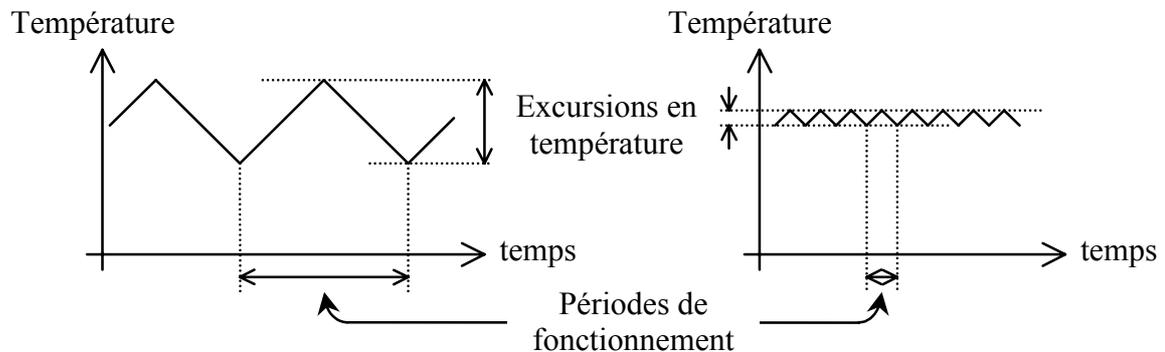


Figure II.15 : variation de l'excursion en température des composants en fonction de la fréquence de fonctionnement à puissance moyenne identique

## II.5. Propagation des défauts

Nous avons passé en revue les principales causes de défaillance. Analysons à présent leurs implications sur les associations de composants, série, parallèle et matricielle.

Rappelons qu'un composant est considéré comme défaillant lorsqu'il n'est plus capable d'accomplir la fonction requise [4]. Si on prend le cas d'un transistor MOS, il sera considéré comme défaillant lorsqu'il ne commutera pas, malgré des conditions extérieures inchangées (entre autres, la présence du signal de commande). Cette défaillance interagira à deux niveaux :

- Elle aura des répercussions sur le composant considéré, sur ses capacités à tenir la tension et/ou à laisser passer le courant.
- Elle aura des répercussions sur le circuit extérieur, des trois façons suivantes :

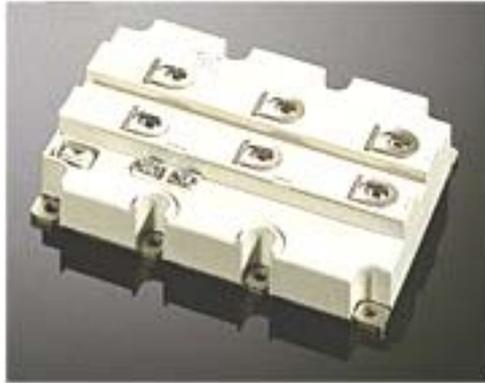
### Interaction mécanique

Dans certaines conditions, la défaillance d'un composant s'accompagne de sa destruction mécanique. Suivant l'énergie mise en jeu lors de la défaillance et le type de boîtier utilisé, le composant peut exploser et projeter des parties mécaniques.

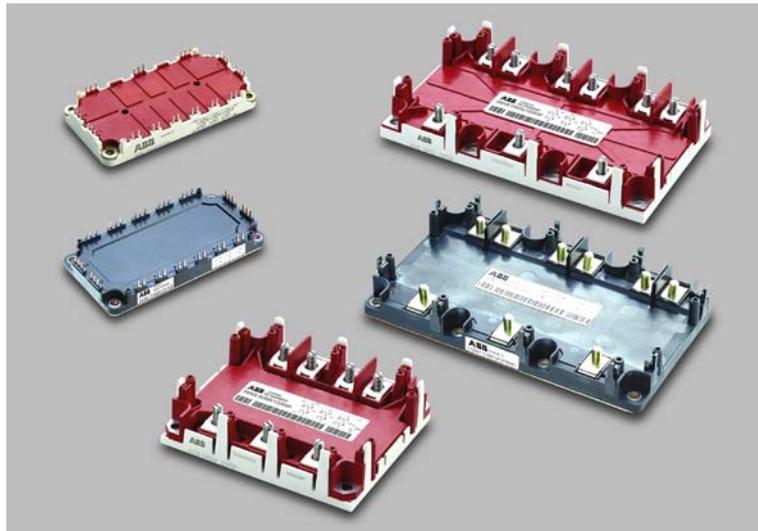
En pratique, ce mode de défaillance est surtout critique dans les applications de machines tournantes. La défaillance des convertisseurs entraînant l'explosion des composants en boîtiers moulés peut engendrer la projection de pièces relativement robustes et provoquer des dégâts sur la machine tournante.

Il résulte de cette constatation une tendance des fabricants de module à modifier l'architecture de leurs composants moulés. Les connexions métalliques sont repoussées vers la périphérie du boîtier et des zones du boîtier susceptibles d'être détruites sont allégées.

Les photographies suivantes, extraites du CDROM **ABB Semiconductors AG Short From Catalogue 2000**, montrent des modules à connexions centrales et latérales.



*Figure II.16 : module IGBT ABB à connections métalliques centrales*



*Figure II.17 : modules ABB à connections métalliques latérales, la nouvelle tendance des boîtiers*

Les deux autres modes d'interaction d'un composant défaillant avec l'extérieur concernent les paramètres électriques. La défaillance d'un composant se traduit, de façon générale, par une variation de ses différentes impédances internes. Lorsque ces impédances varient, le fonctionnement de l'extérieur se trouve alors modifié.

### Interaction avec la commande

Lorsque le composant est défaillant, l'impédance vue de sa commande peut être modifiée par son nouvel état. Suivant la variation de cette impédance et les caractéristiques de la commande associée, le signal de commande des autres composants peut s'en trouver changé.

Prenons le cas d'un transistor MOSFETs. Lorsque le composant est non défaillant, il est équivalent, vu de la commande, à trois capacités interconnectées, dont deux sont variables en fonction de la tension drain-source. Le schéma suivant représente l'impédance équivalente d'un MOS non défaillant vue de la commande.

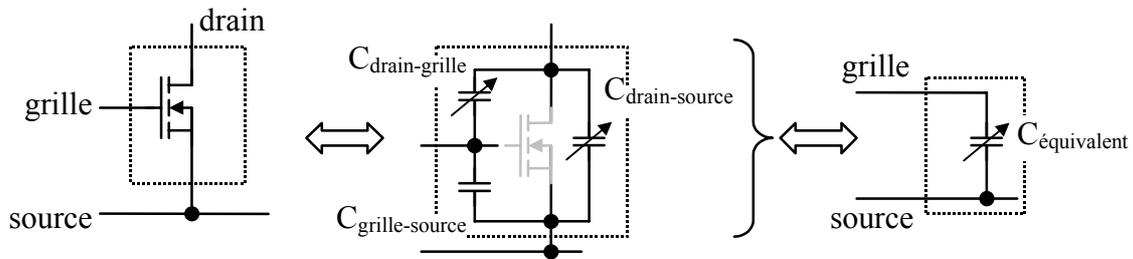


Figure II.18 : impédance équivalente d'un MOS non défaillant vue de la commande ; une capacité variable en fonction de la tension drain-source

Lorsque le composant est défaillant, son impédance vue de la commande est modifiée et deux nouveaux aspects interviennent.

L'impédance grille-source peut varier de façon importante. Si elle augmente, la forme du signal de commande qui lui est appliqué est peu modifiée. Par contre, si l'impédance est fortement réduite (e.g. un court-circuit grille-source de faible impédance), suivant les caractéristiques du circuit de commande, la demande en courant peut être telle que le signal en tension s'effondre (rappelons qu'un MOS étant commandé en tension, le signal de commande chargé de maintenir la mise en conduction peut être de très faible énergie).

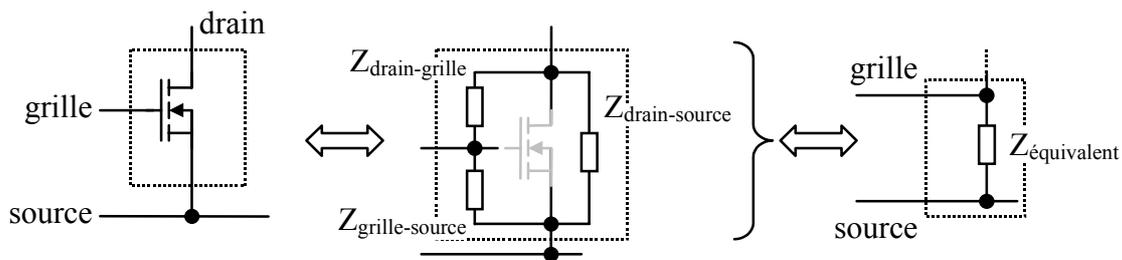


Figure II.19 : modification de l'impédance équivalente d'un MOS défaillant vue de la commande

De plus, la défaillance du composant peut engendrer une impédance drain-grille résistive au lieu de capacitive. Suivant le rapport des impédances grille-source, drain-grille et drain source, une fraction de la tension de puissance est alors présente sur l'électrode de commande.

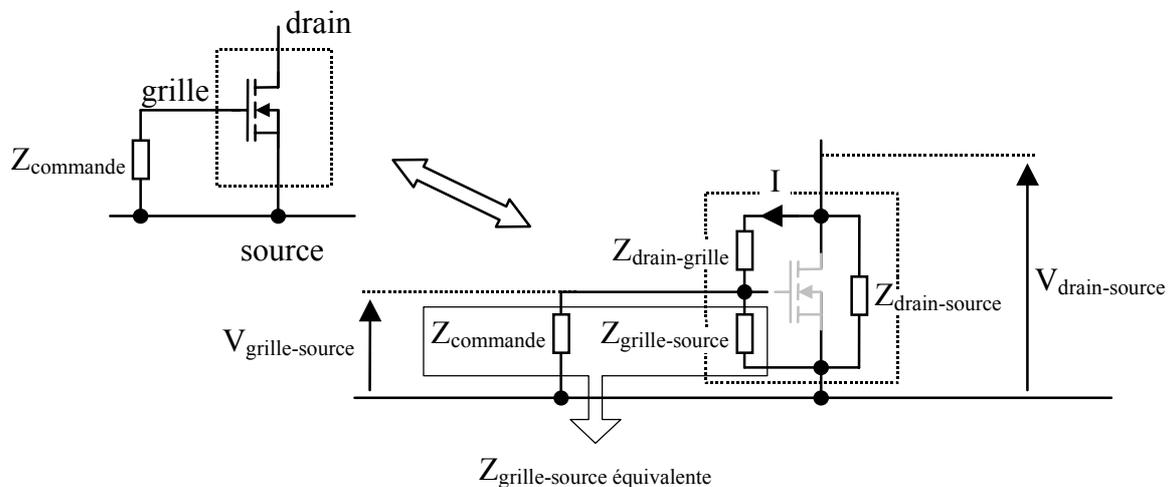


Figure II.20 : présence d'une partie du potentiel de drain sur la grille en fonction du rapport des impédances présentées par le MOS défaillant

Soient :

- $Z_{DG} = Z_{\text{drain-grille}}$
- $Z_{GS} = Z_{\text{grille-source}}$
- $Z_{GSeq} = Z_{\text{grille-source équivalente}} = Z_{\text{commande}} // Z_{GS}$
- $V_{\text{grille-source}} = I \cdot Z_{GSeq}$

avec  $Z_{GSeq} = \frac{Z_{GS} \cdot Z_{\text{commande}}}{Z_{GS} + Z_{\text{commande}}}$  et  $I = \frac{V_{\text{drain-source}}}{Z_{DG} + Z_{GSeq}}$

$$\Rightarrow V_{\text{grille-source}} = V_{\text{drain-source}} \cdot \frac{Z_{GSeq}}{Z_{DG} + Z_{GSeq}}$$

Si l'impédance grille-source équivalente est faible devant celle de drain-grille, la tension sur la grille du composant reste faible. Dans le cas contraire, la tension de grille peut être élevée et peut endommager le circuit de commande.

**En résumé, un composant défaillant impose à sa commande une surtension et un surcourant (direct ou inverse), fonctions de la modification de ses impédances.**

Interaction avec la partie puissance

Lorsque le composant est défaillant, l'impédance qu'il présente vis à vis de la puissance peut être modifiée par son nouvel état. Suivant la modification de cette impédance, le fonctionnement de la puissance peut être modifié.

Par la suite, nous considérerons la défaillance d'un composant dans une association série, parallèle puis matricielle et la propagation de cette défaillance. Elle sera considérée selon les deux derniers cas d'interaction vus précédemment, liés à la variation d'impédance du composant en défaut.

**II.5.1. Dans une mise en série**

Dans une mise en série, rappelons que les composants sont connectés de façon à se répartir la tension globale à l'état ouvert.

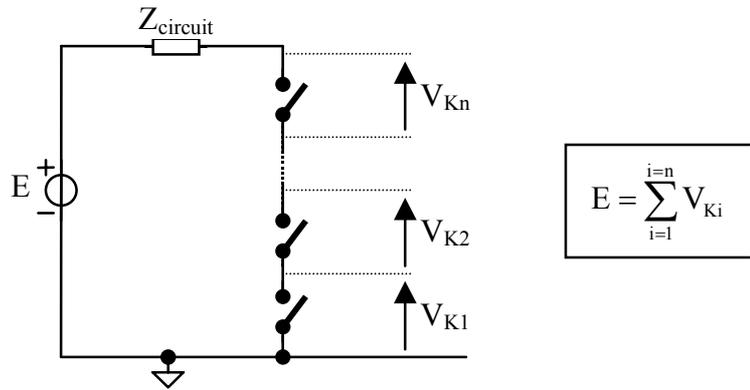


Figure II.21 : mise en série et répartition de la tension globale

Considérons la défaillance d'un des éléments et les différentes répercussions sur le système.

## Partie commande

Nous avons déjà vu que, dans une mise en série de composants, il est nécessaire d'avoir la synchronisation des ordres de commande afin de réduire les déséquilibres en tension sur les composants.

Ceci se traduit en général par une commande commune aux différents composants. Ainsi, la défaillance d'un composant et les répercussions sur son circuit de commande peuvent engendrer une défaillance de la commande globale de l'association série.

En pratique, si la mise en série se retrouve à l'état ouvert, le système cesse de fonctionner sans que la défaillance se propage aux autres composants.

Dans le cas où la mise en série resterait à l'état fermé, il se présente un risque de défaillance globale par destruction thermique de tous les composants.

## Partie puissance

Considérons que la défaillance d'un des composants d'une association série se traduise par une variation de son impédance vue dans le circuit de puissance.

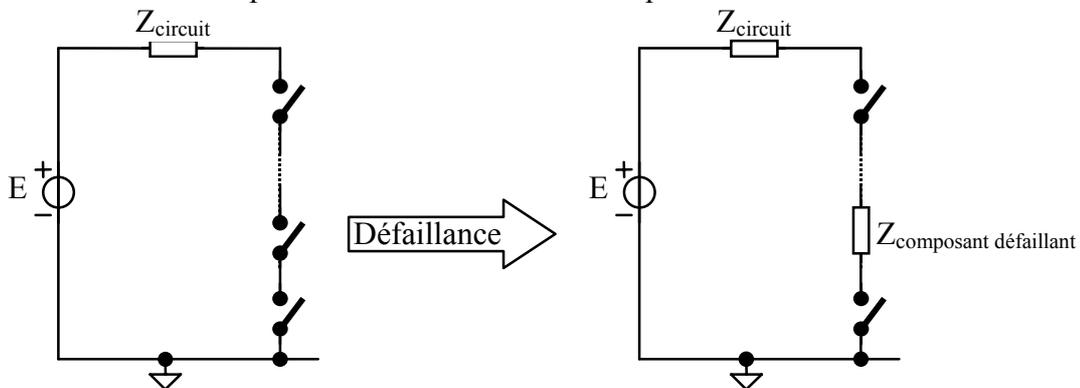


Figure II.22 : représentation du composant défaillant dans une mise en série par une impédance

Deux cas sont alors possibles :

↳ Si l'impédance du composant défaillant est grande devant celle du composant non défaillant à l'état ouvert, la mise en série pourra supporter la tension à l'état ouvert. Lors de la fermeture de la mise en série, le composant défaillant devra supporter :

$$\text{un courant} \approx \frac{E}{Z_{\text{circuit}} + Z_{\text{composant défaillant}}} \quad \text{et une tension} \approx \frac{E \cdot Z_{\text{composant défaillant}}}{Z_{\text{circuit}} + Z_{\text{composant défaillant}}}$$

Dans le cas où le composant défaillant n'est pas capable de supporter ces nouvelles conditions, ceci peut conduire à une évolution de son état et de son impédance vue de la puissance.

↳ Si l'impédance du composant est faible devant celle du composant non défaillant à l'état ouvert, la mise en série pourra supporter le courant à l'état fermé, mais la répartition de la tension globale à l'état ouvert sera modifiée.

**Lors de la défaillance, en mode faible impédance, d'un des composants d'une mise en série, la tension qu'il avait à tenir est répartie sur les autres composants. Cet état est stable seulement s'ils sont capables de supporter cette tension supplémentaire.**

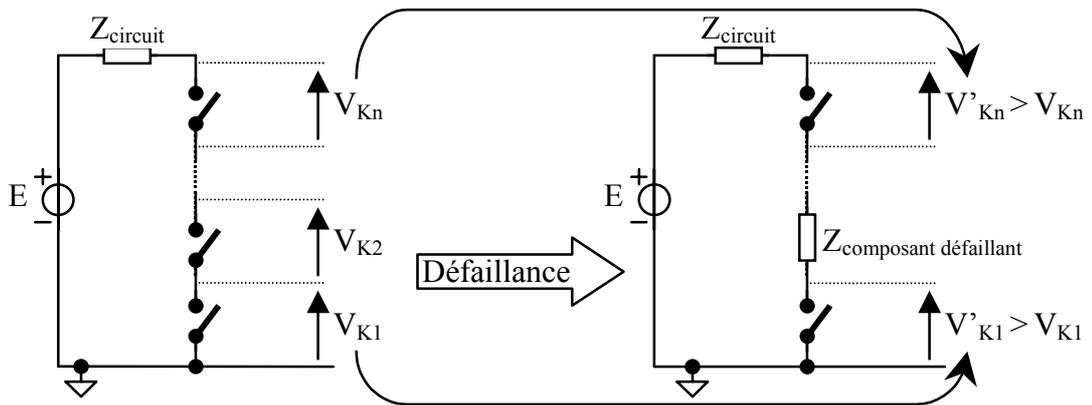


Figure II.23 : nouvelle répartition de la tension globale lors de la défaillance d'un des composants de l'association série

Ensuite, deux cas sont possibles :

⇒ soit les composants restants sont capables de tenir les nouveaux niveaux de tension qui leur sont appliqués, la mise en série peut continuer à fonctionner ; ce mode de fonctionnement est dit dégradé car le système fonctionne malgré une diminution de ses aptitudes maximales. Le défaut, constitué par la perte d'un composant, ne se propage pas au système.

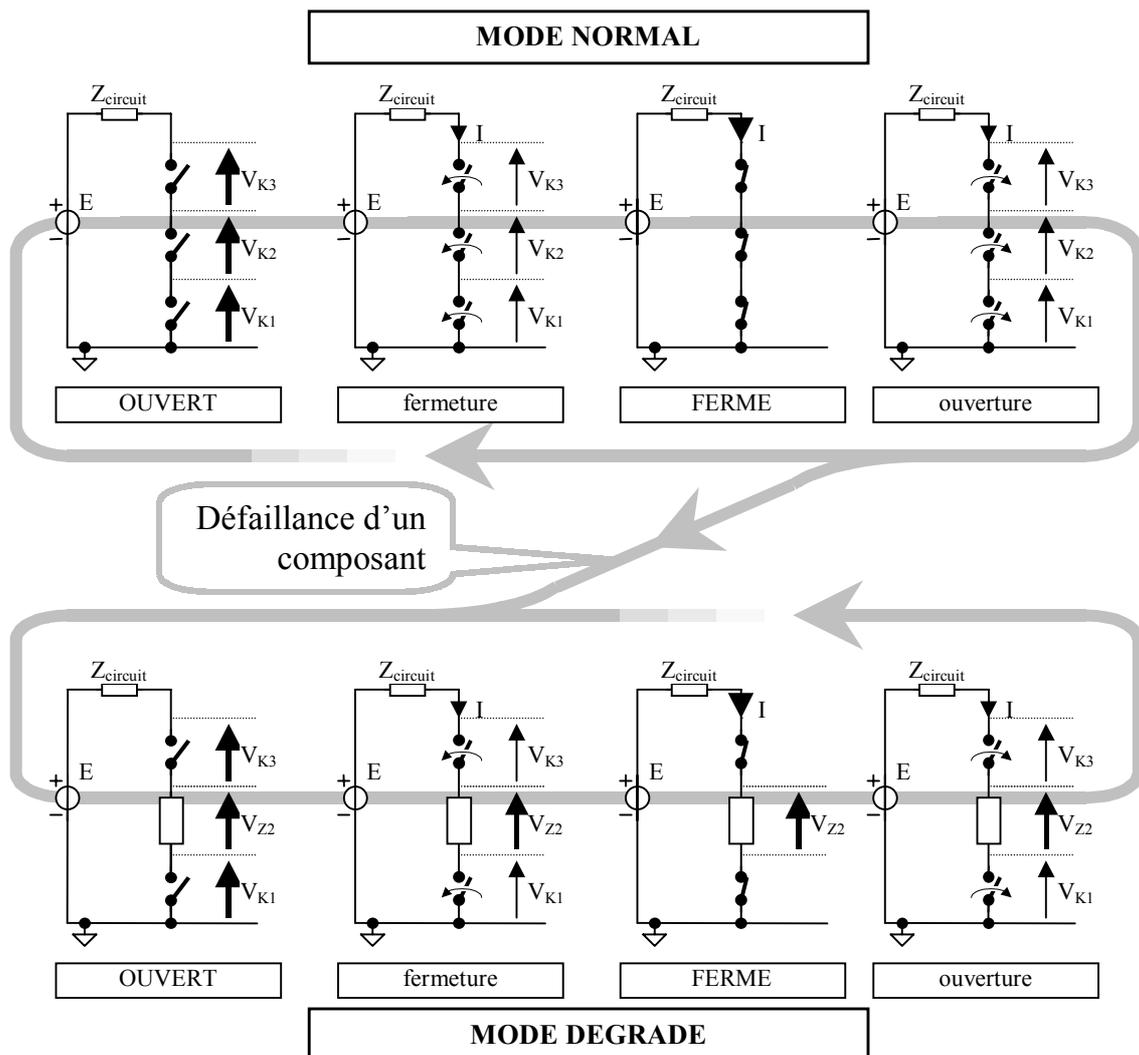


Figure II.24 : casse d'un composant dans une mise en série, passage du mode normal au mode dégradé

⇒ soit les composants restants ne sont pas capables de tenir les nouveaux niveaux de tension qui leur sont appliqués, les composants sont alors détruits. La mise en série de composants est totalement détruite par propagation de la défaillance d'un composant aux autres.

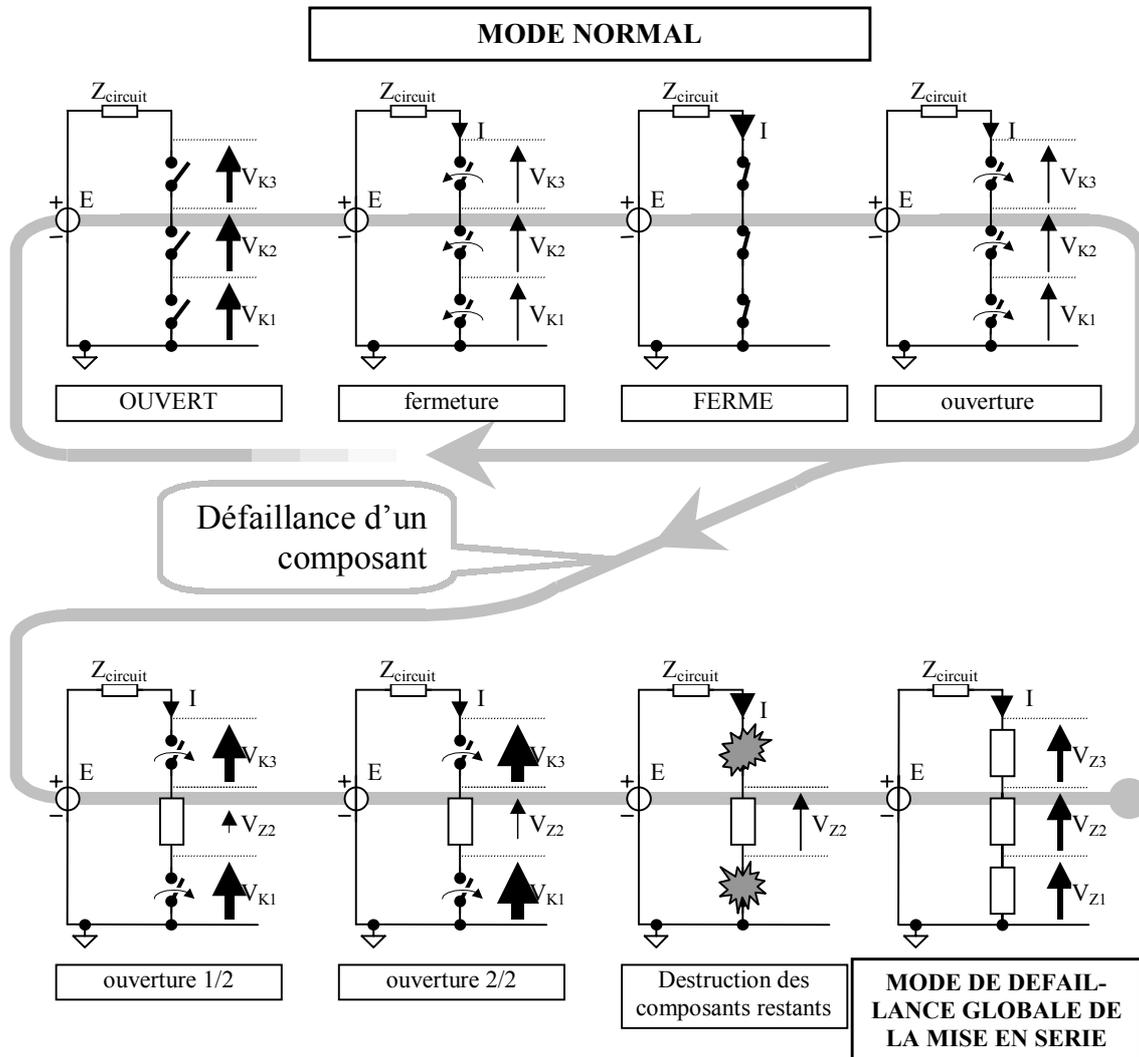


Figure II.25 : casse d'un composant dans une mise en série, passage du mode normal à la défaillance de l'ensemble

Nous venons de voir que, dans une mise en série, les répercussions de la défaillance d'un composant sont liées à l'évolution de son impédance lors de la défaillance.

Dans le cas d'une défaillance en mode faible impédance, les composants non défaillants se répartissent la tension qu'avait à tenir le composant en défaut. Dans le cas où certains d'entre eux n'en sont pas capables, ils sont détruits et leur tension est, suivant leur nouvelle impédance, reportée sur les autres. Ce report de tension peut conduire à la défaillance de tous les composants de la mise en série.

Dans le cas d'une défaillance en mode haute impédance, soit le composant est capable à lui seul de tenir la tension globale, la mise en série se trouve alors défaillante à l'état ouvert (cas peu probable de mode de défaillance), soit le composant défaillant doit dissiper une forte puissance (fonction du courant extérieur imposé lors de la fermeture de la mise en série). Dans ce cas, les contraintes thermiques modifient son impédance qui, par fusion des

matériaux constituant le composant, diminue. On retrouve alors le cas du mode de défaillance faible impédance.

### II.5.2. Dans une mise en parallèle

Dans la mise en parallèle, dual de la mise en série, les composants connectés se répartissent le courant global lorsqu'ils sont à l'état fermé.

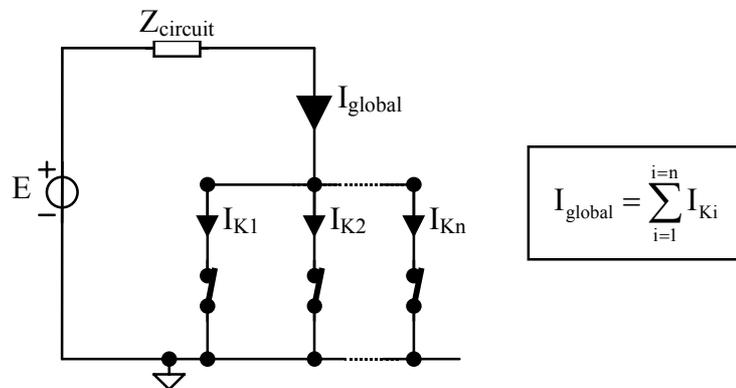


Figure II.26 : mise en parallèle et répartition du courant global

Considérons la défaillance d'un des composants de l'association en parallèle et la répercussion sur le système.

#### Partie commande

De façon similaire au cas de l'association série de composants, la commande d'une mise en parallèle de composants possède une partie commune pour assurer la simultanéité des commutations afin de réduire les dispersions de courant.

La défaillance d'un composant peut alors avoir des répercussions sur le circuit de commande global de l'association parallèle et engendrer sa défaillance.

En pratique, la commande doit être suffisamment robuste pour tolérer les modes de défaillance des composants ayant des répercussions sur le circuit de commande.

Nous pouvons noter que la défaillance de la commande peut engendrer la défaillance de la partie puissance suivant le mode dans lequel l'association est maintenue : si elle reste fermée pendant un temps trop long, les pertes en conduction peuvent conduire à une défaillance thermique de l'association.

#### Partie puissance

Comme pour le cas de la mise en série, nous considérerons le composant défaillant comme une impédance. Nous raisonnerons sur la propagation du défaut dans l'association en fonction de la valeur de cette impédance.

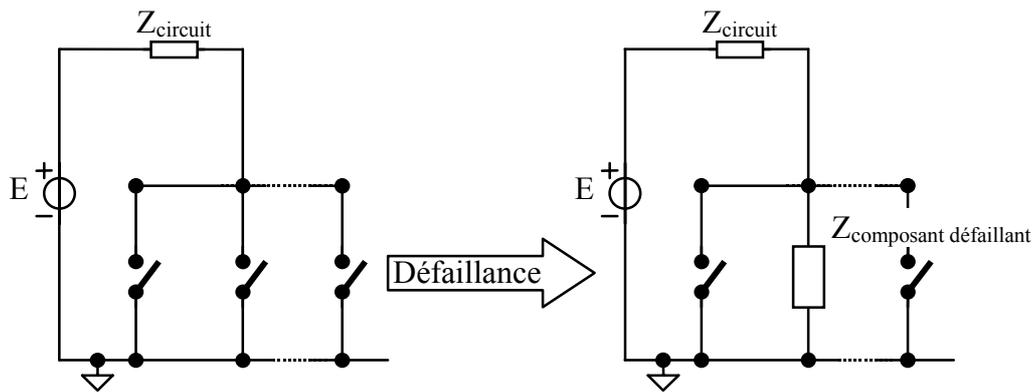


Figure II.27 : représentation du composant défaillant dans une mise parallèle par une impédance

Deux cas de figure sont alors possibles :

- ↪ Si l'impédance du composant défaillant est faible devant celle du composant non défaillant à l'état fermé, la mise en parallèle pourra supporter le courant à l'état fermé. Lors de l'ouverture de la mise en parallèle, le composant défaillant devra supporter :

$$\text{un courant} \approx \frac{E}{Z_{\text{circuit}} + Z_{\text{composant défaillant}}} \quad \text{et une tension} \approx \frac{E \cdot Z_{\text{composant défaillant}}}{Z_{\text{circuit}} + Z_{\text{composant défaillant}}}$$

L'association parallèle de composants se trouve alors défaillante à l'état fermé.

Ces nouvelles conditions peuvent engendrer une modification de l'état du composant et faire évoluer son impédance vue de la puissance. En général, la puissance qu'il doit alors dissiper engendre, comme dans la mise en série, une fusion du composant et donc une diminution de son impédance. Mais, dans le cas où le courant imposé par l'extérieur n'est pas limité, l'énergie à dissiper peut fondre le composant défaillant, son impédance devient alors celle d'un circuit ouvert. On rejoint alors le cas d'une défaillance haute impédance.

- ↪ Si l'impédance du composant est grande devant celle du composant non défaillant à l'état fermé, la mise en parallèle pourra supporter la tension à l'état ouvert, mais la répartition du courant global à l'état fermé sera modifiée.

**Lors de la défaillance, en mode haute impédance, d'un composant d'une mise en parallèle, le courant qu'il avait à laisser passer est réparti sur les composants non défaillants restants lors de la fermeture de la mise en parallèle. Cet état est stable seulement s'ils sont capables de le supporter.**

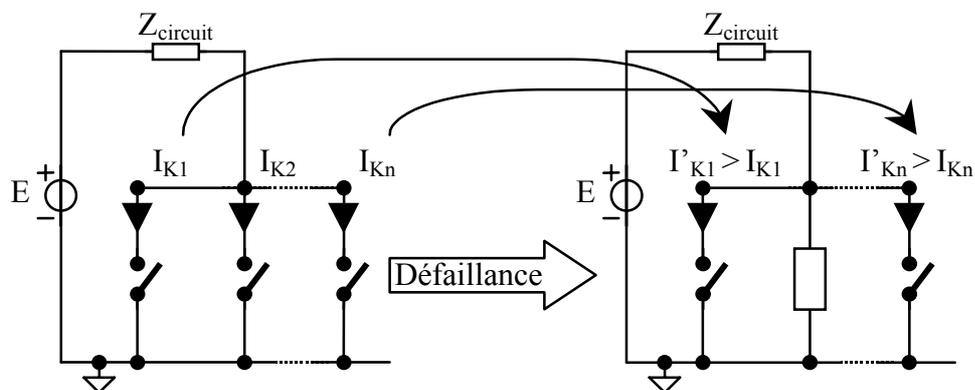


Figure II.28 : nouvelle répartition du courant global lors de la défaillance d'un des composants de l'association parallèle

Ensuite, deux cas sont possibles :

⇒ soit les composants restants sont capables de supporter les nouveaux niveaux de courant qui leur sont appliqués, la mise en parallèle peut continuer à fonctionner ; ce mode de fonctionnement est dit dégradé car le système fonctionne malgré une diminution de ses capacités maximales. Le défaut, constitué par la perte d'un composant, ne se propage pas au système.

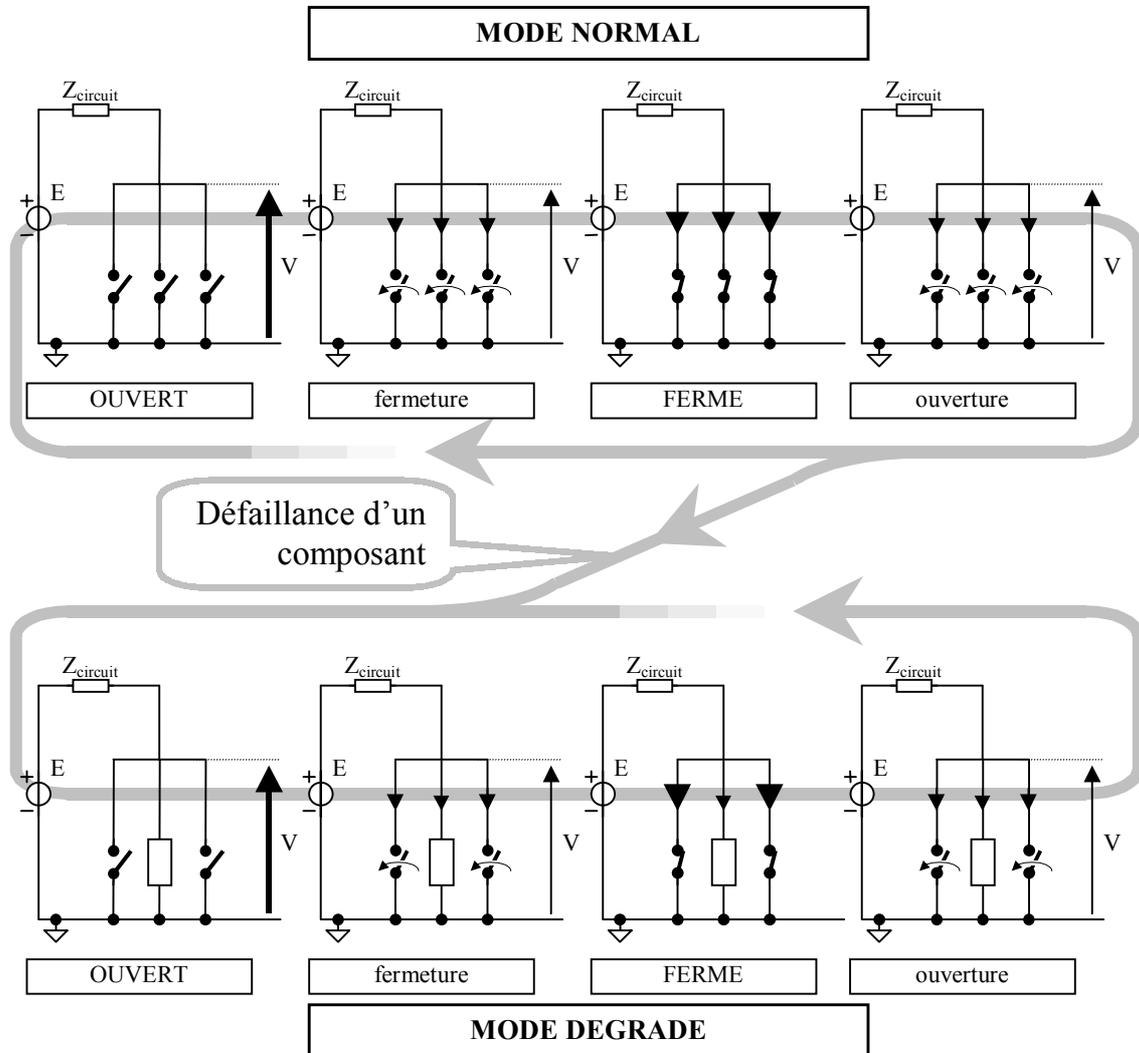


Figure II.29 : casse d'un composant dans une mise en parallèle, passage du mode normal au mode dégradé

⇒ soit les composants restants ne sont pas capables de tenir les nouveaux niveaux de courant qui leur sont appliqués, les composants sont alors détruits. La mise en parallèle de composants est totalement détruite par propagation de la défaillance d'un composant aux autres.

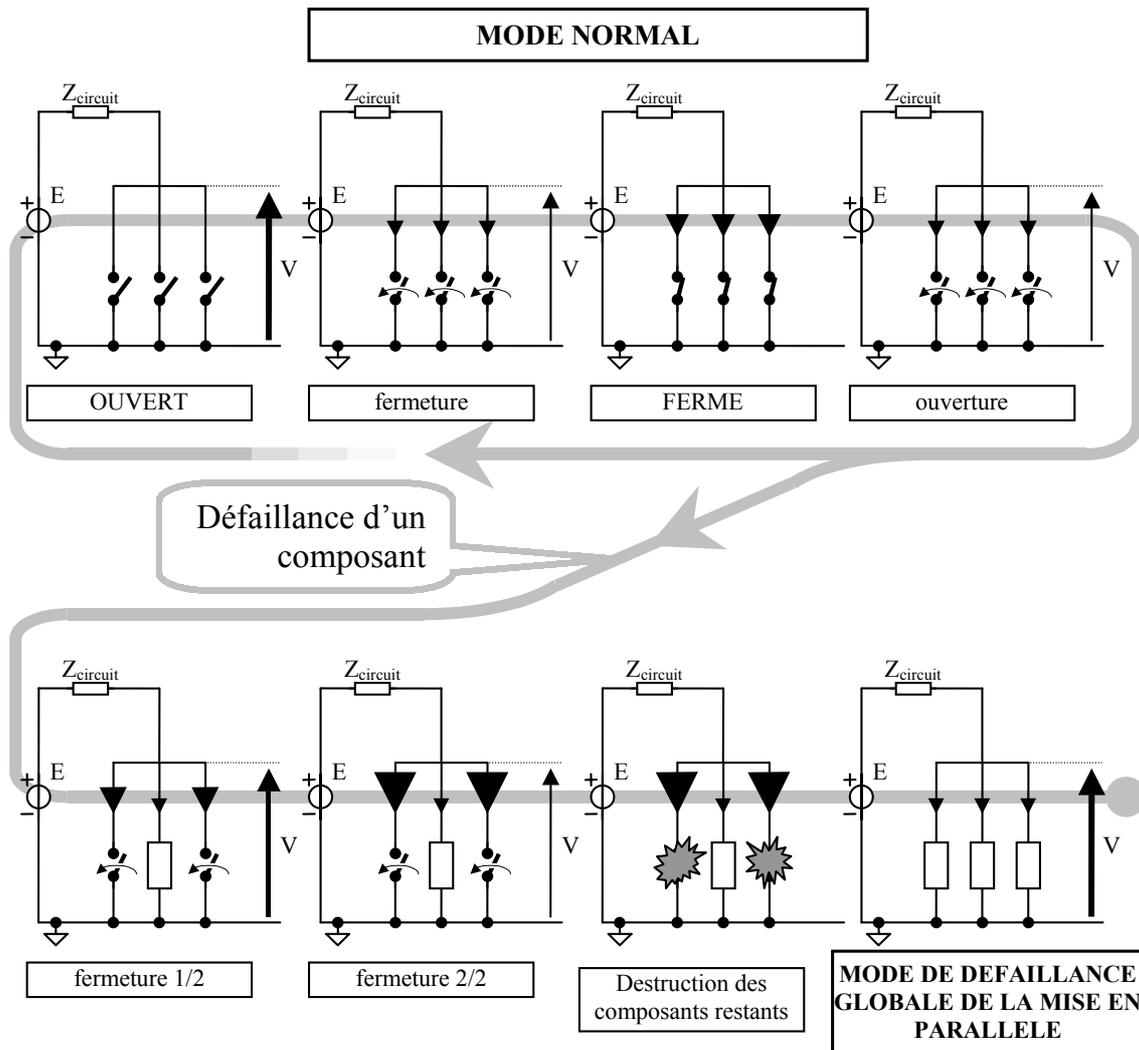


Figure II.30 : casse d'un composant dans une mise en parallèle, passage du mode normal à la défaillance de l'ensemble

Nous venons de voir que, dans une mise en parallèle de composants, les répercussions de la défaillance de l'un des leurs sont liées à l'évolution de l'impédance du composant lors de sa défaillance.

Dans le cas d'une défaillance en mode haute impédance, les composants non défaillants se répartissent le courant qu'avait à tenir le composant en défaut. Dans le cas où certains d'entre eux n'en sont pas capables, ils sont détruits et leur courant est, selon leur nouvelle impédance, reporté sur les autres. Ce report de courant peut conduire à la défaillance de tous les composants de la mise en parallèle.

Dans le cas d'une défaillance en mode faible impédance, soit le composant est capable à lui seul de supporter le courant global, la mise en parallèle se trouve alors défaillante à l'état fermé (cas peu probable de mode de défaillance), soit le composant défaillant doit dissiper une forte puissance fonction du courant extérieur imposé lors de l'ouverture de la mise en parallèle. Dans ce cas, les contraintes thermiques peuvent conduire à l'ouverture du composant. On retrouve alors le mode de défaillance haute impédance.

### **II.5.3. Dans une mise en matrice**

Une mise en matrice de composants est une association où se mêlent les associations de types série et parallèle. Il en résulte que les conditions de propagation d'une défaillance de composants dans une telle association utilisent les considérations établies précédemment et concernant les mises en série et en parallèle.

Récapitulons les conditions de propagation d'une défaillance dans une association de composants. Elles dépendent :

#### Du composant ; impédance présentée par le composant lorsqu'il est défaillant.

Dans les associations série et parallèle, la répartition de la tension et du courant doit être faite de façon à assurer le bon fonctionnement des composants en les maintenant dans leur aire de sécurité. Lors de la défaillance d'un composant, la nouvelle répartition de la tension et du courant dépend de l'impédance présentée par le composant défaillant.

La nouvelle répartition peut entraîner des surcontraintes sur les composants encore en fonctionnement, jusqu'à conduire à leur destruction.

#### Du circuit de commande ; robustesse vis à vis des nouvelles conditions.

La commande doit être robuste vis à vis de l'impédance que présente le composant défaillant vue du circuit de commande. De plus, la commande doit supporter l'éventuelle présence d'une portion de la tension de puissance sur l'électrode de contrôle du composant.

#### Du surdimensionnement du circuit de puissance.

Toujours en considérant qu'un composant défaillant est vu par la puissance comme une impédance, le pire des cas pour la structure série (respectivement parallèle) est lorsque le composant défaillant présente une faible (respectivement haute) impédance.

Lors de la défaillance d'un des composants d'une mise en série (respectivement parallèle), la tension (respectivement le courant) qu'il avait à tenir lorsque l'association est à l'état ouvert (respectivement fermé) doit alors être répartie entre les composants encore en fonctionnement.

Dans ce cas, la propagation de la défaillance est soumise à la présence d'une marge de sécurité sur la tenue en tension et la capacité en courant.

Notons que les cas peu probables de défaillance en mode ouvert (respectivement fermé) de la structure série (respectivement parallèle) lorsque le composant est capable de tenir toute la tension (respectivement le courant) n'existent plus forcément dans la structure matricielle. Dans ces cas, la structure considérée (série ou parallèle) peut fonctionner de façon dégradée quand la commande permet de piloter les composants de la structure duale. De façon plus explicite :

- Lors de la défaillance en mode haute impédance du composant, les composants qui lui sont associés en parallèle le protègent de toute surtension lors de la fermeture de la matrice.
- Lors de la défaillance en mode faible impédance du composant, les composants qui lui sont associés en série protègent le de tout surcourant lors de l'ouverture de la matrice.

De façon générale, considérons une matrice  $S \times P$ , c'est à dire  $S$  étages en série de  $P$  composants identiques en parallèle (avec  $S > 1$  et  $P > 1$ ).

Le développement mathématique présenté dans l'annexe VI.1. nous donne les surcontraintes en tension et en courant subies par les composants d'une association matricielle suite à la défaillance de l'un d'entre eux.

La surcontrainte en tension considérée sera le rapport de la tension supportée après apparition de la défaillance, par celle supportée avant :

$$\frac{V_{\text{après défaillance}}}{V_{\text{avant défaillance}}}$$

Les considérations sont similaires pour les surcontraintes en courant :

$$\frac{I_{\text{après défaillance}}}{I_{\text{avant défaillance}}}$$

Les tableaux suivants représentent les surcontraintes selon ces hypothèses concernant l'impédance du composant défaillant. Les formules dont le cadre est épais donnent des résultats toujours supérieurs à 1. Ceci traduit une augmentation du paramètre concerné sur les composants en question, et donc de réelles surcontraintes.

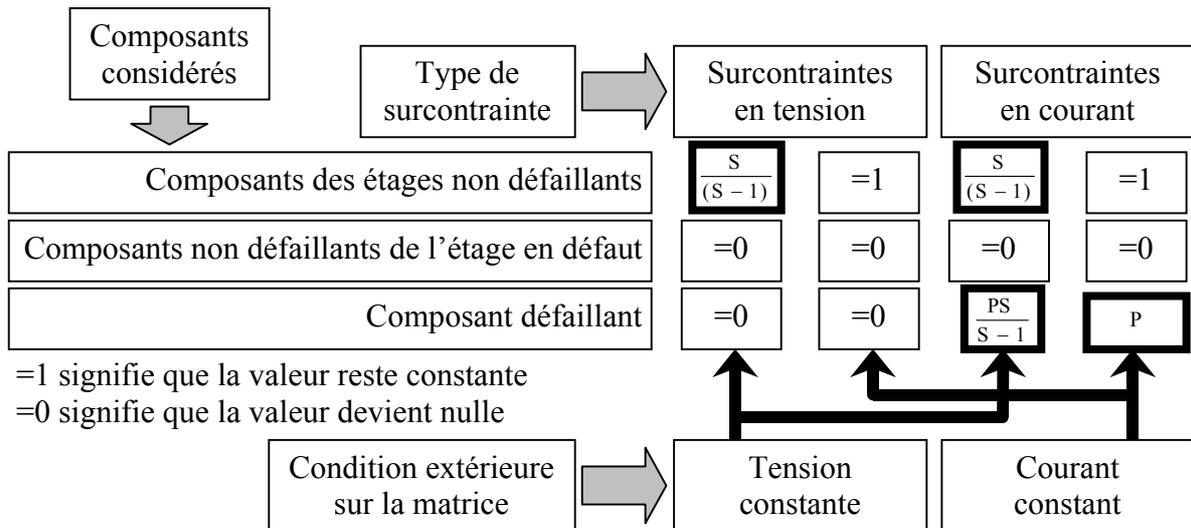


Figure II.31 : tableau des surcontraintes sur les composants d'une matrice ( $S \times P$ ) suite à une défaillance d'un composant en mode faible impédance  $Z_{def} \ll Z_0$

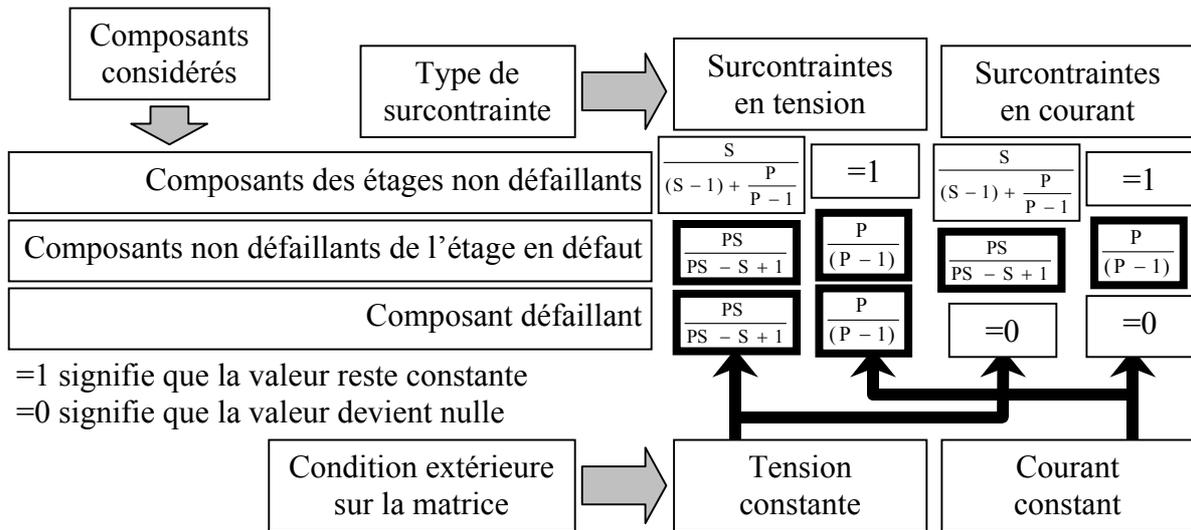


Figure II.32 : tableau des surcontraintes sur les composants d'une matrice ( $S \times P$ ) suite à une défaillance d'un composant en mode haute impédance  $Z_{def} \gg \gg Z_0$

Appliquons ces résultats à une mise en matrice de 6 composants (3 mises en série de 2 composants en parallèle).

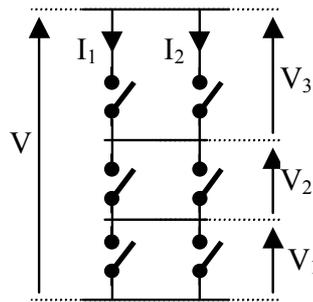


Figure II.33 : schéma d'une matrice ( $3 \times 2$ ) de 3 mises en série de 2 composants en parallèle, notation des courants et tensions

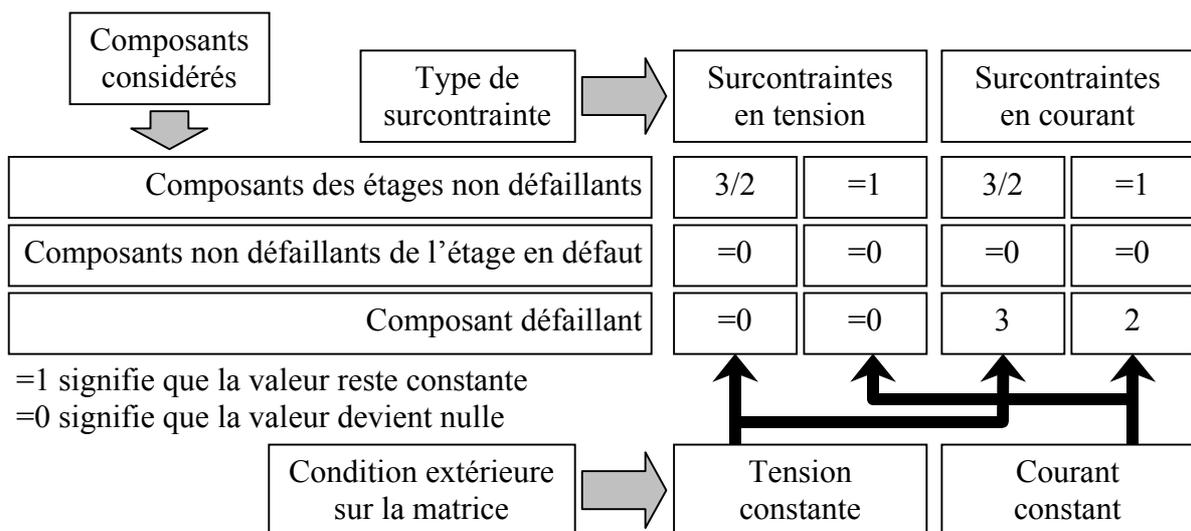


Figure II.34 : tableau des surcontraintes sur les composants d'une matrice ( $3 \times 2$ ) suite à une défaillance d'un composant en mode faible impédance  $Z_{def} \ll \ll Z_0$

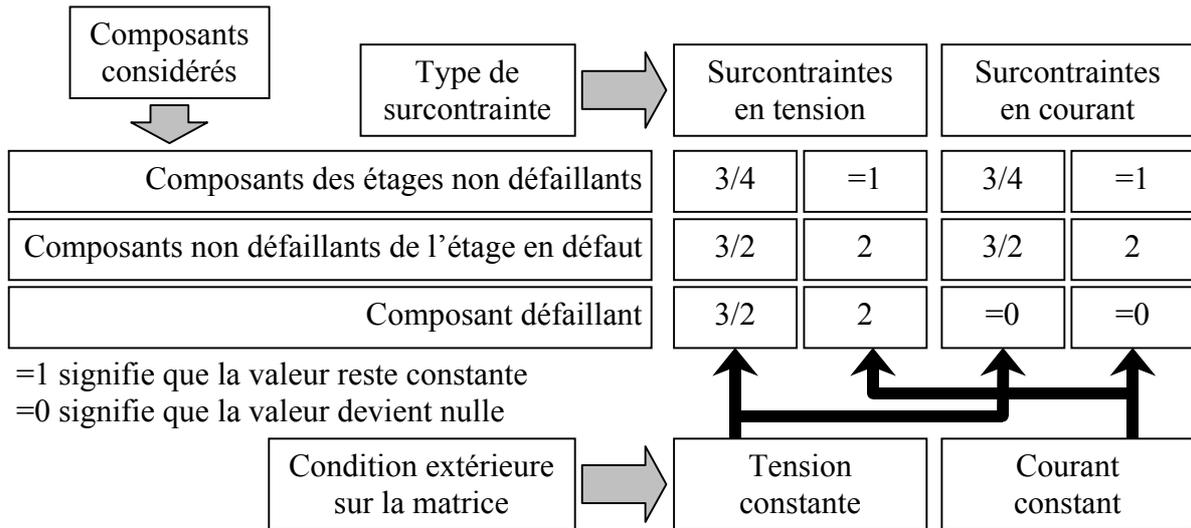


Figure II.35 : tableau des surcontraintes sur les composants d'une matrice (3x2) suite à une défaillance d'un composant en mode haute impédance  $Z_{def} \gg \gg Z_0$

## II.6. Conclusion

La fiabilité des interrupteurs matriciels est particulière. Bien que le nombre important de composants laisse présager une fiabilité faible, l'association matricielle augmente la disponibilité.

Une matrice possédant de nombreux composants sur les deux dimensions (série et parallèle) peut être tolérante à la panne.

En effet, d'une part les surcontraintes électriques engendrées par la perte d'un composant sont d'autant plus faibles que les composants restants sont nombreux. D'autre part, quel que soit le mode de défaillance du composant en défaut, la matrice peut être dimensionnée pour être tolérante à cette défaillance.

**Suivant le mode de défaillance de ses composants et suivant son dimensionnement, la matrice possède une aptitude à la tolérance à la panne apportée par une redondance naturelle.**

## II.7. Références bibliographiques associées au second chapitre

[1] H. FOCH, T. MEYNARD, R. ARCHES, M. METZ, *Etude comparative des techniques de mise en série dans les convertisseurs alimentés sous haute tension*. EPE'92 Marseille.

[2] R. GUIDINI, *Interrupteur rapide haute tension réalisé par mise en série de composants semi-conducteurs pour convertisseurs de forte énergie*. Thèse de Doctorat, USTL, janvier 1995.

[3] N. LAPASSAT, *Etude du comportement en commutation douce des semi-conducteurs associés en série*. Thèse de Doctorat, USTL, octobre 1998.

[4] CNET, *Composants Electroniques, Recueil de données de fiabilité* (norme UTE C 80-810), juin 1997.

[5] J. R. COUDRIN, *Caractérisation des oxydes de grille de transistors MOS de puissance - Taux de défaillance associée*. EPF'96, Grenoble, pp. 397-401.

[6] LCC, THOMSON-CSF, *Condensateurs à diélectrique film polypropylène*. Notice d'application.

[7] J. ARNOULD, P. MERLE, *Dispositifs de l'électronique de puissance*. Edition HERMES, Paris 1992.

[8] J. FLANNERY, M. MEINHARDT, P. CHEASTY *et al.*, *Power Electronic Packaging of integrated Power Modules (IPMs) for 0.75 kW and 2 kW Drive Applications*. EPE'99, Lausanne.

# CHAPITRE III : DÉFAILLANCE DES INTERRUPTEURS ELEMENTAIRES UTILISANT DES MOS

Ce chapitre est consacré à l'étude des défaillances des composants semi-conducteurs. Les études ont été effectuées principalement avec des transistors MOS en boîtier TO220 et des diodes. Cependant, la démarche, ainsi que certains résultats, peuvent être étendus à d'autres composants tels que les IGBTs.

Nous verrons les différents modes de défaillances de ces interrupteurs élémentaires, puis les critères intervenant dans la fiabilité des composants.

Notons d'ors et déjà que la réalisation de commutateurs par mise en matrice de nombreux composants standard et très répandus [1], entraîne un coût par composant relativement faible par rapport à des alimentations à base de gros modules. Ceci nous permet d'effectuer de nombreuses études destructives sur les composants utilisés, à de faibles coûts.

## III.1. Origines de la défaillance des interrupteurs élémentaires MOS

Dans ce paragraphe, nous allons présenter les différentes origines des défaillances de composants en fonction des types de défaillance dont ils sont victimes [2] [3].

Le mode de défaillance fait référence à l'état du composant (typiquement circuit ouvert, court-circuit faible ou haute impédance,...) après avoir été soumis à un type de défaillance (surcontrainte en tension ou en courant, défaillance de type aléatoire,...). Il s'agit donc du mode de défaillance que nous qualifierons d'initial car les conditions extérieures peuvent modifier l'état du composant après la défaillance.

Les composants utilisés pour les études sont principalement des transistors MOS en boîtier TO220 de type IRF840 (500 V ; 8 A ; 0,85  $\Omega$ ).

Le composant est alors considéré comme une puce de silicium brasée sur une semelle en cuivre et reliée aux connexions de source et de grille par des fils de liaison.

### III.1.1. Vieillissements

Le vieillissement des composants semi-conducteurs est principalement de deux types : le vieillissement par cyclage thermique et les vieillissements dus aux réactions chimiques et physiques.

#### III.1.1.1. Vieillissement par cyclage thermique

Le vieillissement par cyclage thermique est un type de vieillissement particulier car son existence dépend directement du type d'utilisation que l'on fait des composants.

**Le phénomène de cyclage thermique est la détérioration physique d'un composant. Il apparaît lorsque l'excursion en température (du composant) est telle que les différences de dilatations thermiques des matériaux le constituant sont significatives.**

Lorsque la température du composant varie, les différents matériaux constituant le composant se dilatent ou se rétractent suivant leur caractéristique de dilatation thermique. Pour mémoire, voici les caractéristiques des principaux matériaux constituant le composant [4] :

- Silicium 2,9 à 7,4  $10^{-6}/^{\circ}\text{C}$  (suivant le dopage)
- Aluminium 23,6  $10^{-6}/^{\circ}\text{C}$  (3 à 8 fois celle du silicium)
- Cuivre 16,6  $10^{-6}/^{\circ}\text{C}$  (2 à 6 fois celle du silicium)
- Etain 23,4  $10^{-6}/^{\circ}\text{C}$  (3 à 8 fois celle du silicium)
- Plomb 28,8  $10^{-6}/^{\circ}\text{C}$  (4 à 10 fois celle du silicium)

La différence entre ces caractéristiques de dilatations thermiques engendre, lors d'une excursion en température  $\Delta T$ , des contraintes mécaniques aux interfaces. Ces contraintes détériorent les liaisons en provoquant l'apparition de micro fissures dans les matériaux.

Un exemple simple d'assemblage d'une puce avec une technologie soudée [4] et des zones sensibles à ces vieillissements est présenté dans le chapitre II (Figure II.14 page 35).

Le vieillissement par cyclage thermique est rapide devant les autres phénomènes de vieillissement qualifiés d'intrinsèques. En effet, la dégradation engendrée s'accélère de façon naturelle et conduit à un emballement du phénomène : en détériorant les interfaces, le cyclage thermique augmente, d'une part la résistance électrique du contact et donc les pertes en conduction, et d'autre part la résistance thermique de l'interface qui perd de son aptitude à évacuer la chaleur. Ces deux conséquences augmentent l'excursion en température de la puce et accélèrent son vieillissement par cyclage thermique.

Ce type de défaillance conduit principalement à deux modes de défaillance :

- Soit la liaison considérée est traversée par un courant relativement faible (typiquement, le fil de liaison entre la broche de grille et le plot de grille sur la puce pour le MOS en boîtier TO220) : la dégradation engendrée par le cyclage thermique conduit à une ouverture de la liaison. Le composant n'est alors plus commandable car sa connexion de grille se trouve non connectée. La défaillance initiale est une faible impédance (impédance du composant non défaillant à l'état fermé). Le potentiel de grille n'étant plus défini par le circuit extérieur, le composant peut passer en mode conduction très facilement.
- Soit la liaison considérée est traversée par un fort courant (typiquement, la soudure entre la puce et la semelle du boîtier). L'augmentation de sa résistivité électrique conduit en général à une augmentation de la température globale du composant jusqu'à sa destruction par dépassement de la température critique du silicium (fonction du dopage, de l'ordre de 200  $^{\circ}\text{C}$ ). Le composant défaillant se présente, vu de la partie puissance, comme un court-circuit faible impédance.

Pour les cas qui nous concernent, les alimentations considérées fonctionnent avec peu d'énergie dissipée par cycle et à des fréquences élevées devant les temps mis en jeu lors des phénomènes de dilatations thermiques. Prenons les cas d'une alimentation constituée de MOS

fonctionnant à 5 000 Hz. Les deux cyclages thermiques présents sont celui du fonctionnement à 5 kHz, et celui des arrêts périodiques du système.

A 5 kHz, l'excursion en température de la jonction des transistors vaut :

$$\Delta t_j = \frac{E_{imp}}{K_{Si}} \quad (III-1)$$

Avec  $E_{imp}$  l'énergie déposée dans la puce par impulsion et  $K_{Si}$  ( $1.7 \text{ J.C}^{-1}.\text{cm}^{-3}$ ) la capacité calorifique du silicium pour une puce d'IRF840 (on se place ici dans l'hypothèse que les temps sont courts et que la puce fonctionne, lors de l'impulsion, de manière adiabatique).

Une énergie de 0,4 mJ déposée dans la puce à chaque impulsion donne une excursion en température de la jonction de 0,24 °C. Dans ce cas, il n'y a pas de vieillissement par cyclage thermique car, d'une part l'excursion en température de la jonction est très faible, et d'autre part l'échelle des temps liée au fonctionnement est faible devant celle des phénomènes de dilatations (propagation de la chaleur dans les matériaux) (c.f. Figure II.15 page 36)

Lors des arrêts périodiques, l'excursion en température est de l'ordre de 50 °C (température moyenne des composants ~70 °C en fonctionnement, celle de l'ambient ~20 °C). Une formule [7] donne le nombre de cycles thermiques  $N$  supportables par un transistor de puissance, en fonctionnement cyclique, suivant l'excursion en température de sa jonction  $\Delta t_j$  :

$$N = 10^7 . e^{-0.05 . \Delta t_j} \quad (III-2)$$

La courbe suivante montre, en échelle logarithmique, de quelle manière l'excursion en température fait décroître le nombre de cycles admissibles :

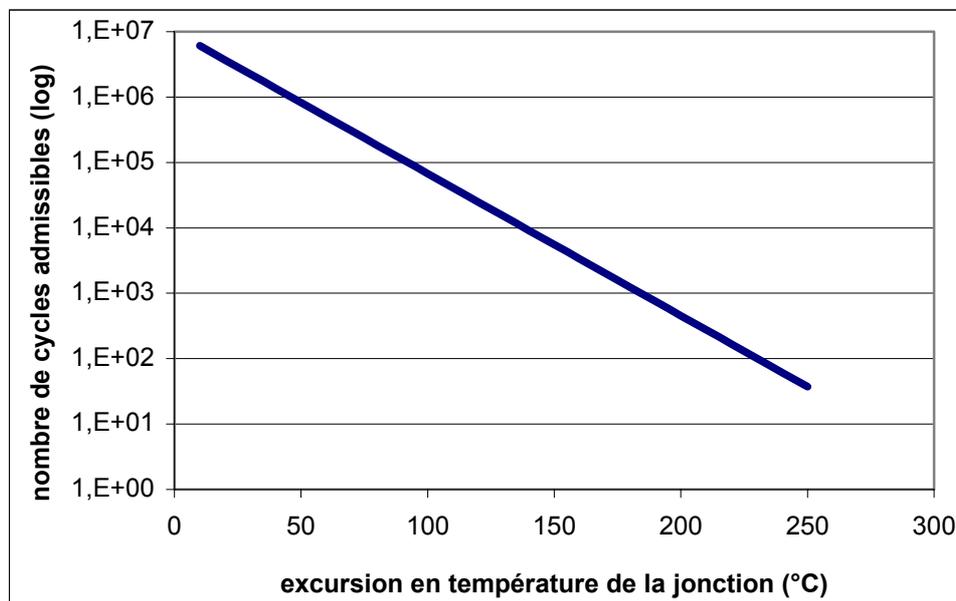


Figure III.1 : nombre de cycles admissibles par un transistor de puissance, en fonctionnement cyclique, en fonction de l'excursion en température de sa jonction

Pour une excursion en température de quelques dizaines de degrés, l'ordre de grandeur du nombre de cycles est de  $10^6$ . A raison d'un arrêt par jour, le phénomène de cyclage limite la durée de vie des transistors à 2 700 ans.

En conclusion, les phénomènes de cyclage thermique ne sont pas déterminants pour l'évaluation de la durée de vie des montages fonctionnant à des fréquences de l'ordre du kilohertz avec peu d'énergie dissipée par cycle.

Une réponse des fabricants de composants face aux problèmes de cyclage thermique est l'utilisation du boîtier press-pak. Réservé aux composants de plus grande taille que les MOS en boîtier TO220, ce boîtier assure les connexions de puissance par pression et non par soudure. La pression exercée entre les connexions de puissance de la puce permet d'assurer la conduction électrique tout en permettant un glissement des faces lors des dilatations.

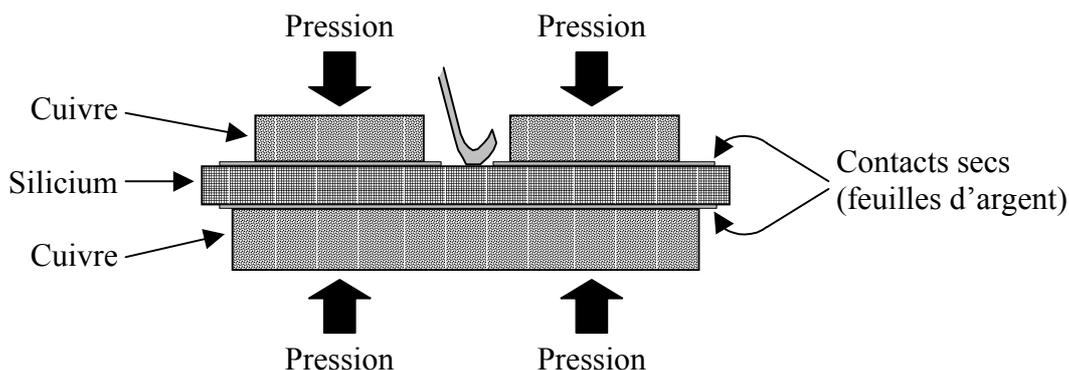


Figure III.2 : prise de contact par pression [4]

### III.1.1.2. Vieillissements intrinsèques

Nous qualifierons de vieillissement intrinsèque tous les vieillissements autres que ceux dus au cyclage thermique. Il s'agit principalement de phénomènes liés à des réactions chimiques.

Prenons le cas des interactions chimiques entre les différents matériaux présents [2].

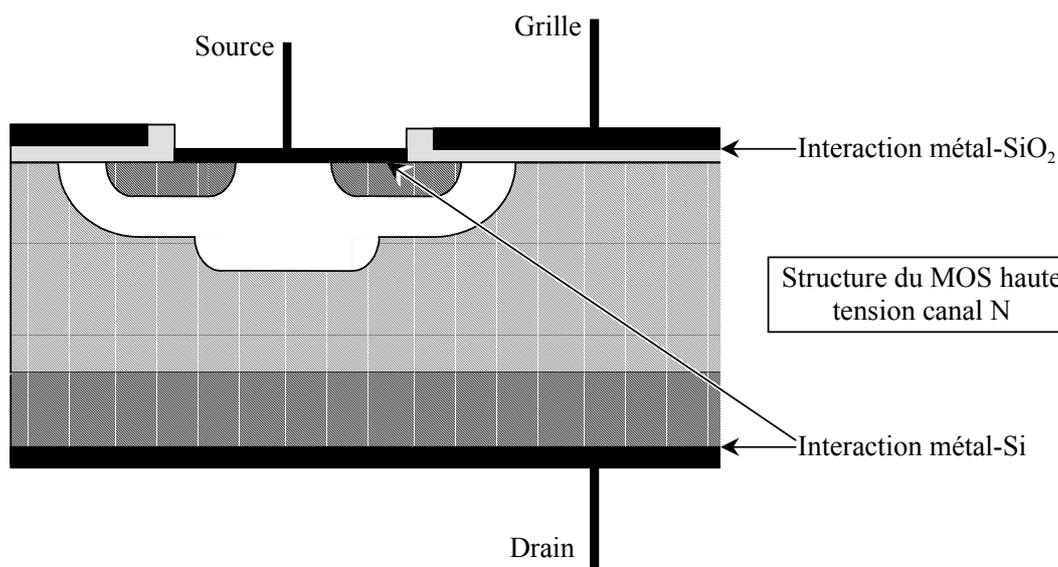
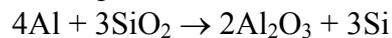


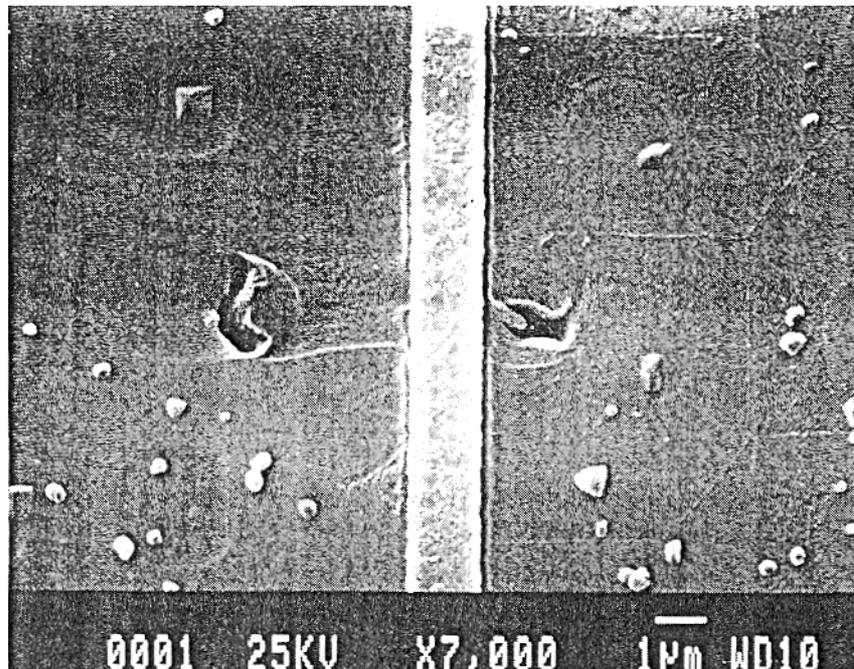
Figure III.3 : zones d'interactions chimiques

### Interaction métal-SiO<sub>2</sub>

Cette réaction possède une énergie d'activation de l'ordre de 2 eV. Il y a destruction de l'oxyde de silicium par la réaction chimique suivante :



Cette réaction forme un contact ohmique au travers de l'oxyde de silicium jusqu'à son claquage lors de l'application d'un champ supérieur au champ maximal admissible. L'oxyde de silicium est alors détruit par perforation.



*Figure III.4 : perforation par filamentation d'un diélectrique*

### Interaction métal-Si

Cette réaction est liée à la diffusion du silicium dans le métal, ce qui déplace la zone de contact. Elle possède une énergie d'activation de l'ordre de 3,5 eV pour le cas Si-Al. La diffusion du silicium dans le métal peut soit engendrer des pics métalliques susceptibles de court-circuiter des zones de semi-conducteur, soit créer des zones semi-conductrices dans une zone métallique qui détériorent le contact électrique.

Il existe d'autres phénomènes de ce type conduisant au déplacement des zones les unes dans les autres. Par exemple la migration métallique due au passage de fortes densités de courant. Les flux importants d'électrons arrachent des particules de métal et les déplacent dans les zones semi-conductrices. Les modes de défaillances associés sont le court-circuit des zones semi-conductrices où le métal est déposé et le circuit ouvert des zones où il est arraché.

Bien que ces phénomènes semblent très dangereux car inévitables, les constantes de temps mises en jeu pour faire du phénomène une défaillance sont très longues devant la durée d'utilisation des composants.

Il y a quelques dizaines d'années, l'encapsulation des composants n'était pas suffisamment de qualité pour assurer l'étanchéité entre la puce et l'extérieur. Pour assurer un certain niveau de fiabilité, certains boîtiers étaient pourvus de gouttes de verre aux liaisons vers l'extérieur

pour améliorer l'étanchéité. Typiquement, il s'agit des composants dits militaires destinés aux applications du même nom. Aujourd'hui, le progrès en matière de fabrication permet une qualité de fabrication bien supérieure ce qui, du reste, pousse les militaires à changer leurs habitudes et à utiliser de plus en plus de composants standard du commerce [5] [6].

### III.1.2. Surcontraintes électriques

Le cas des défaillances dues à des surcontraintes est relativement courant. Tout d'abord, définissons les régimes extrêmes.

Une surcontrainte est une surtension et/ou un surcourant. C'est une augmentation de la valeur du paramètre par rapport à une valeur prise pour référence.

Une surcontrainte n'entraîne pas obligatoirement la défaillance du composant.

Ces surcontraintes peuvent avoir lieu au niveau de la commande ou sur la partie puissance. Dans notre cadre d'étude, celui des MOS, la partie commande est surtout sensible aux contraintes en tension.

#### III.1.2.1. Surtension

##### Sur la partie commande d'un MOSFET

Une surtension grille-source n'est critique que dans le cas où elle dépasserait la tension de claquage de l'oxyde de grille [8]. Dans ce cas, nous avons pu vérifier par de nombreux essais que la destruction de la capacité de grille engendre un court-circuit grille-source faible impédance (Figure III.4) ainsi qu'un court-circuit de la partie puissance du composant. L'impédance entre drain et source est alors de l'ordre de l'ohm.

##### Sur la partie puissance d'un MOSFET

Les critères entraînant la destruction du composant par surtension drain-source ne sont pas aussi simples que dans le cas de la commande.

Prenons le cas de la tension drain-source admissible par un transistor MOS. Il existe trois valeurs de tension qui peuvent être prises pour référence et dont le dépassement peut conduire à la défaillance : la tension d'utilisation du composant ( $V_{\text{util}}$ ), la tension maximum tenue par le composant ( $V_{\text{BR}}$ ) et la tension maximum en mode d'avalanche ( $V_{\text{max}}$ ).

Notons ( $V_{\text{spéc}}$ ), la tension maximum spécifiée par le fabricant nous avons :

$$V_{\text{util}} < V_{\text{spéc}} < V_{\text{BR}} < V_{\text{max}}$$

Prenons l'exemple des IRF840 de chez International Rectifier (date/code 9550), composant standard du laboratoire. Le barographe suivant compare ces différents niveaux de tension.

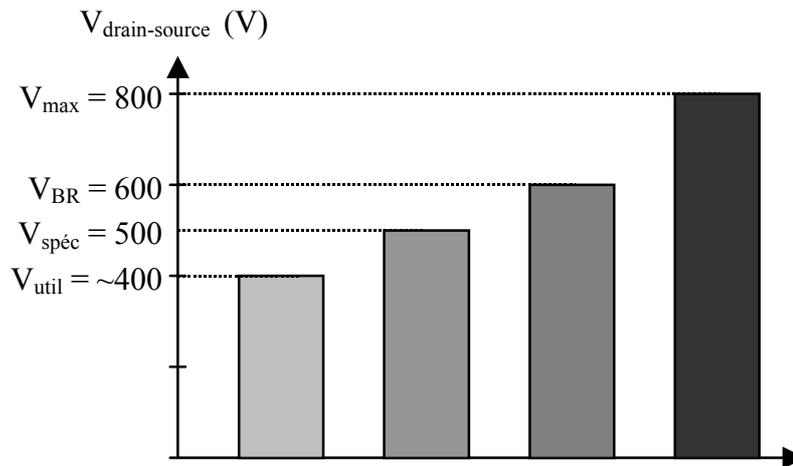


Figure III.5 : différents niveaux de tensions propres à un MOS de type IRF840 IR

La surtension est considérée suivant son aspect critique pour le composant. Notons :

**Bien que le régime de surtension puisse engendrer la défaillance des composants, ce n'est jamais le niveau de tension alors atteint qui détruit le composant mais le courant.**

L'origine de la destruction du composant est le dépassement localisé de la température critique du silicium qui provoque sa fusion. L'augmentation de cette température est due à la dissipation thermique engendrée par le passage du courant qui peut être très localisée en un point de la puce.

Le niveau de tension destructif correspond à un mode dans lequel le courant, qui traverse le composant, conduit à sa destruction par fusion d'une zone du silicium de la puce. Ce type de défaillance conduit à un court-circuit de faible impédance de la partie puissance du composant considéré, par fusion locale du silicium. Cette fusion, aussi appelée filamentation (par analogie à la forme de la zone fondue), rend le silicium intrinsèque et conducteur.

On peut distinguer les cas suivants :

- ↪ Soit la tension  $V_{BR}$  n'est pas atteinte : ( $V_{\text{drain-source}} < V_{BR}$ ). Une surcontrainte en tension s'accompagne alors d'une augmentation de l'énergie dissipée par le composant. L'échauffement peut être destructif pour la puce par dépassement de la température limite du semi-conducteur.
- ↪ Soit la tension  $V_{BR}$  est atteinte voire dépassée : ( $V_{\text{drain-source}} \geq V_{BR}$ ). Si le composant est capable de supporter en régime d'écrêtage au courant fixé par l'extérieur, la destruction du composant sera du même type que précédemment : l'augmentation de tension serait liée à une augmentation de courant qui détruirait le composant par fusion d'une partie de celui-ci à cause d'un échauffement critique. Si le composant n'est pas capable de supporter le mode d'avalanche, la surtension détruit alors le composant par claquage du semi-conducteur.

**L'aptitude à tolérer le fonctionnement en avalanche est une question de répartition du courant dans le volume de la puce. La capacité en courant d'avalanche est d'autant plus grande qu'il se répartit de façon homogène, évitant la création de points chauds où l'emballement thermique conduit à la destruction du composant.**

La dispersion du courant dans la puce peut être due à sa géométrie ou à la présence de défaut (pollution ionique, défaut d'encapsulation...).

### **III.1.2.2. Surcourant**

Comme nous l'avons vu, c'est le courant qui engendre la destruction du composant.

Localement, une densité de courant importante dans une zone résistive entraîne une augmentation de la température du silicium qui peut atteindre la température critique. A cette température il y a emballement thermique local par création des paires électrons-trous rendant le silicium intrinsèque et incapable de limiter le courant. L'emballement conduit la température du silicium de façon localisée à celle de la fusion (1420 °C) et détruit le composant par filamentation.

Suivant la valeur du courant, soit la défaillance par surcourant conduit à la destruction de la puce par simple filamentation du cristal semi-conducteur (le composant se présente alors comme un court-circuit faible impédance), soit la valeur du courant est plus importante et fond les connexions de la puce. Le composant se présente alors comme un circuit ouvert.

### **III.1.3. Défaillances aléatoires**

Comme nous l'avons vu dans le premier chapitre relatif à la théorie de la fiabilité, les composants électroniques possèdent une période de vie utile durant laquelle leur taux de défaillance est constant et indépendant du temps d'utilisation. Ceci s'explique par le fait que durant cette période, les composants ne sont soumis à aucune défaillance par usure mais à l'occurrence de défaillances aléatoires [7].

Ces défaillances aléatoires pour les composants semi-conducteurs sont dues à la présence de charges résiduelles dans le silicium qui, sous l'effet des champs électriques appliqués au composant, se déplacent et migrent. Ces mouvements, qui ont lieu aussi bien dans le cristal de silicium que dans les oxydes de grille [8] peuvent regrouper ces charges et conduire à l'apparition d'une zone plus fragile vis à vis de la tenue en tension. Le composant peut alors être détruit par claquage local lors de l'application d'une tension.

Ce type de défaillance conduit à une destruction du composant en mode court-circuit drain-source faible impédance.

## III.2. Critères laissant présager la fiabilité d'un type de composant

**L'étude de la fiabilité d'un produit passe par deux points essentiels :**

- L'étude de la fiabilité des composants utilisés,
- L'étude de la fiabilité des topologies retenues.

L'étude de la fiabilité des composants passe par l'étude du besoin et de la détermination des critères (critères dits de fiabilité) laissant présager la fiabilité des composants qui en découle.

Issues d'une démarche personnelle, les principaux critères traduisant un haut niveau de fiabilité des composants sont :

- ↳ capacité en courant en écrêtage ou fonctionnement en avalanche,
- ↳ aire de sécurité,
- ↳ dispersion des caractéristiques.

### III.2.1. Capacité en courant en écrêtage ou fonctionnement en avalanche

Dans les mises en série de composants, les surcontraintes en tension sont courantes : décalages des ordres de commande, influence des composants parasites de liaison entre eux ou vis à vis de l'extérieur ou encore répartition non uniforme entre les composants suite à la défaillance d'un d'entre eux (dans les structures matricielles).

Si on suppose que les composants ne sont pas protégés en tension, ils ont à supporter des phases de régime extrême lors de ces surtensions.

Nous étudions donc l'aptitude des composants à fonctionner en mode d'écrêtage. Ce mode est, de façon simple, la capacité d'un composant bloqué à maintenir une tension à ses bornes liée au courant le traversant qu'il n'est plus capable de couper. Dans ce mode, les composants fixent la tension à leurs bornes (à une valeur qui est fonction du courant), et le circuit extérieur définit le courant.

Notons que le terme avalanche est souvent associé au fonctionnement en mode d'écrêtage. En toute rigueur, le terme avalanche illustre le passage massif de charges dans le semi-conducteur. Il peut s'agir aussi bien d'un phénomène tolérable (écrêtage) que destructif (second claquage des TJB).

Dans le cas des MOS, des diodes et des Transils, nous considérerons que le terme avalanche fait référence au fonctionnement non destructif d'écrêtage (lorsque le courant est limité). Le mot avalanche est alors associé de préférence au phénomène interne à la puce lors de l'atteinte de la tension limite, alors que le mot écrêtage est plus utilisé pour le composant et sa capacité à limiter la tension. Afin de simplifier le vocabulaire et pour éviter la confusion, nous utiliserons le mot claquage pour décrire la destruction du composant plutôt que celui d'avalanche (supposée destructive).

Le montage classiquement employé, pour caractériser les composants en régime d'avalanche, utilise la technique d'ouverture sur source de courant :

Cette méthode, utilisée par les fabricants par exemple pour la caractérisation des diodes en énergie d'avalanche, consiste à faire croître un courant dans une inductance au travers d'un interrupteur fermé. Son ouverture imposera le courant dans le composant en essai qui est associé en parallèle à l'interrupteur.

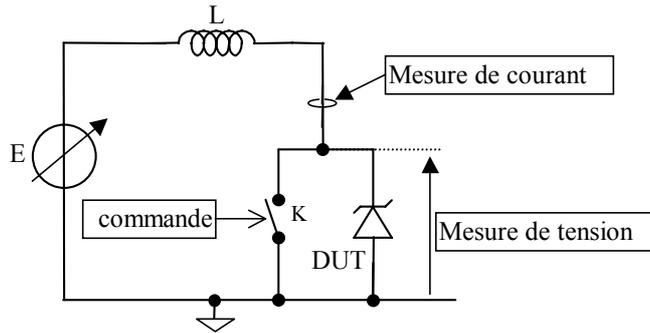


Figure III.6 : schéma de test utilisant l'ouverture sur une source de courant

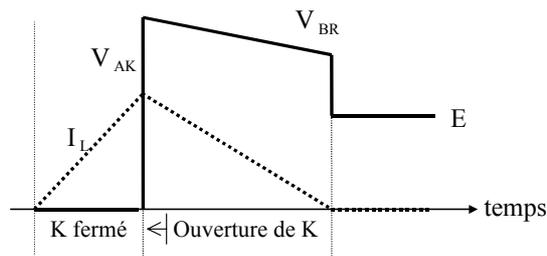


Figure III.7 : formes d'onde associées

Cette technique présente l'avantage de la simplicité de réalisation. Néanmoins, elle ne permet pas l'indépendance de paramètres tels que la durée de l'impulsion et le niveau de courant. Les formes du courant (triangulaire) et de la tension (trapézoïdale) sont difficiles à exploiter. De plus, cette technique est généralement utilisée pour caractériser les composants à des courants en écrêtage faibles durant des temps longs qui ne correspondent pas aux besoins des concepteurs.

Les surtensions rencontrées dans les mises en série sont plutôt du type forts courants et temps courts. Aussi, nous avons réalisé des bancs de test de différents calibres pour ces besoins, permettant le réglage indépendant des paramètres (durée de l'impulsion, intensité du courant en écrêtage) et conduisant à une simplicité (toute relative) de l'interprétation des résultats (tension et courant synchronisés sous forme de créneaux).

Ces bancs de tests se nomment « Machine à Avalanche » et sont présentés dans le détail en annexe. Leur schéma de principe est le suivant :

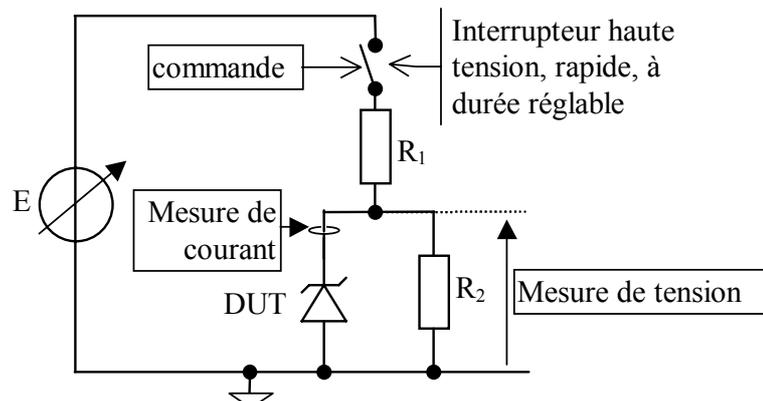


Figure III.8: schéma de principe de la Machine à Avalanche

Le principe de fonctionnement est d'appliquer un créneau de tension et/ou de courant sur le composant à caractériser en régime d'écrêtage en fermant l'interrupteur haute tension et en limitant le courant grâce à la résistance  $R_1$ . Les formes de tension et de courant sont rectangulaires.

L'oscillogramme suivant représente un exemple de relevé concernant l'aptitude d'une diode BYW 100 200 à supporter 4 fois son courant nominal ( $4I_n$ ) en courant en écrêtage durant  $2 \mu\text{s}$  (temps choisi comme standard pour nos essais).

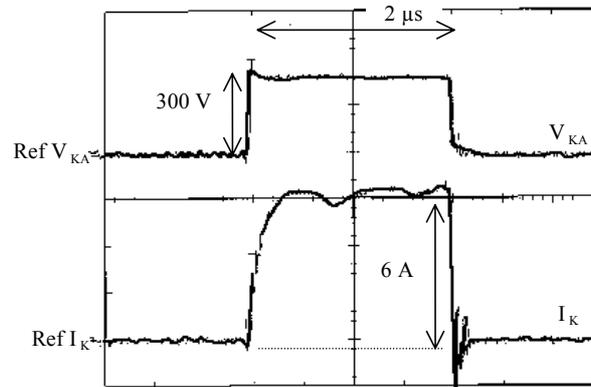


Figure III.9 : Oscillogramme de l'écrêtage d'une diode BYW 100 200

En basant notre réflexion sur les faits suivants :

- ↪ Les puces des composants (diodes, Transils et transistors) sont capables de supporter en mode normal un courant dit nominal,
- ↪ Durant une phase d'écrêtage, le paramètre sensible conduisant à la destruction des composants n'est pas la durée (dans une certaine limite) mais le niveau de courant en écrêtage. Le paramètre énergie est lié à la tenue de la puce aux échauffements en régime adiabatique, et les tests que nous avons effectués ont montré que les courants tolérables sont égaux pour des impulsions de 200 ns et  $2 \mu\text{s}$  (qui est l'ordre de grandeur des durées des phases de fonctionnement en régime d'avalanche communément rencontrées). Une impulsion longue étant plus facile à générer et à mesurer, nous avons choisi de considérer des impulsions de  $2 \mu\text{s}$ .

Nous avons déterminé un critère traduisant les capacités des composants à fonctionner en régime d'écrêtage :

**Un composant sera considéré comme bon vis à vis du fonctionnement en régime d'écrêtage, s'il est capable de supporter son courant nominal comme courant en écrêtage durant  $2 \mu\text{s}$ .**

Les composants testés sur Machine à Avalanche sont nombreux. Comme indiqué précédemment, la réalisation de commutateurs utilisant de nombreux composants standard et répandus [1] entraîne un coût par composant relativement faible qui permet d'effectuer de nombreuses études destructives sur les composants pour de faibles coûts.

Les résultats détaillés de ces études n'ont pas leur place ici. Nous pouvons cependant en citer quelques-uns.

Outre la classification des composants selon leur capacité à vérifier notre critère, nous avons observé quelques considérations importantes.

Les composants de plus fort calibre en courant ne sont par forcément les meilleurs vis à vis du fonctionnement en écrêtage. Le tableau suivant présente les résultats pour des diodes ST de la famille des STTA.

Références	$I_{F(AV)}$	Courant en écrêtage	$V_{RRM}$	Tension d'écrtage	Energie Déposée	Classification
STTA 812 D	8 A	11 A (= 1,37 $I_{F(AV)}$ )	1200 V	1600 V ( $V_{RRM} + 400$ V)	55,2 mJ	bonne
STTA 1212 D	12 A	15 A (= 1,25 $I_{F(AV)}$ )	1200 V	1350 V ( $V_{RRM} + 150$ V)	43,2 mJ	bonne
STTA 1512 P	15 A	14 A (*)	1200 V	1350 V ( $V_{RRM} + 150$ V)	38,9 mJ	mauvaise
STTA 2512 P	25 A	15 A (*)	1200 V	1350 V ( $V_{RRM} + 150$ V)	43,2 mJ	mauvaise

\* : défaillance du composant

Cette technique de caractérisation en écrêtage permet de détecter un changement dans les caractéristiques d'un composant au fil des années de fabrication. La diode MUR4100E en est un exemple. Répondant à notre critère de choix vis à vis du fonctionnement en avalanche, cette diode fut à l'origine retenue pour faire partie des composants standard utilisés par notre laboratoire. Les tests ont cependant été poursuivis sur ce composant qui est spécifié en énergie d'avalanche. Il apparaît que seuls les composants fabriqués avant 1998 vérifiaient le critère. Le tableau suivant présente les résultats :

Date/code	$I_{F(AV)}$	Courant en écrêtage	Classification
9410	4 A	4 A	bonne
9501	4 A	4 A	bonne
9739	4 A	4 A	bonne
9803	4 A	< 1 A	mauvaise
9809	4 A	< 1 A	mauvaise

Le test de composants en avalanche permet de tracer la caractéristique d'écrtage, c'est à dire la tension d'écrtage en fonction du courant en écrtage. On détermine ainsi leur résistance dynamique. Deux exemples sont présentés sur la figure suivante :

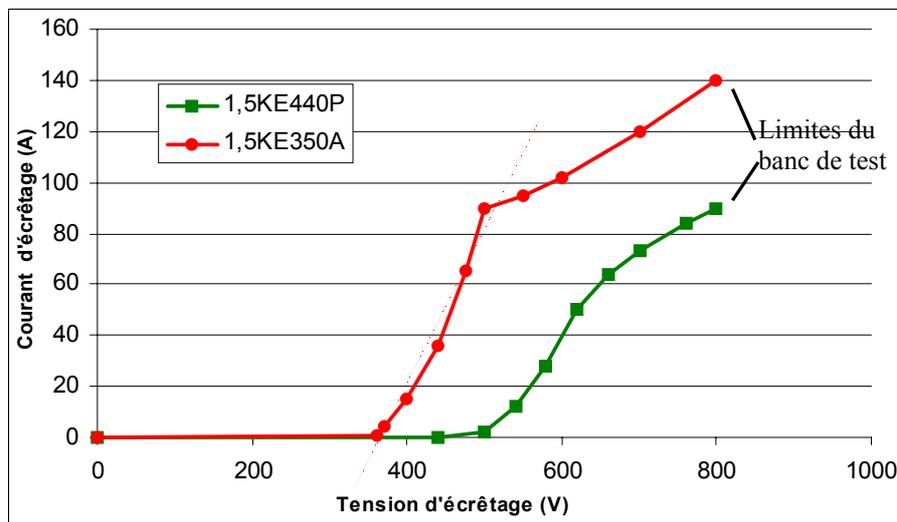


Figure III.10 : caractéristique dynamique des Transils 1,5KE350 et 1,5KE440 en régime d'écrtage à très fort courant

On notera d'après ces courbes que certains composants présentent une résistance dynamique d'écrtage non linéaire. A partir d'un certain niveau de courant, le composant ne remplit plus correctement son rôle d'écrtateur.

### III.2.2. Aire de sécurité

Afin de dimensionner, en courant en écrêtage, les systèmes de protection en tension associés aux transistors (typiquement les MOS), nous avons caractérisé l'autolimitation en courant de ces derniers. Un banc de test a été réalisé avec Mademoiselle Séverine MARC dans le cadre de sa formation d'ingénieur par alternance (CESI de Toulouse / CEA de Pierrelatte). Ce banc d'essai, nommé EASY Machine pour Etude des Aires de Sécurité des sYstèmes, est présentée en annexe VI.2. Elle permet, outre la détermination du courant d'autolimitation d'un composant (un MOS par exemple) en fonction de sa tension drain-source et paramétré par sa tension de commande, la détermination de l'aire de sécurité du composant en test. L'aire de sécurité permet la comparaison des domaines de contraintes avec la zone de survie du composant considéré.

Le principe de ce banc de test est le suivant :

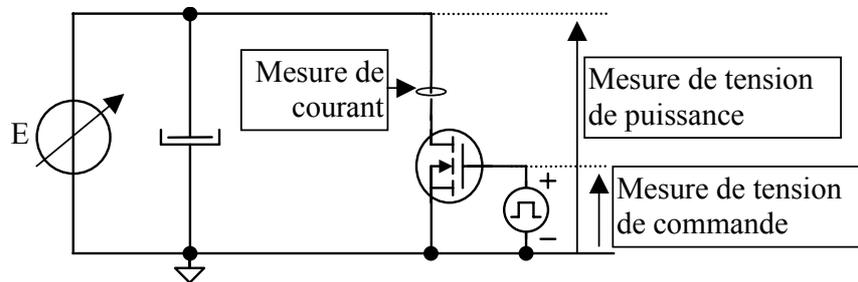


Figure III.11: schéma de principe de l'EASY Machine

Le graphique suivant représente les résultats obtenus d'autolimitation en courant pour un MOSFET IRF 840 (date code 849C 4330 d'International Rectifier) ;  $I_D = f(V_{DS})$ , paramétré par la tension de grille  $V_{GS}$ .

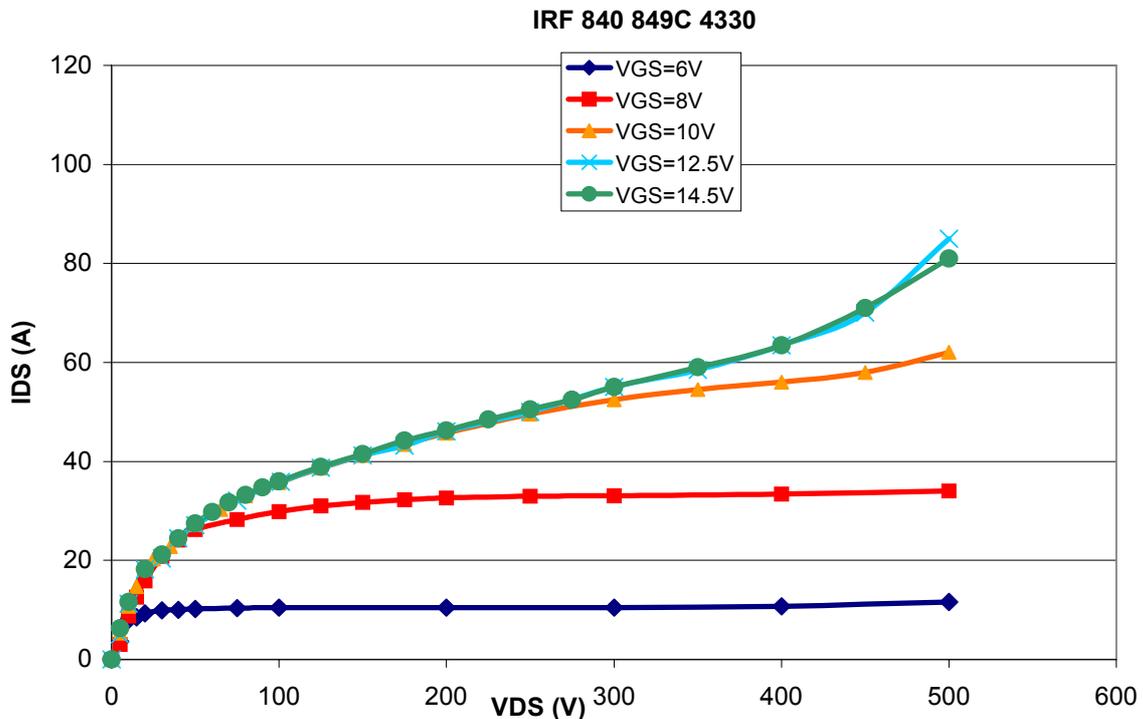


Figure III.12 : courbes d'autolimitation en courant de l'IRF840 (date/code 849C 4330)

Outre la détermination de l'abaque d'autolimitation en courant en fonction des tensions de commande et de puissance, ce graphique nous montre que, à tension drain-source constante, l'augmentation du courant de drain en fonction de la tension grille-source se stabilise à partir de 12 V. Une tension de grille supérieure n'apparaît alors pas nécessaire pour augmenter le niveau de courant. De plus, on note que le composant possède une aire de sécurité (pour des impulsions de 2  $\mu$ s) rectangulaire dont les limites sont la tension maximale spécifiée par le fabricant, et le courant maximum, à cette tension, que le composant peut admettre.

Le phénomène d'autolimitation en courant des composants à grille isolée s'explique par le pincement de leur canal de conduction.

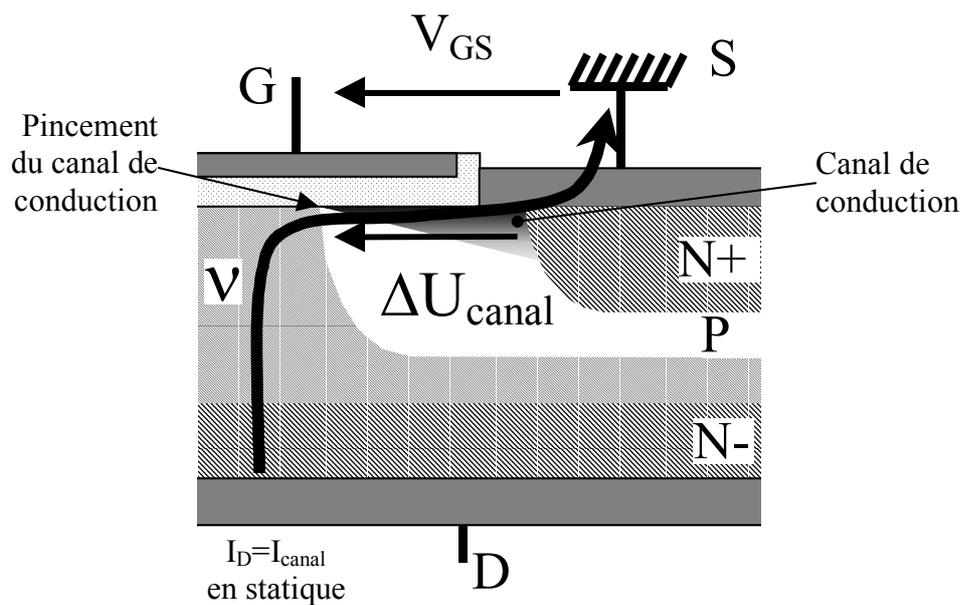


Figure III.13 : pincement du canal de conduction et autolimitation en courant

Lorsque le composant est commandé à la fermeture, la tension grille-source crée un champ électrique qui attire les électrons dans la partie supérieure de la zone P : c'est le canal de conduction permettant la circulation du courant.

La zone P étant résistive, le passage de courant crée une différence de potentiel et donc un champ électrique qui s'oppose au champ dû au potentiel grille source. On dit que le canal de conduction est pincé à l'endroit où les champs s'annulent. Les charges négatives sont plus rares et l'intensité du courant qui passe est limitée.

Plus la tension grille-source imposée est élevée, plus le pincement du canal est faible car plus de charges peuvent être attirées. Quand toutes les charges de la zone P participent au canal de conduction, l'augmentation de la tension grille-source n'a plus d'effet sur la valeur de courant autolimité.

### III.2.3. Dispersion des caractéristiques

Lors de tous les essais effectués, lorsque le nombre de composants de l'échantillon le permet, le contrôle de la dispersion de leurs caractéristiques renseigne sur la qualité de fabrication des composants.

La fabrication des composants électroniques de grande série ne laisse aucune place aux paramètres non maîtrisés. Durant les étapes de fabrication, du tirage du barreau de silicium à l'encapsulation des puces, tous les paramètres (pollution de l'environnement, placement des masques d'isolation...) doivent être parfaitement respectés et maîtrisés pour assurer la qualité des composants. Cette maîtrise de la fabrication entraîne, pour les composants d'une même série, très peu de dispersion sur les caractéristiques.

Par exemple, nous avons étudié en statique la tenue en tension des oxydes de grilles de différents IRF840 (500 V, 8 A, 0,85  $\Omega$ ). Les deux fabricants comparés spécifient la tension considérée (grille-source) à  $\pm 20$  V. Les résultats sont les suivants :

	$V_{(\text{grille-source}) \text{ max}}$	dispersion
Fabricant 1 :	85 V	$\pm 1$ V
Fabricant 2 :	64 V	$\pm 11$ V

La forte dispersion présentée sur les composants du fabricant 2 révèle un processus de fabrication où une des phases n'est pas maîtrisée. Typiquement, ce type de dispersion s'explique par des problèmes de pollution ionique des oxydes qui, d'une part réduisent les capacités de tenue en tension et d'autre part engendrent des dispersions.

Pour le cas ci-dessous, il s'agit principalement d'un problème lors de la mise en place des connexions puce-boîtier (fils dits de bonding) de grille [8]. Le mauvais contrôle de leur implantation entraîne une fragilisation de la puce en périphérie du plot de grille. Cette hypothèse se confirme lors du diagnostic de composants cassés en régime d'avalanche : la défaillance de la puce a toujours lieu dans la zone fragilisée.

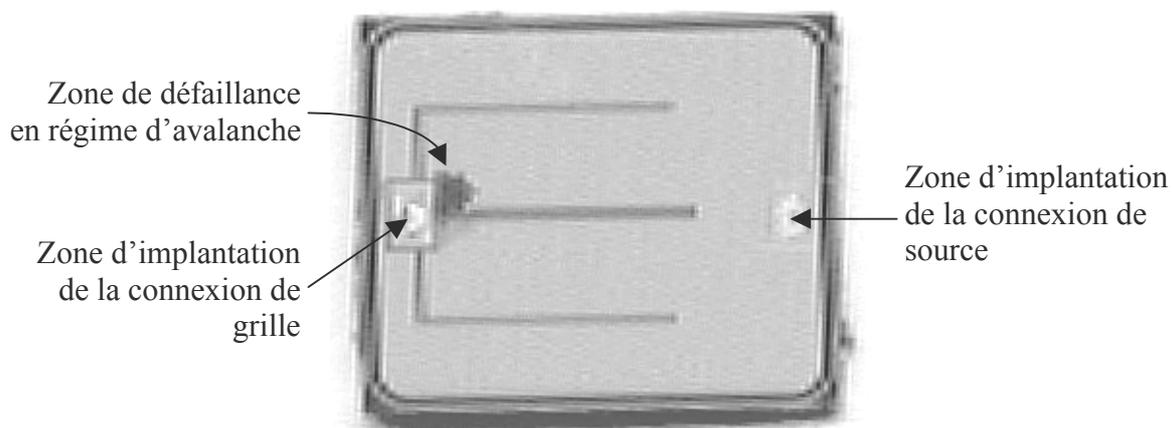


Figure III.14 : photographie d'une puce d'IRF840, localisation de la zone de défaillance en régime d'avalanche.

### III.3. Conclusion

Les origines de la défaillance des composants sont multiples : vieillissements, surcontraintes, défaillances aléatoires.

Bien qu'elles soient issues de phénomènes physiques différents il apparaît que, à l'exception des défaillances dues au cyclage thermique de la puissance, les composants possèdent toujours le même mode de défaillance initial : celui du court-circuit faible impédance de sa partie puissance [9].

C'est suite aux contraintes électriques appliquées après défaillance que l'impédance du composant en défaut évolue. Par exemple, un surcourant imposé par l'extérieur peut entraîner la fonte de fils de liaison entre la puce et le boîtier et donc une évolution du composant vers celle d'un circuit ouvert.

Notre démarche de caractérisation des composants (tenue à l'avalanche, détermination de l'aire de sécurité et observation des dispersions des caractéristiques nous renseigne sur la qualité des composants. Par exemple, la tenue en tension d'un oxyde de grille est fonction du taux d'impuretés.

### III.4. Références bibliographiques associées au troisième chapitre

[1] D. CHATROUX, Y. LAUSENAZ, J.F. VILLARD, L. GARNIER, D. LAFORE, *Power switch : the standard small components strategy*. PCIM'99, Nuremberg, 22-24 juin 1999.

[2] ASTE, *fiabilité des composants électroniques*. Edition 1991, (disponible au 01 42 66 58 29).

[3] L. HUMBERT, G. ROJAT, *Influence du vieillissement des composants semi-conducteurs dans les convertisseurs statiques sur les perturbations électromagnétiques conduites*. EPF'96 Grenoble page 337-342.

[4] J. ARNOULD, P. MERLE, *Dispositifs de l'électronique de puissance*. Edition HERMES, Paris 1992.

[5] J. McCOOG, *Commercial component integration plan for military equipment Programs, Reliability prediction and part procurement*. Reliability and maintainability symposium, 1997 proceedings page 100-110.

[6] J-C. GUEZEL, *L'armée "durcit" les composants civils*. Industries et Techniques n°817, juillet 2000 page 52-54.

[7] CNET, *Composants Electroniques, Recueil de données de fiabilité* (norme UTE C 80-810), juin 1997.

[8] J. R. COUDRIN, *Caractérisation des oxydes de grille de transistors MOS de puissance - Taux de défaillance associée*. EPF'96, Grenoble, pp. 397-401.

[9] SGS THOMSON (ST MICROELECTRONICS), *Protection by Transil How ensure absolute safety*, note d'application AN317 mars 1993.

# CHAPITRE IV : MISE EN ŒUVRE DES SOLUTIONS ASSURANT LA FIABILITE DANS LES MISES EN MATRICE

Ce chapitre a pour but la présentation des techniques contribuant à la fiabilité des associations matricielles.

Nous présenterons principalement les associations de MOS que nous avons plus particulièrement étudiées.

Rappelons que la fiabilité d'une association de composants doit être considérée suivant deux axes :

- ↳ Celui de l'étude de la fiabilité des composants pris indépendamment,
- ↳ Celui de la recherche des topologies optimales pour la fiabilité des systèmes, en particulier en minimisant les contraintes sur les composants.

## IV.1. Sélection des composants

L'aspect fiabilité d'un convertisseur comprend à la fois celle des composants pris indépendamment et celle de la structure retenue.

En ce qui concerne la fiabilité des composants, nous avons mis en place une procédure de caractérisation des composants afin de retenir les mieux adaptés à nos utilisations. Elle comprend deux volets :

- caractérisation en avalanche (test commun à tous les composants : Transils, diodes et transistors),
- détermination de l'aire de sécurité pour les transistors MOS et IGBTs.

Pour ces deux types de test, nous prenons en compte la dispersion des caractéristiques. Ceci nous permet d'une part d'avoir des renseignements sur la qualité de fabrication des composants et d'autre part de ne pas avoir à caractériser tous les composants à implanter.

Notre approche consiste à ne pas avoir à trier tous les composants. Nous sélectionnons les composants d'un fournisseur puis nous vérifions l'évolution des caractéristiques au cours du temps.

Caractériser tous les composants est de toutes façons difficile à mettre en place car ils sont nombreux, le coût serait alors prohibitif, et les tests en avalanche sont en général destructifs.

Nous caractérisons quelques échantillons (de l'ordre d'une dizaine de pièces) et les informations nous sont statistiquement suffisantes pour conclure sur le lot en question.

Outre l'aspect caractérisation, nous effectuons un suivi sur les composants afin de détecter une éventuelle modification des caractéristiques (C.f. tableau de classification des diodes MUR4100E en fonction du date/code du paragraphe III.2.1).

#### IV.1.1. Test en avalanche

Les tests en avalanche sont effectués suivant le principe énoncé dans le chapitre précédent. Pour rappel, les tests sont effectués à forts courants, pendant des temps courts et le critère est le suivant :

**Un composant sera considéré comme bon vis à vis du fonctionnement en régime d'écrêtage, s'il est capable de supporter son courant nominal comme courant en écrêtage durant 2 $\mu$ s.**

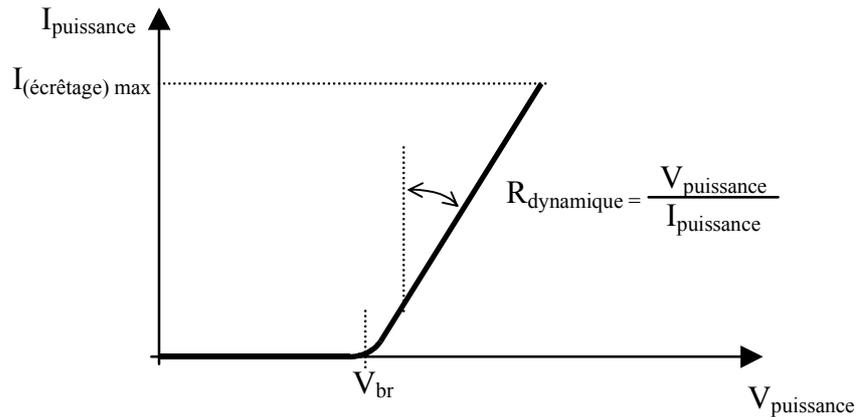


Figure IV.1 : forme d'une caractéristique en avalanche et résistance dynamique

#### IV.1.2. Détermination de l'aire de sécurité

Pour les transistors (MOS ou IGBTs), nous traçons le réseau de courbes présentant le courant d'autolimitation en fonction de la tension de puissance, paramétrée par la tension de commande.

Outre la détermination d'un abaque précis associé à une référence de composant, l'enveloppe des courbes donne l'aire de sécurité du composant considéré.

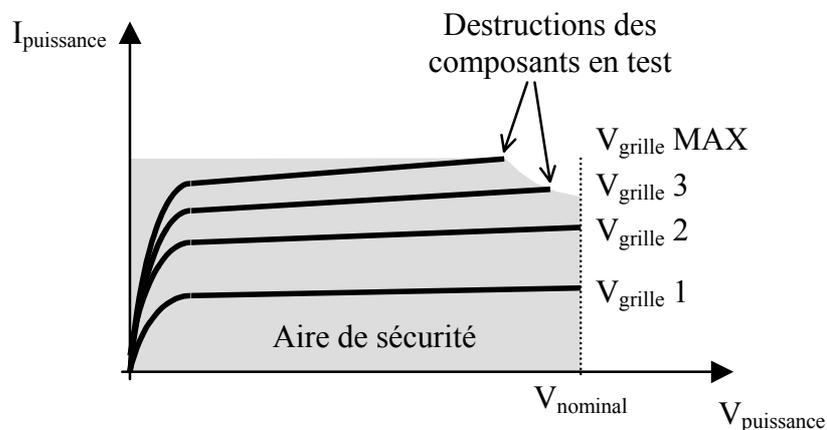


Figure IV.2 : enveloppe des courbes d'autolimitation ; aire de sécurité

De manière générale, nous retenons les composants dont l'aire de sécurité est la plus étendue, c'est à dire la plus proche du rectangle déterminé par :

- ↙ la tension nominale spécifiée par le fabricant,
- ↘ le courant d'autolimitation à la tension de commande maximale spécifiée par le fabricant.

Certains composants retenus possèdent une aire de sécurité non tronquée dans la zone de forte puissance.

## IV.2. Structure de la matrice

La considération de la fiabilité d'une mise en matrice passe, comme nous l'avons vu, par celle des composants pris individuellement. Nous étudierons ici des règles de conception de la matrice permettant de maximiser sa fiabilité.

### IV.2.1. Dimensionnement

Comme tout convertisseur de puissance, ceux utilisant la mise en matrice de composants possèdent une marge de sécurité en tension.

Etudions son influence vis à vis de la défaillance d'un composant.

Traditionnellement, les convertisseurs possèdent un surdimensionnement moyen en tension de 20% c'est à dire entre la tension qu'ils ont à tenir et celle spécifiée. Ces 20% représentent une marge de sécurité vis à vis de surcharge en tension accidentelle mais pas une marge de sécurité vis à vis de la défaillance de composants. Chaque composant assure, à lui seul, une part importante de la fonction (de la tenue en tension ici) et une défaillance d'un composant engendre alors celle de l'ensemble.

Si l'on désigne :

- $V_{\max \text{ appli}}$  la tension maximale imposée à l'application
- $V_{\max \text{ comp}}$  la tension maximale supportée par un composant
- $N_{\text{tot}}$  le nombre total de composants en série
- $N_{\text{def}}$  le nombre de composants défaillant en mode faible impédance

Le taux de surdimensionnement se note :  $\frac{N_{\text{tot}} \cdot V_{\max \text{ comp}}}{V_{\max \text{ appli}}}$ .

Le système peut fonctionner de façon dégradée si :  $\frac{(N_{\text{tot}} - N_{\text{def}}) \cdot V_{\max \text{ comp}}}{V_{\max \text{ appli}}} \geq 1$ .

Dans le cas contraire, le système ne possède pas de tolérance à la panne.

Prenons le cas d'un convertisseur 10 kV réalisé de composants associés en série. On supposera que les composants sont identiques, la tension se répartit uniformément lorsque la mise en série est ouverte et la défaillance d'un composant se fait dans le mode court-circuit, sous-entendu faible impédance. Chaque association possédera une marge de sécurité sur la tenue en tension de l'ordre de 20% :

Surdimensionnement en tension =

$$\frac{\sum \text{tensions tenues par chaque composant}}{\sum \text{tensions maximum supportées par les composants}}$$

Dans notre cas où les composants sont identiques et où il y a équipartition de la tension :

Surdimensionnement en tension =

$$\frac{\text{tension tenue par un composant}}{\text{tension maximum supportée par un composant}}$$

Etudions la répercussion de la défaillance d'un composant en fonction du nombre total.

Si la mise en série est constituée de 4 composants  $3\,000\text{ V}_{\text{max}}$ , chacun doit tenir  $2\,500\text{ V}$  à l'état ouvert. La défaillance d'un d'entre eux entraîne une nouvelle répartition de la tension sur les autres composants. Cette dernière engendre une surcharge non tolérable qui conduit à la destruction de l'ensemble. Le surdimensionnement en tension de 20% n'est ici pas suffisant.

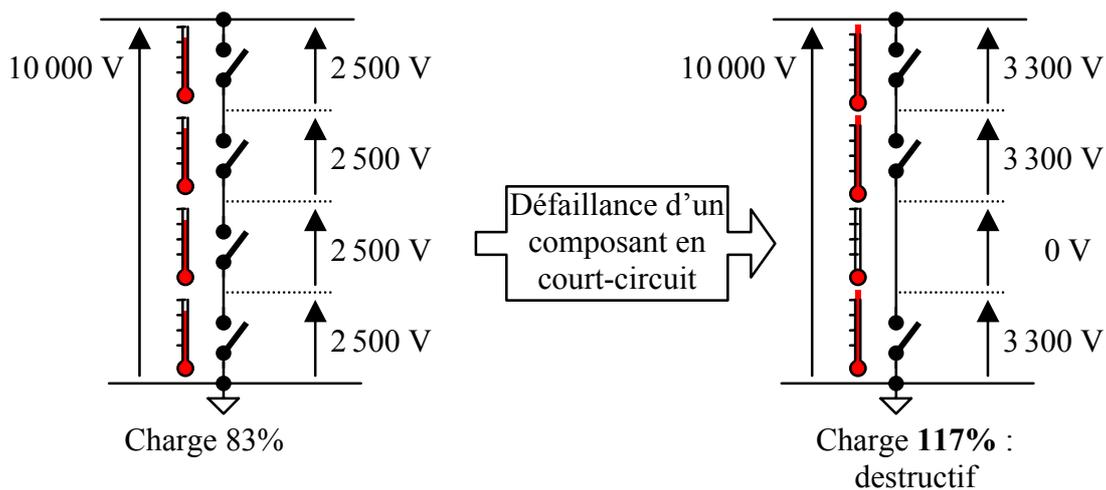


Figure IV.3 : perte d'un composant et destruction de la mise en série

Prenons à présent le cas où la mise en série est constituée de 24 composants  $500\text{ V}_{\text{max}}$ . La tension se répartit uniformément lorsque la mise en série est ouverte et chaque composant doit tenir  $417\text{ V}$ .

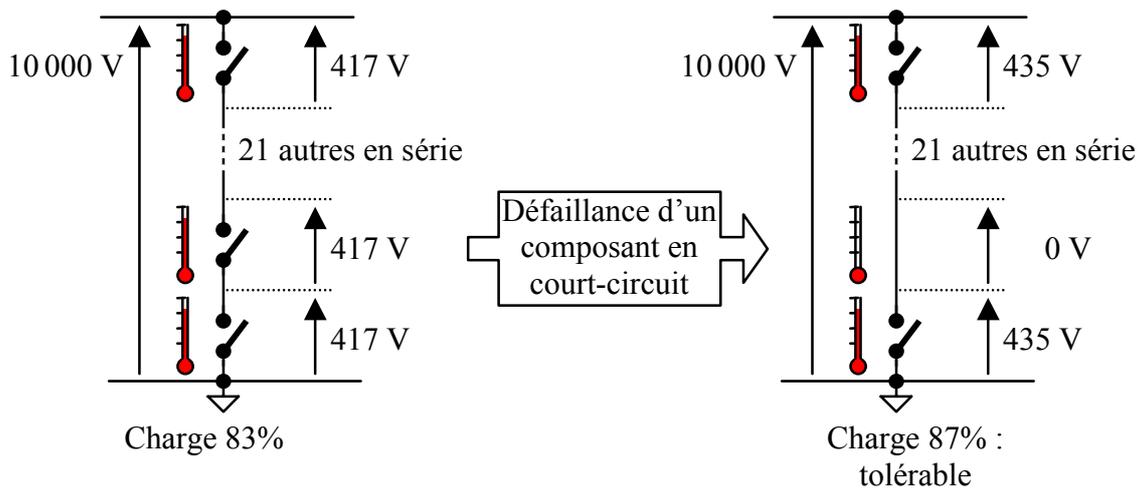


Figure IV.4 : perte d'un composant et poursuite du fonctionnement de la mise en série ; présence d'une tolérance à la panne

En cas de défaillance d'un composant en court-circuit faible impédance, les autres composants ont à se répartir la tension qu'il avait à tenir. Plus le nombre de composants est élevé, plus l'augmentation de tension engendrée par la défaillance du composant sur les autres de la mise en série sera faible en proportion.

**Il apparaît que dans une mise en série, l'utilisation de nombreux composants de plus faible calibre en tension permet de tolérer la défaillance de composants en mode court-circuit. Cette tolérance à la panne est due à la redondance apportée par la mise en série de composants à mode de défaillance court-circuit :**

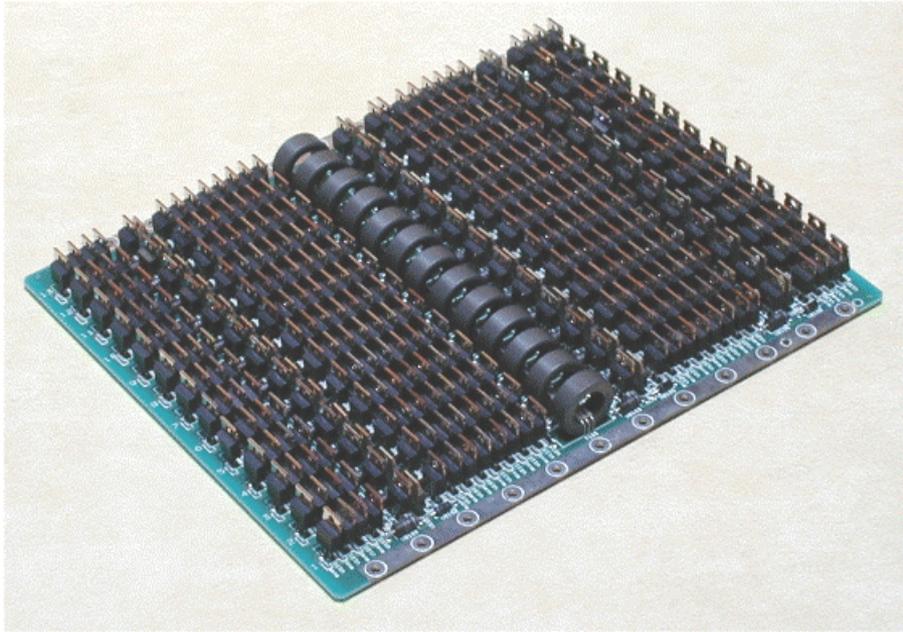
**Une mise en série électrique de composants est une structure parallèle au sens de la fiabilité.**

Grâce à cette tolérance à la défaillance d'un certain nombre de composants, une action de maintenance préventive peut être mise en place [1][2]. Elle consiste à contrôler périodiquement le nombre de composants encore en état par rapport au nombre minimal nécessaire au fonctionnement. Selon le ratio, une intervention peut alors être décidée afin de remplacer les composants défaillants pour récupérer la marge de sécurité initiale. Ainsi, la disponibilité du produit est très élevée (e.g. 99,99% [3]).

Une façon de contrôler le nombre de composants défaillants consiste à vérifier la tension d'écrêtage de l'association matricielle. Dans l'hypothèse de la défaillance faible impédance, la différence entre la tension d'écrêtage théorique ( $S$  fois celle d'un étage) et celle mesurée donne le nombre d'étage en court-circuit et donc de composants défaillants.

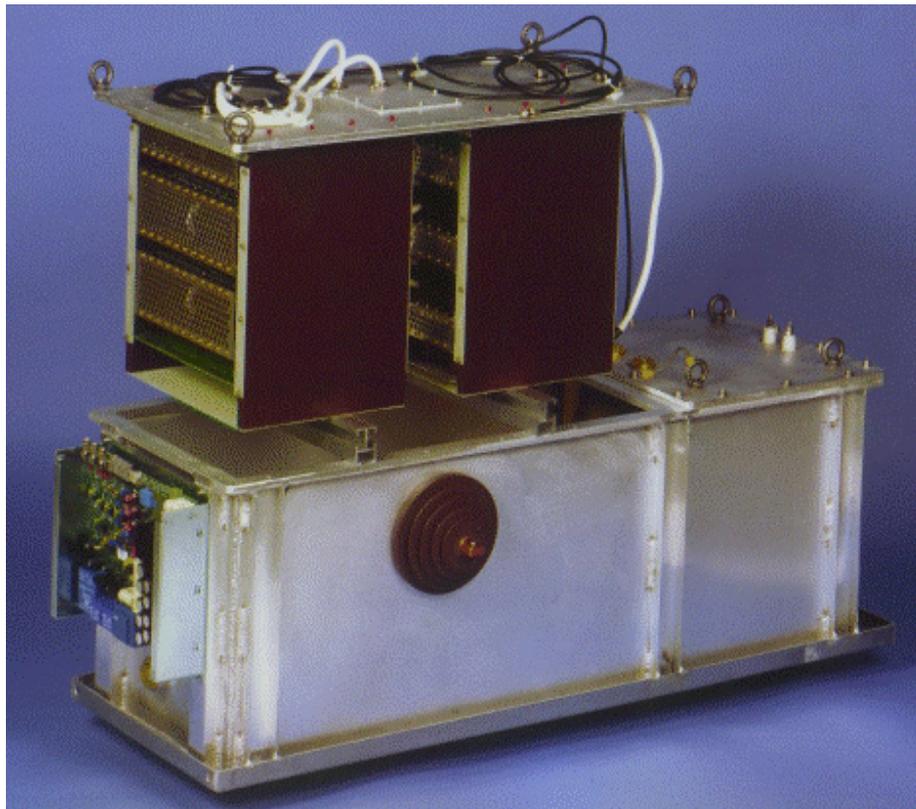
Notons que le faible taux de défaillance des composants permet d'effectuer les tests de surveillance avec une périodicité de plusieurs années.

Prenons le cas concret d'une alimentation impulsionnelle pour laser à vapeur de cuivre. Il s'agit d'une alimentation solide 25 kV, 1 600 A, industrialisée par Enertronic (Saint QUENTIN-FALLAVIER, Isère) dont les études ont été réalisées par le CEA VALRHO en collaboration avec l'ESIM. Destinées à alimenter des lasers 100 W optique (Laser à Vapeur de Cuivre de la CILAS), elles sont constituées de 10 cartes à MOS (cartes dites ON) 5 kV, 800 A [4].



*Figure IV.5 : carte à MOS ON, 5 kV, 800 A*

Chaque carte est constituée de 13 étages de 24 MOS en parallèle. Pour réaliser le commutateur impulsionnel, elles sont regroupées en deux modules en parallèle de 5 cartes en série. Une de ces cuves à MOS est présentée, ouverte, sur la photographie suivante.



*Figure IV.6 : commutateur impulsionnel, 25 kV, 1 600 A*

Au total, c'est une association de 64 étages en série de MOS en parallèle ( $5 \times 13 - 1$  étage de MOS remplacés par des résistances de mesure du courant). Chaque étage est constitué de MOS 500 V protégé en tension par des Transils 440 V :

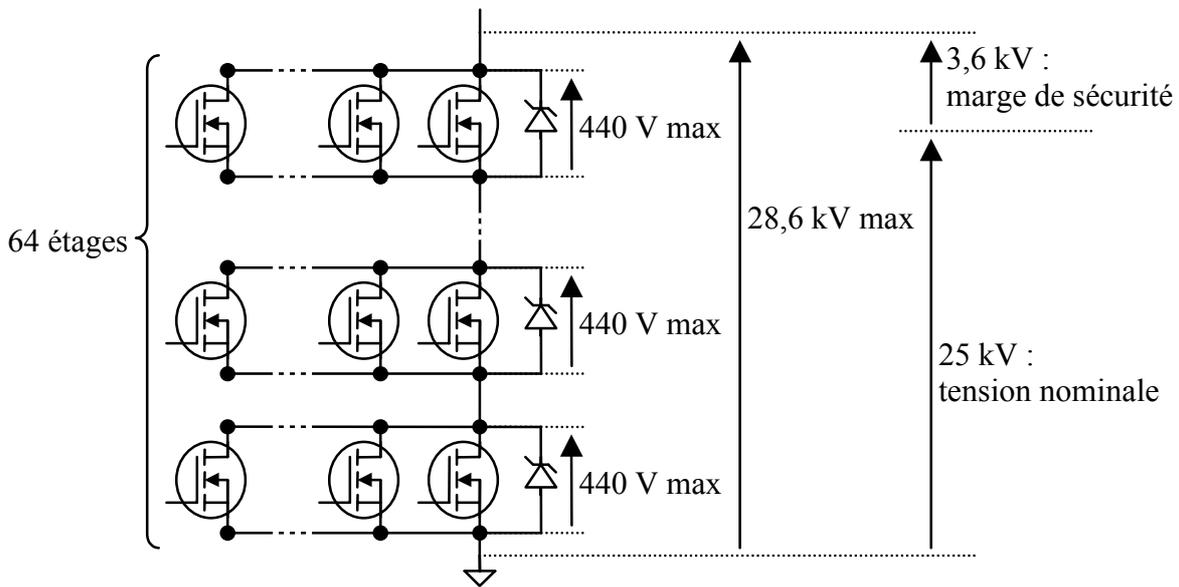


Figure IV.7 : schéma de base de la cuve à MOS ; marge de sécurité sur la tenue en tension

Pour le cas présent, le surdimensionnement représente 8 étages de MOS sur les 64, ce qui représente une marge de sécurité, relativement faible, de 12,5%.

Si on considère uniquement l'aspect mise en série, on tolère la perte de 8 étages en court-circuit. Dans le pire cas où la défaillance d'un composant a toujours lieu sur un étage en état, ceci correspond à la perte de 8 MOS.

Outre un MTBF prévisionnel (sans maintenance préventive) très important de 19,3 ans ( $1,7 \cdot 10^7$  heures) [5] (calculé grâce aux bases de données du CNET [6]), la maintenance préventive éventuelle du commutateur est possible pour entraîner une disponibilité de l'ordre de 99,99%.

En ce qui concerne l'aspect coût, ce surdimensionnement n'est pas exceptionnel. Il est même relativement faible par rapport à ceux traditionnellement rencontrés. Il n'entraîne aucun surcoût, d'autant que l'utilisation de nombreux composants permet de bénéficier des prix liés aux gros volumes : les commutateurs réalisés pour les besoins du CEA ont nécessité l'approvisionnement de plus de 100 000 transistors MOS.

#### IV.2.2. Réalisation géométrique

Lors de la réalisation mécanique de la matrice, il faut veiller à soigner la disposition géométrique des composants afin de réduire les surcourants capacitifs lors des commutations et assurer une répartition uniforme du courant entre les composants en parallèle.

### IV.2.2.1. Aspect tension

Lors des commutations de la matrice, les capacités parasites des étages par rapport aux masses mécaniques engendrent des courants dans les éléments lors de  $dV/dt$  (c.f. chapitre II). Les étages au plus haut potentiel étant ceux qui subissent le plus fort  $dV/dt$ , il faut réduire leur capacité parasite par rapport à l'extérieur afin de réduire les surcourants.

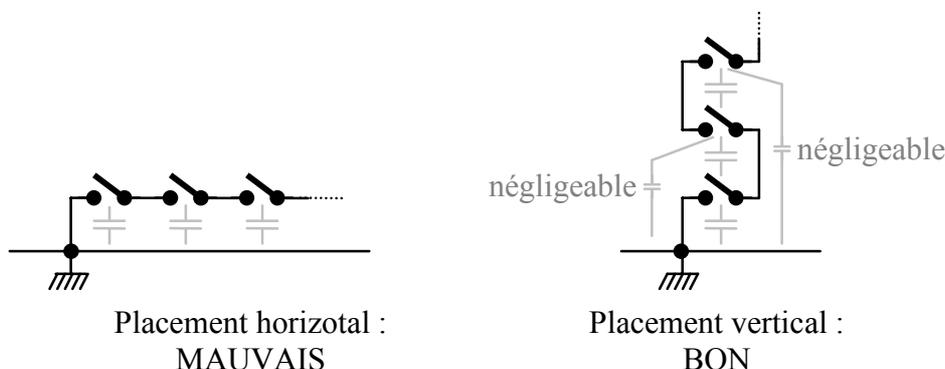


Figure IV.8 : mise en série, placement vertical des éléments pour réduire les  $dV/dt$  vus par les capacités parasites lors de commutations

Dans le cas du placement horizontal, les capacités parasites sont toutes du même ordre, mais les  $dV/dt$  augmentent lorsqu'on se rapproche du point chaud. Les courants parasites sont alors importants pour les composants qui s'y trouvent.

Dans le cas du placement vertical, l'écrantage offert à l'étage considéré par l'étage inférieur rend la capacité parasite par rapport à la masse mécanique négligeable devant celle par rapport à l'étage inférieur. Tous les  $dV/dt$  sont alors du même ordre, celui de la commutation d'un étage, et les courants parasites passant par les capacités parasites et vus par les composants se trouvent réduits.

**Pour la mise en série, il faut privilégier la disposition verticale des éléments tenant la tension afin de bénéficier d'un écrantage des étages hauts en potentiel par ceux plus bas. Les  $dV/dt$  vus par les capacités parasites sont alors ceux d'un seul étage.**

### IV.2.2.2. Aspect courant

La mise en parallèle de composants permet la répartition du courant global entre les éléments. Cette répartition doit être la plus uniforme possible afin d'éviter que certains composants ne soient surcontraints en courant.

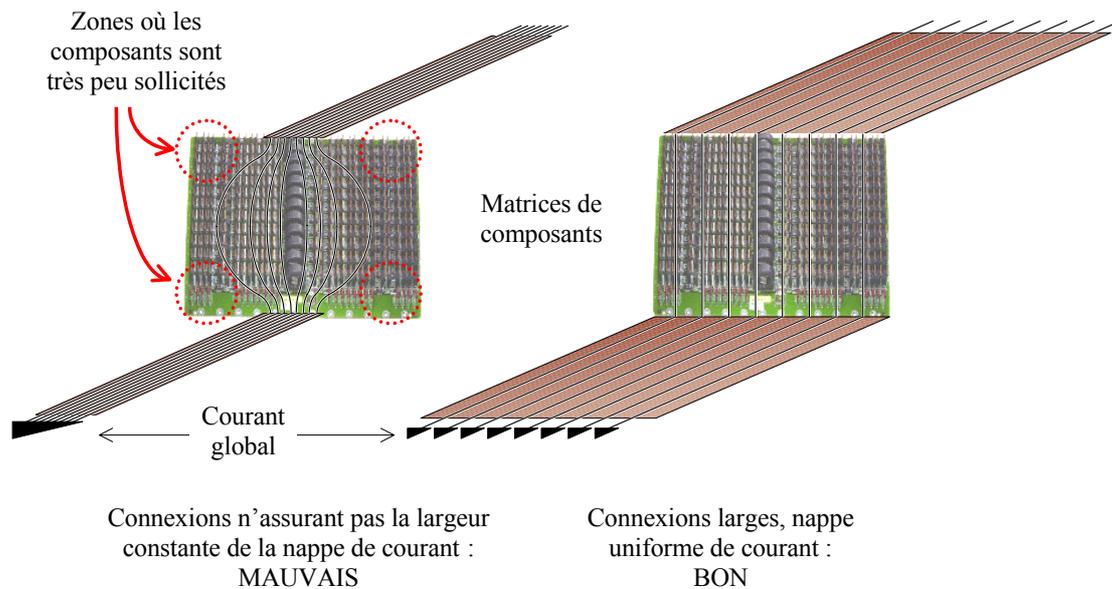


Figure IV.9 : prolongement de la structure parallèle assurant la répartition du courant aux connexions vers l'extérieur

**Afin d'assurer une répartition la plus uniforme possible du courant entre les composants connectés en parallèle, la structure doit être de largeur constante, jusqu'aux connexions sur le circuit extérieur. La nappe de courant alors obtenue est uniforme et tous les composants sont soumis au même courant.**

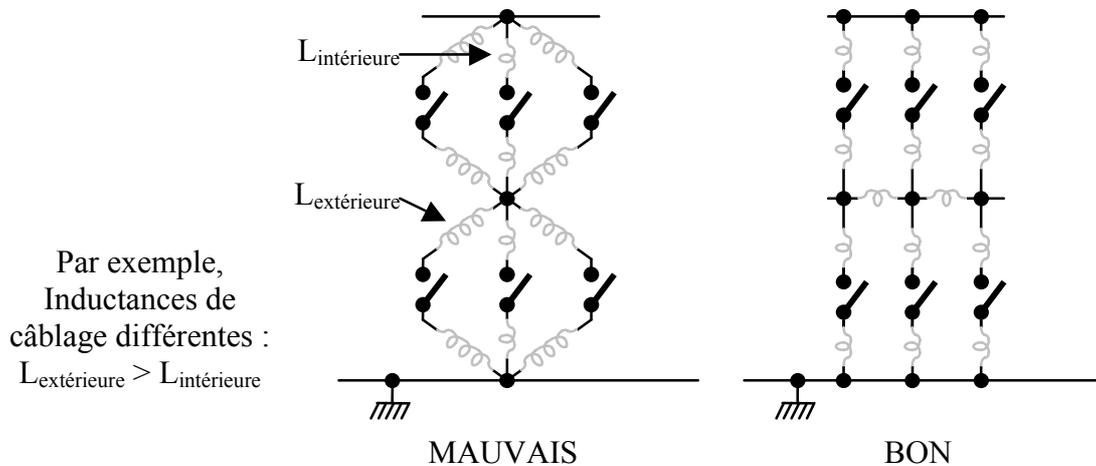


Figure IV.10 : exemple de connexions série des assemblages de composants en parallèle

On remarque que les inductances parasites représentées horizontalement n'ont aucun effet sur la répartition des courants dans les composants tant que ces derniers présentent la même impédance à tout instant (à l'état ouvert, fermé mais aussi durant les commutations) : aucun courant ne les traverse.

Ceci nous amène au cas où un composant viendrait à être défaillant et à la notion de mode de défaillance privilégiée.

## Défaillance privilégiée

La modification de l'impédance que présente un composant défaillant engendre une modification dans la répartition du courant, d'une part sur l'étage défaillant comme vu au chapitre II, mais aussi entre les composants d'un même étage non défaillant du fait des impédances *horizontales*.

Prenons le cas où le composant défaillant présente une impédance plus faible que celle des composants non défaillants à l'état fermé.

La nappe de courant présente alors une zone de renforcement de la densité de courant autour du composant défaillant.

Simulons la répartition du courant dans une matrice 3×3 dont un composant est défaillant. Le schéma de simulation est le suivant :

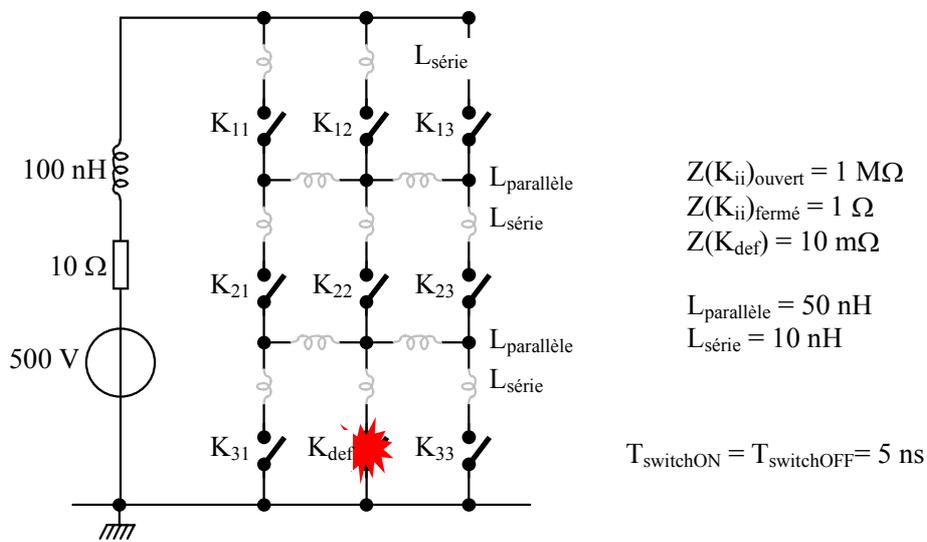


Figure IV.11 : impédances d'une matrice 3×3 dont un composant est défaillant ; circuit de simulation de la répartition des courants

La figure suivante est le résultat de la simulation :

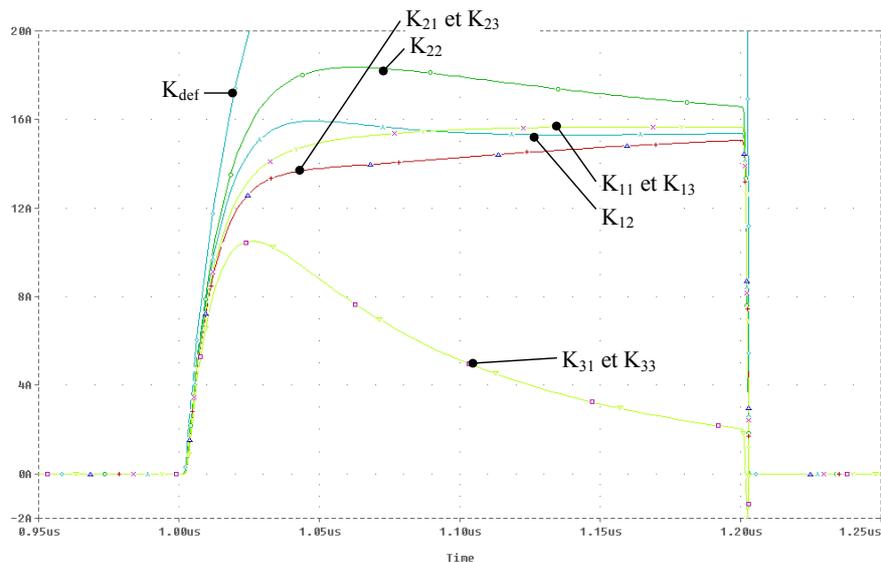


Figure IV.12 : répartition des courants dans une matrice 3×3 dont un composant est défaillant en mode faible impédance

La simulation montre que, dans le cas d'un mode de défaillance faible impédance, les composants des étages voisins les plus proches de celui défaillant sont soumis à un surcourant. Ceci est dû à la présence des éléments parasites de liaison entre les composants.

Précisons que ce cas est un cas favorable où les composants de l'étage présentant le défaut restent commandés. Dans un cas où la défaillance d'un composant entraînerait l'absence d'ordre de commande sur l'étage considéré, les autres composants restent ouverts : dans le mode de défaillance faible impédance, tout le courant se focalise dans le composant défaillant et les composants voisins des étages adjacents verraient jusqu'à la totalité du courant.

Il existe le cas complémentaire où le composant défaillant présente une impédance plus grande que les composants à l'état fermé. Le courant se détourne du composant défaillant et se répartit sur les autres composants de l'étage.

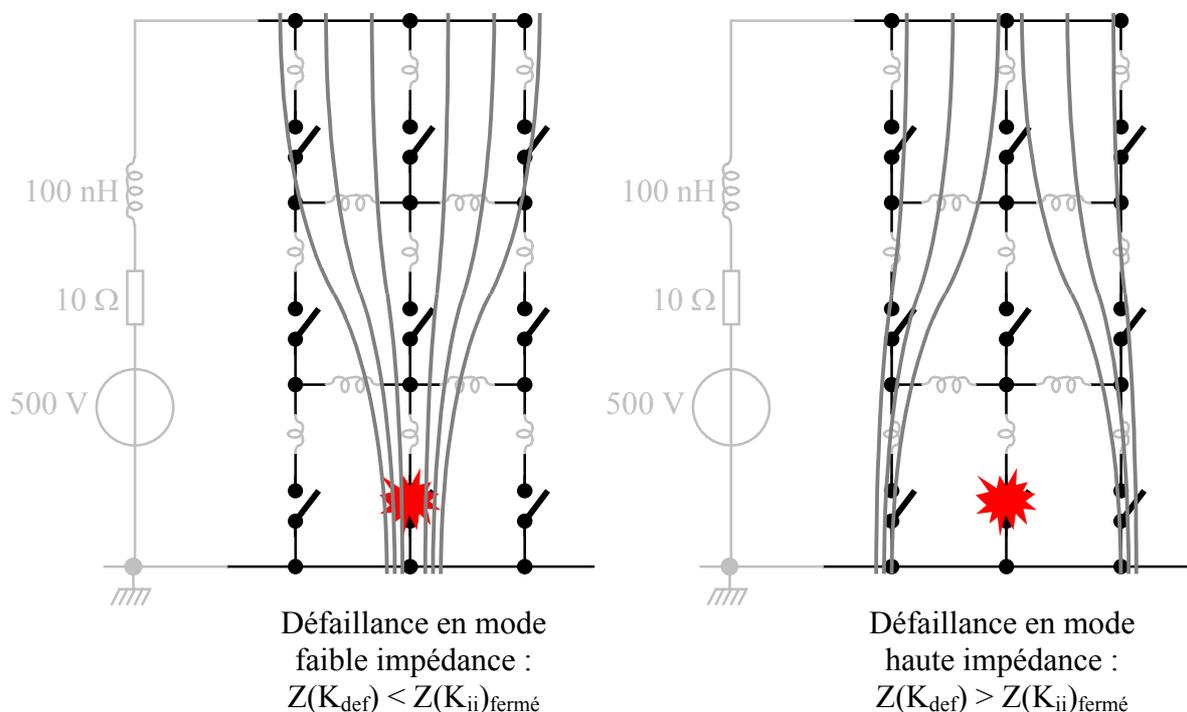


Figure IV.13 : répartitions du courant en fonction de l'impédance présentée par le composant défaillant

**Le type de défaillance engendrant le moins de contraintes dans les associations matricielles est celui où le composant défaillant présente une impédance proche de celle à l'état fermé. De plus, les autres composants, non défaillants, doivent toujours être commandés correctement.**

**Suite aux tests destructifs effectués sur les MOS retenus pour les mises en matrice, (tests en avalanche et tenue en tension des oxydes de grille), ou sur des cartes à MOS ON (Figure IV.5), nous avons mis en évidence que le mode privilégié de défaillance conduit à une impédance drain-source de l'ordre de l'Ohm. Ces MOS, à l'état passant, présentent une impédance de 0,85 Ω. Les conditions sont donc réunies pour limiter les déséquilibres en courant entre les composants lors de défaillances.**

### IV.2.3. Types de commande nécessaires

Afin d'assurer le bon fonctionnement d'une matrice et la bonne répartition de la tension et du courant, les composants doivent être commandés de façon synchrone.

Pour cela, les composants possèdent une commande dont une partie commune est la source des signaux de commutation.

Prenons le cas des composants à commande isolée telles que les MOS.

#### IV.2.3.1. Synchronisation dans la mise en parallèle

Dans la mise en parallèle, les composants ont la même référence de potentiel. Leurs électrodes de commande peuvent être interconnectées afin d'assurer un pilotage synchronisé.

Un point important est de placer une résistance de commande par composant. Ces résistances, de quelques Ohms pour ne pas trop ralentir les signaux de grille, équilibrent les courants malgré la différence des inductances des lignes de commande entre les composants les plus près et les plus éloignés de la source de l'ordre de commutation. De plus, elles permettent d'éviter l'excitation des circuits oscillants, constitués de deux grilles de MOS et de leurs inductances de liaison, qui peuvent entraîner la défaillance des composants par surtension grille-source.

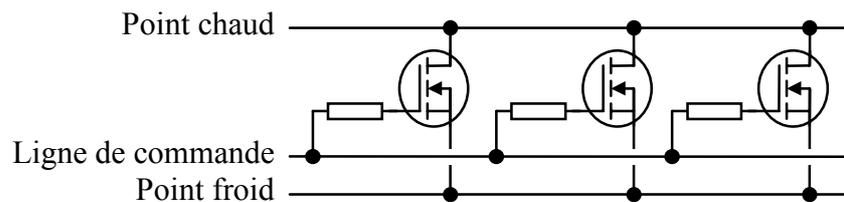


Figure IV.14 : commande synchronisée de MOS connectés en parallèle

#### IV.2.3.2. Synchronisation dans les mises en série

Dans les mises en série, une technique courante de transmission des ordres de commutation consiste à utiliser des transformateurs d'impulsions. D'une part, ils permettent d'assurer l'isolation galvanique entre la commande et les étages aux différents potentiels. D'autre part, ils permettent la séparation entre la partie puissance et la partie commune de la commande assurant la synchronisation des signaux.

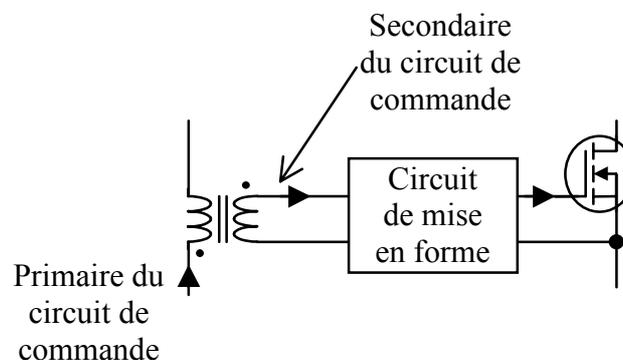


Figure IV.15 : commande par transformateur d'impulsions assurant l'isolation galvanique

La synchronisation entre les étages peut être assurée par mise en série des primaires du circuit de commande.

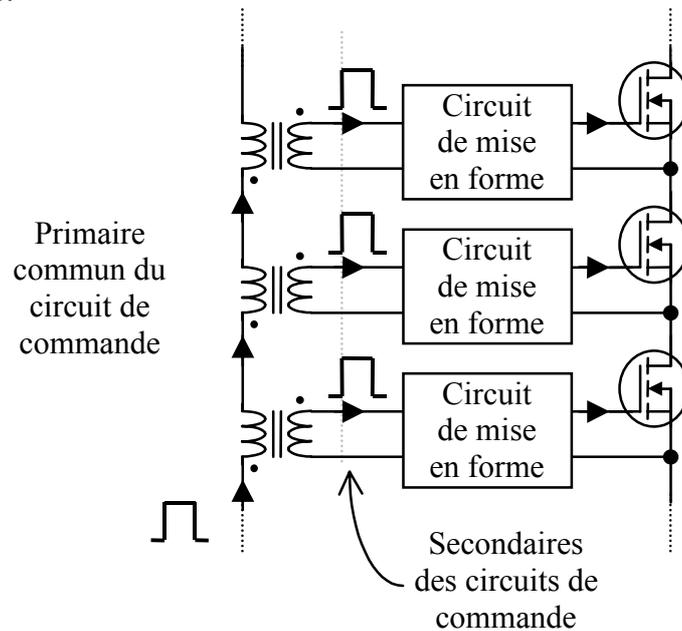


Figure IV.16 : commande synchronisée des étages par mise en série des primaires du circuit de commande

La photo suivante montre un exemple de réalisation : mise en matrice de thyristors 1000 V. La carte possède 15 étages en série de 10 composants en parallèle. Les transformateurs d'impulsion se trouvent au centre de la carte.

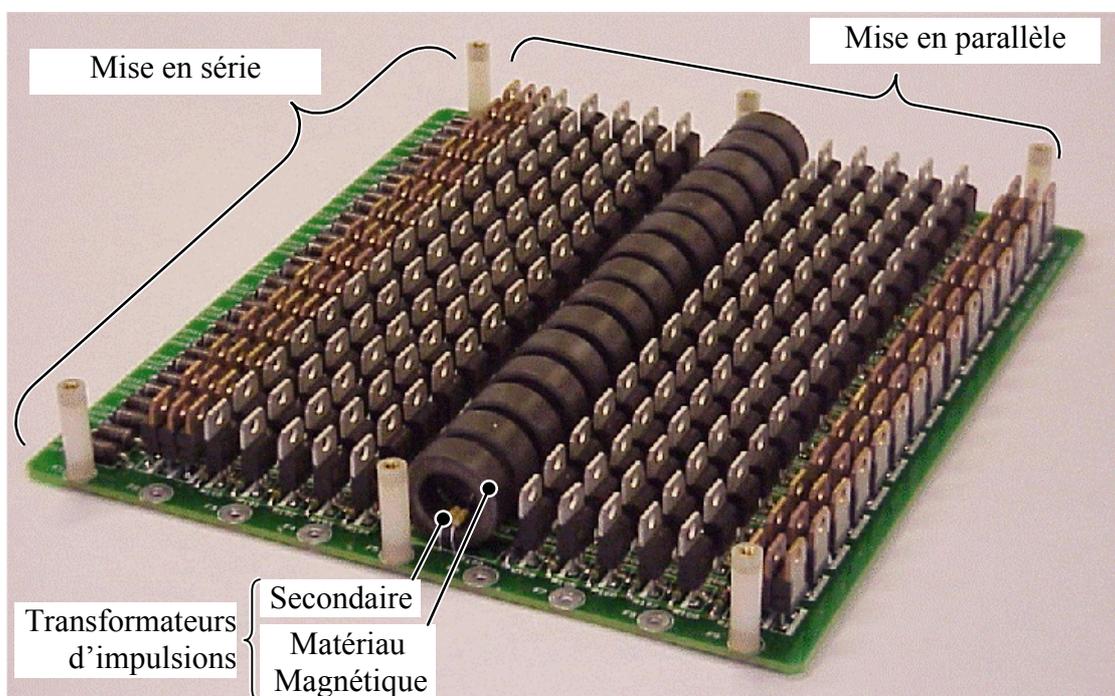


Figure IV.17 : exemple de réalisation de matrice ; matrice 10 kV, 10 kA de 150 thyristors

Un câble haute tension relié à la commande traverse les tores de ferrite et assure le pilotage de la matrice.

Le choix des tores de ferrite doit, outre l'aspect saturation, tenir compte des points de réalisation suivants :

- ↳ Les tores de ferrite ne doivent pas être isolés de façon à être référencés en potentiel à l'étage concerné. Lors des  $dV/dt$  de commutation, les courants capacitifs entre les composants qui commutent et le câble primaire de commande ne doivent pas passer par leur commande rapprochée.

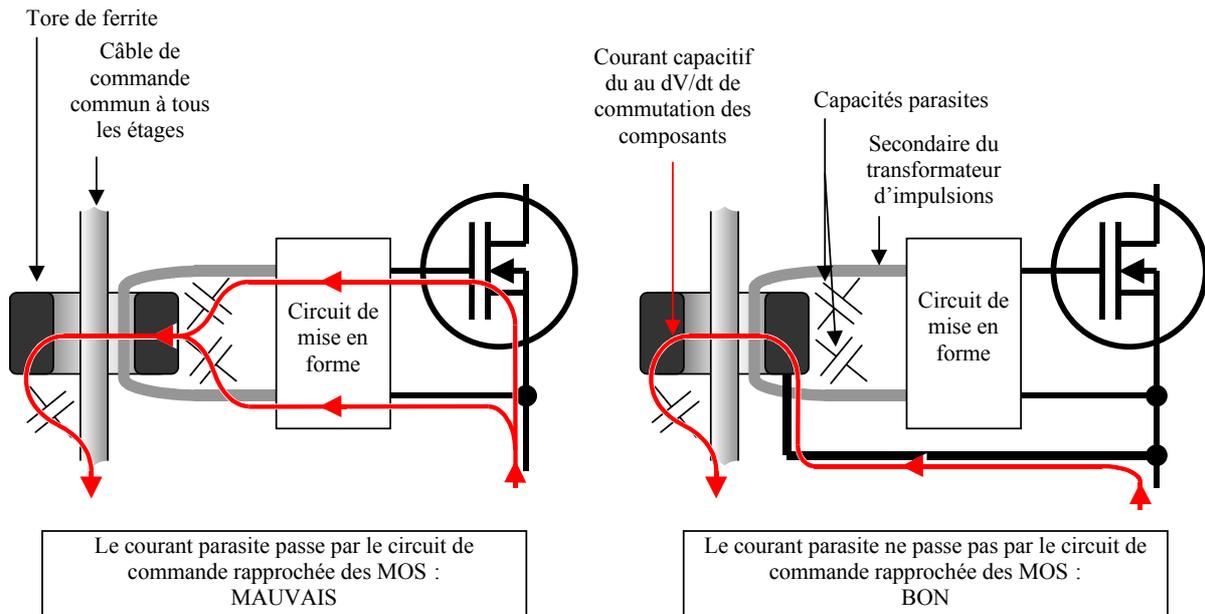


Figure IV.18 : référencement des tores de commande ; rebouclage des courants capacitifs parasites dus au  $dV/dt$

- ↳ L'espace central doit être suffisamment large pour le passage d'un câble de commande de fort diamètre. En effet, la tenue en tension entre la commande et la puissance est assurée par l'utilisation d'un câble de commande de type haute tension.
- ↳ Le câble de commande transite parallèlement à la carte de puissance sur toute sa longueur. Afin d'éviter que le couplage inductif avec le circuit de puissance engendre un courant parasite lors des  $dI/dt$  de la puissance, le retour du câble de commande doit se situer à proximité de l'aller qui passe par les tores de ferrite.

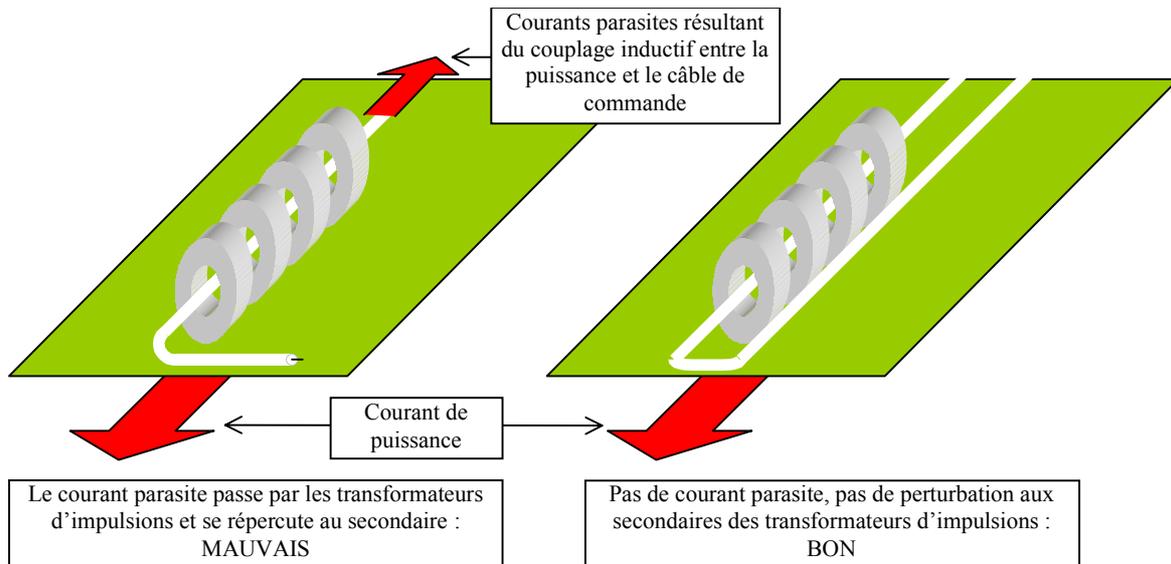


Figure IV.19 : placement du câble de commande ; rapprochement de l'aller et du retour limitant l'action du couplage inductif avec la puissance

#### IV.2.3.3. Robustesse

Nous avons vu que lors de la défaillance d'un des composants d'une mise en matrice, les surcontraintes en courant subies par ceux des autres étages, et plus particulièrement des étages adjacents, sont limitées si la commande n'est pas perturbée et qu'elle continue à commander les composants non défaillants.

Il intervient ici la notion de robustesse de la commande qui doit tolérer la défaillance de composant. Une technique consiste à utiliser un amplificateur de courant de type Darlington :

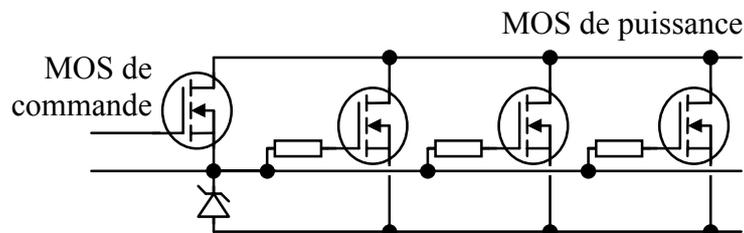


Figure IV.20 : amplificateur de courant

Lorsque le MOS de commande se ferme, le courant qui le traverse charge les grilles des MOS à piloter. La tension sur la ligne de commande est limitée par la diode Zener qui écrête. Dans le cas d'une casse d'un composant en mode faible impédance de grille ( $\sim 1 \Omega$ ), le MOS de commande reste capable de fournir le courant nécessaire pour appliquer la tension d'écrêtage de la Zener sur la ligne de commande.

#### IV.2.3.4. Synthèse des règles

**La commande d'une mise en matrice de composants doit d'une part assurer leur amorçage et leur blocage de façon synchronisée pour limiter les déséquilibres en tension et en courant, d'autre part, et malgré la défaillance de composants, être capable de commander tous les autres composants non défaillants.**

#### IV.2.4. Protections

Dans une mise en matrice, l'utilisation de composants fiables et présentant peu de dispersion ainsi que d'une commande performante et synchrone ne les protègent pas des surcontraintes accidentelles.

Ces surcontraintes peuvent avoir deux sources :

- ↳ externe au commutateur, un court-circuit sur le circuit alimenté engendrera un surcourant, l'ouverture d'un surcourant dans un circuit inductif engendrera une surtension...
- ↳ interne au commutateur, défaillance d'un composant et rerépartition des paramètres électriques, dispersion des commutations des composants...

Il convient alors d'utiliser des systèmes assurant la protection en tension et en courant des composants.

##### IV.2.4.1. Protection en tension

Dans une mise en série de composants, on assure classiquement la bonne répartition de la tension globale en utilisant des réseaux d'équilibrage statique (type résistif) et dynamique (type capacitif).

Un apport important de la thèse de Monsieur GUIDINI concerne la répartition de la tension dans les mises en série. Le besoin de répartition de la tension peut être assuré par le maintien des composants dans leur aire de sécurité en tension. Une protection en tension par écrêtage des composants récents aux aires de sécurité étendues permet de s'affranchir des systèmes d'équilibrage.

**Dans une mise en série, chaque étage doit individuellement être protégé en tension.**

Le maintien des composants dans leur aire de sécurité en tension nécessite l'utilisation d'un ou plusieurs systèmes de protection qui limitent la différence de potentiel à leurs bornes.

Il existe trois types de limitation en tension des composants semi-conducteurs [7] [8] :

- ↳ Utilisation de l'éventuelle capacité de protection en tension propre au composant à protéger. On parle alors d'**écrêtage intrinsèque** du composant.
- ↳ Protection par un dispositif annexe implanté en parallèle sur le composant à protéger. Ce type de protection est traditionnellement nommé **écrêtage passif**.
- ↳ Action sur l'électrode de commande du composant à protéger lors du dépassement d'un niveau de tension déterminé. Le composant, en fonctionnement linéaire, régule de lui-même la tension à ses bornes ; c'est l'**écrêtage actif**.

Tous les types de protection en tension ont été étudiés grâce au banc de test spécifique réalisé pour la caractérisation en avalanche à fort courant : la Machine à Avalanche.

#### Ecrêtage intrinsèque

La capacité d'écrtage intrinsèque est bien connue pour les composants tels que les Transils et les diodes Zener.

D'autres composants, tels que les diodes, les MOS et les IGBTs, bénéficient de qualités de fabrication qui leur confère, outre une très bonne reproductibilité sur leurs caractéristiques, de bonnes capacités d'écrtage, bien que non spécifiées par les constructeurs.

Par exemple, voici la comparaison des capacités de fonctionnement en régime d'écrêtage de deux générations de MOS 500 V : l'IRF840 (fort connu depuis longtemps et utilisé dans les mises en matrice au laboratoire) et l'IRFB11N50A qui est un transistor de dernière génération.

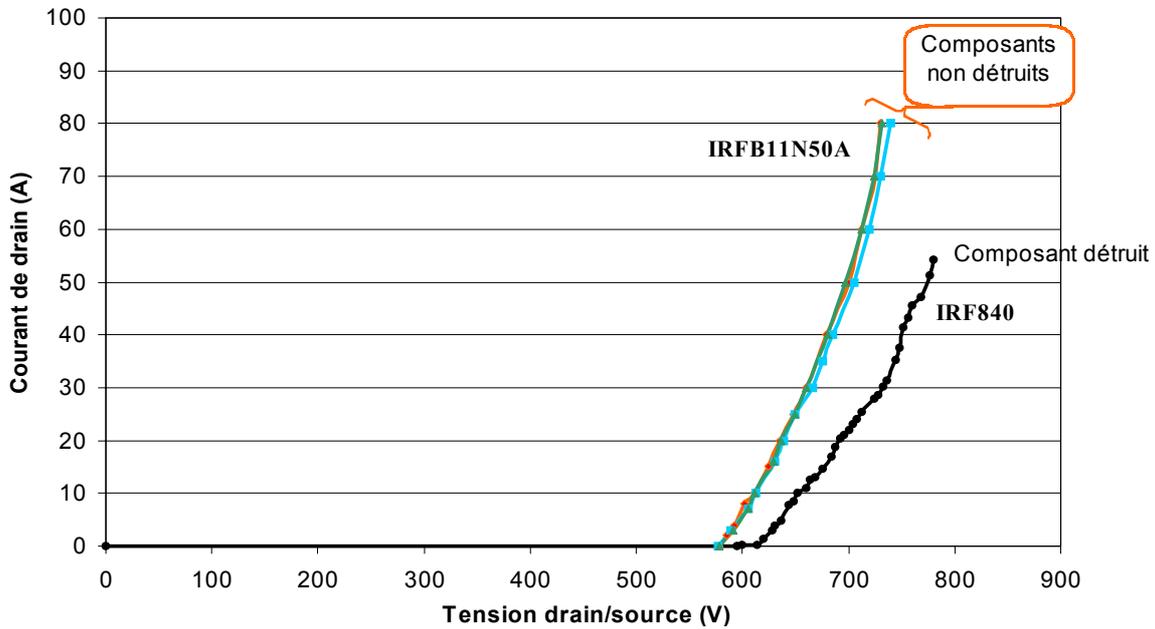


Figure IV.21 : caractéristiques dynamiques en régime d'avalanche de deux types de MOS 500 V

Alors que l'IRF840 est détruit pour un courant d'avalanche de 60 A, le composant plus récent fonctionne pour des courants de 80 A. De plus, on notera que la résistance dynamique lors du fonctionnement en avalanche est plus faible pour le composant récent, ce qui permet à la tension aux bornes du composant de rester plus faible pour un même courant.

Notons, pour finir, que les transistors tolérant le fonctionnement en avalanche supportent des niveaux de courant plus élevés, par rapport au courant nominal spécifié, que les diodes. Une explication possible serait la structure multicellulaire des MOS qui permettrait une meilleure répartition du courant sur la surface de la puce.

### Ecrêtage passif

La protection en tension dite passive consiste à utiliser des composants spécifiques à ce mode de protection, comme les Transils et les varistances, et à les placer en parallèle sur les composants semi-conducteurs à protéger.

Ce type de protection nécessite que la tension d'écrêtage du composant protecteur soit inférieure à celle du composant à protéger (e.g. une Transil 440 V pour un MOS 500 V).

La figure suivante donne les caractéristiques de Transils 1,5KE 350 et 440 Volts.

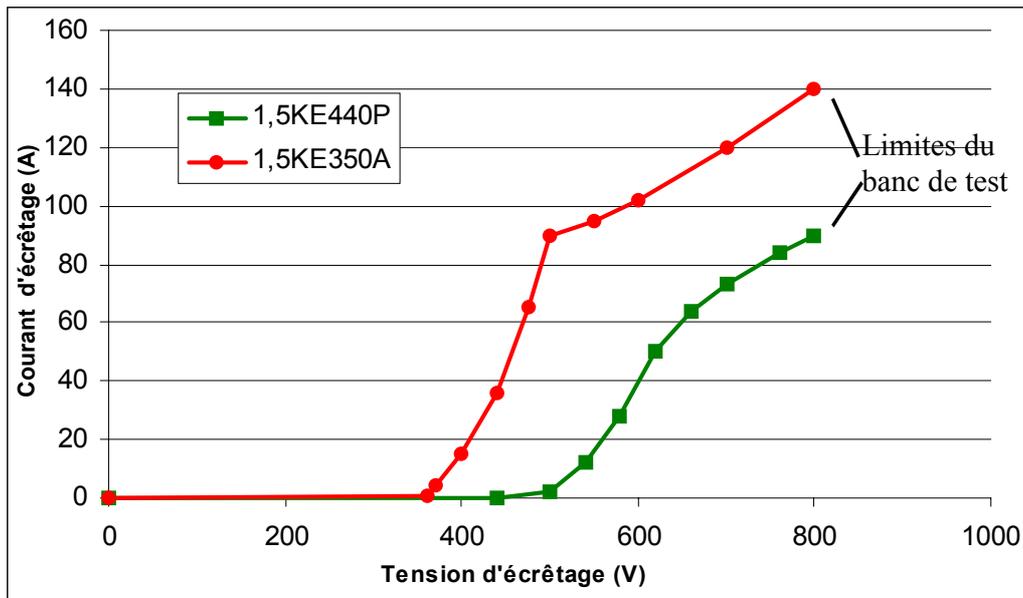


Figure IV.22 : caractéristique dynamique des Transils 1,5KE350 et 1,5KE440 en régime d'écrtage à très fort courant

La résistance dynamique des systèmes de protection implique que la tension aux bornes du composant de protection augmentera avec le courant en écrtage. Elle pourra alors atteindre la tension maximale supportée par le composant à protéger qui écrtétera ou sera détruit (selon son aptitude à tenir l'avalanche).

La courbe suivante est la caractéristique de l'association d'un MOS 500 V avec une Transil 440 V de protection.

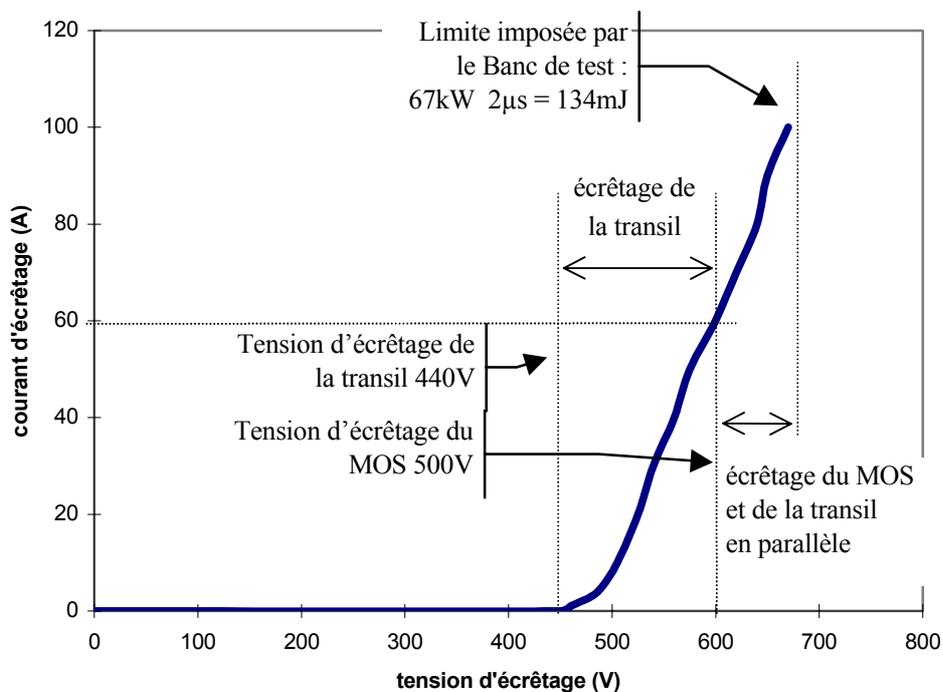


Figure IV.23 : caractéristique dynamique d'écrtage d'une Transil 440 V en parallèle avec un IRF840

On note ici que lors d'un pic de courant ( $I_{PP}$ ) de 60 A, la tension aux bornes de la diode ( $V_{CL}$ ) atteint la tension d'écrêtage du MOS ( $V_{BR}$ ). Le transistor se met alors à avalancher aussi.

Afin d'assurer une tension, aux bornes de l'association, inférieure à la tension limite du MOS, les deux solutions courantes sont les suivantes :

- **le choix d'une Transil de calibre inférieur en tension**

Inconvénients, sous utilisation de la tenue en tension des composants à protéger. Par exemple, le MOS 500 V doit être utilisé sous moins de 350 V, sans pour autant être à l'abri d'un passage en mode d'écrêtage en cas de très fort courant.

- **l'association de plusieurs diodes en parallèle**

On réduit ainsi la résistance dynamique d'un facteur égal au nombre de diodes associées ( $dV_{CL} / dI_{PP} > 0$  assure une bonne répartition des courants entre diodes).

Inconvénients, le coût de cette méthode est important et n'assure pas une protection totale du MOS. De plus, l'aspect encombrement est à considérer.

La solution séduisante est de s'affranchir de la résistance dynamique. La caractéristique *droite* obtenue dans ce cas peut l'être grâce à la méthode suivante.

### Ecrêtage actif

La protection en tension active des composants semi-conducteurs commandables consiste à utiliser une contre-réaction sur l'électrode de commande du composant à protéger [9] [10] [11] [12]. Par la suite, on considérera que le composant à protéger est un MOS 500 V (du type IRF840) et que le composant protecteur est une diode Transil.

Dans un premier temps, nous présenterons les détails de ce mode de protection puis les particularités de son association en série.

#### Principe

On détecte un niveau de tension, considéré comme limite à ne pas dépasser aux bornes du MOS, afin de commander le transistor à la conduction par action sur l'électrode de commande. Ce mode d'écrêtage est qualifié d'écrêtage actif.

Le MOS fonctionne alors en linéaire et régule de lui-même la tension à ses bornes.

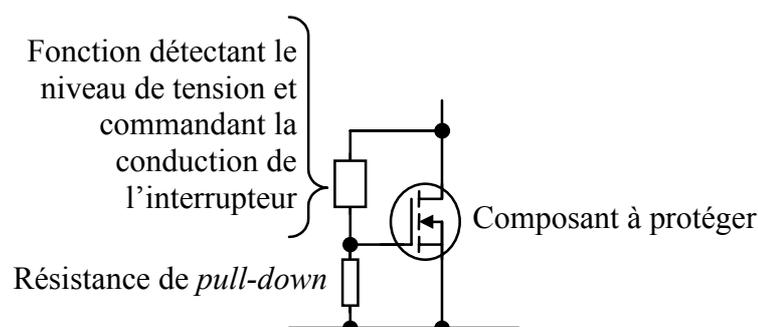


Figure IV.24 : schéma de principe de la contre réaction

Pratiquement, le niveau de tension à ne pas dépasser est déterminé par un composant capable d'écrêter, une diode Transil par exemple, placée entre drain et grille du MOS. Lorsque la tension de drain dépasse le  $V_{BR}$  de la diode (plus la tension seuil du MOS  $V_{th}$ ), on charge la capacité de grille du transistor qui tend alors à se mettre en conduction et donc à diminuer sa tension de drain.

Ce mode de protection comporte les points faibles suivants :

1. Dissipation de l'énergie d'écrêtage uniquement dans le MOS.
2. Instabilité de régulation à faible courant que nous avons montrée.

Dissipation de l'énergie d'écrêtage

Dans le cas de l'écrêtage actif, c'est le composant à protéger qui dissipe toute l'énergie d'écrêtage et non un (ou les) composant(s) associé(s).

Pourtant, dans le cas étudié ici, la puce du composant est capable de dissiper plus d'énergie qu'en écrêtage intrinsèque sans être détruite. Aussi ce point ne semble pas très pénalisant pour le fonctionnement de l'ensemble.

Instabilité de régulation

Le mode de fonctionnement de ce type de protection contre les surtensions est assimilable à un système de régulation en tension fonctionnant en boucle fermée.

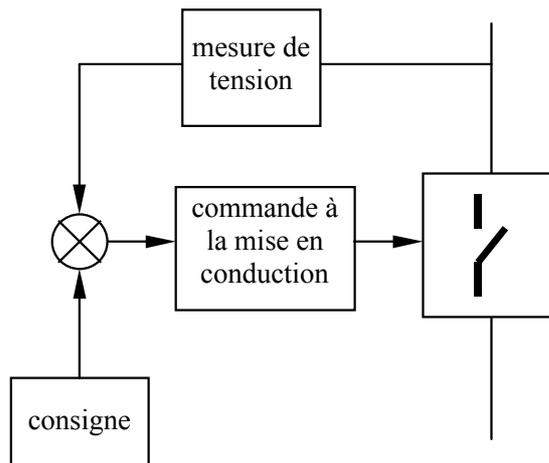


Figure IV.25 : protection en tension active, boucle de régulation en tension

Tout comme une boucle de régulation classique, un fort gain peut entraîner des instabilités dans la régulation. C'est le cas pour un fonctionnement à faible courant et à faible résistance drain-grille ( $R_{DG}$ ) :

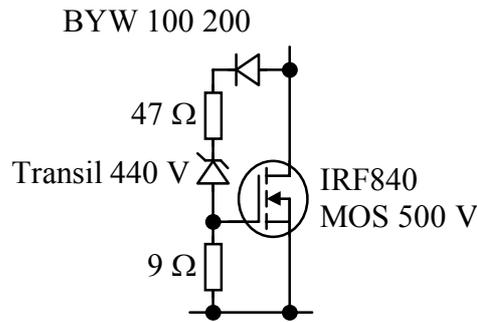


Figure IV.26 : schéma de test ayant permis la visualisation des instabilités sur la régulation en tension

La Machine à Avalanche, utilisée pour des tests, permet d'appliquer à un composant, ou à une association de composants, des créneaux de tension de  $2\mu\text{s}$ , tout en contrôlant le courant d'avalanche. La métrologie permet de mesurer les tensions de drain et de grille, ainsi que le courant traversant le composant en test.

L'oscillogramme suivant montre ces signaux lors d'une phase d'écrêtage à faible courant.

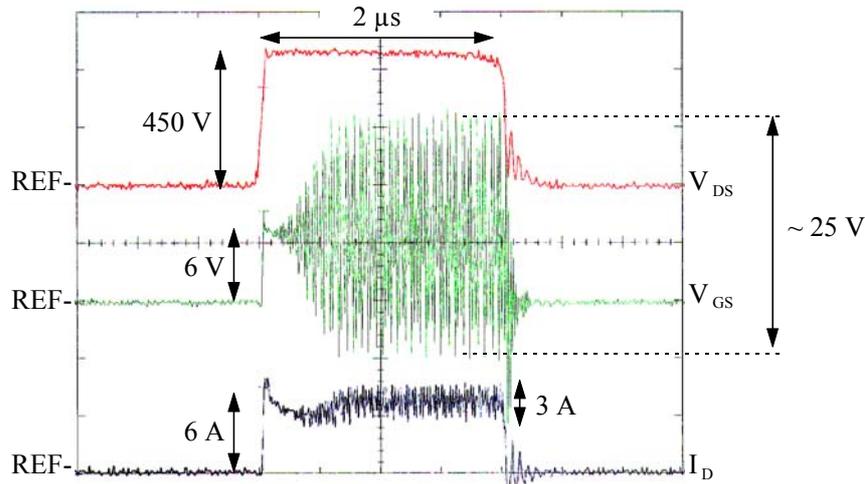


Figure IV.27 : courbes d'écrêtage enregistrées à faible courant, instabilité des signaux

Les courbes enregistrées montrent qu'à faible courant de drain ( $\sim 6\text{ A}$ ), la tension de grille oscille fortement autour de  $6\text{ V}$ . Les niveaux de tension atteints peuvent détruire l'oxyde de grille et donc le composant.

Grâce à PSPICE, nous avons donc réalisé une étude paramétrique pour mettre en évidence les domaines d'instabilité de la boucle de régulation associée à ce mode de protection en tension.

La figure suivante représente le schéma d'un MOS protégé en tension par contre réaction. Les paramètres de l'étude d'automatisme associés sont la tension d'écrêtage de la Transil comme consigne de tension, la mesure de la tension drain-source aux bornes du MOS (paramètre de sortie). La tension de grille du MOS constitue l'erreur (différence entre la consigne et la mesure).

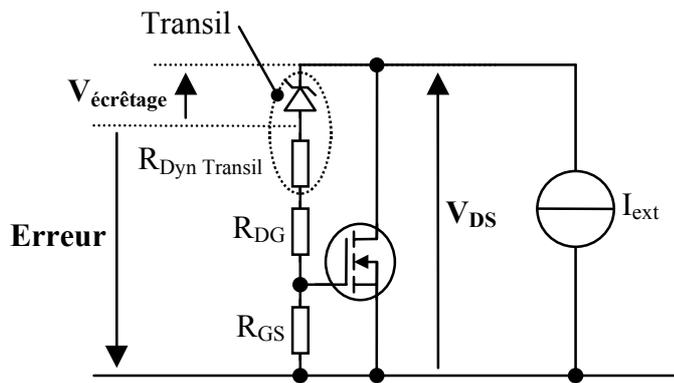


Figure IV.28 : schéma de base d'un composant protégé par écrêteur actif

L'étude consiste à balayer des domaines de valeurs des paramètres liés au système grâce à plusieurs simulations, et à en tirer les diagrammes gain et phase afin d'identifier les domaines d'instabilités.

Notons que l'outil de simulation possède deux domaines d'utilisation. Dans le premier, la simulation sert à déterminer les tendances et les modes de fonctionnement d'un système de façon à aider sa réalisation et sa mise au point. Dans le second domaine, qui est le notre, l'outil de simulation sert à déterminer l'origine d'un mode de fonctionnement précis et inattendu.

Dans ce cas, le circuit de simulation doit reproduire le plus parfaitement possible le circuit réel : élément parasite, performance des modèles...

Nous avons effectué un important travail d'optimisation du modèle PSPICE du MOS. La tâche regroupait à la fois la simulation et l'expérimentation pour faire coïncider le plus possible la simulation à l'expérience. La figure suivante est la version finale du modèle PSPICE d'un IRF840 de chez IR.

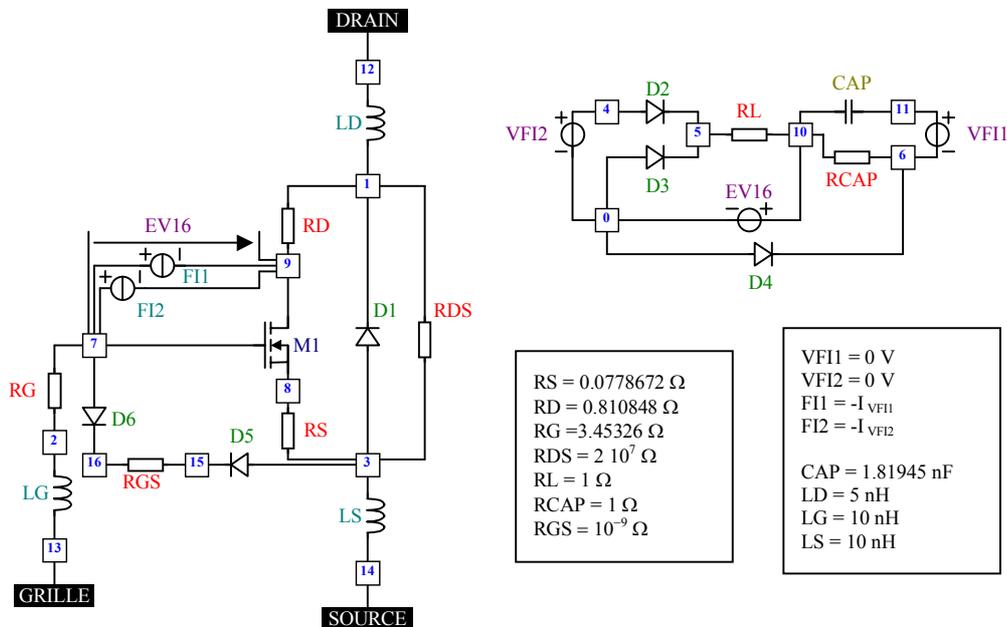


Figure IV.29 : modèle PSPICE optimisé de l'IRF840 de chez IR

Les travaux d'optimisation ont été basés sur un modèle IR dont le point fort porte sur le travail effectué pour la correction de la loi de variation de la capacité grille drain, dite de Miller, en fonction de la tension aux bornes du composant. Pour rappel, tous les modèles de

transistors PSPICE dérivent de composants du signal à structure horizontale alors que les MOS haute tension sont à structure verticale. Les lois de variation des capacités parasites du composant sont fondamentalement différentes [13].

Les points optimisés par nos soins concernent :

- Les paramètres liés aux capacités intrinsèque d'écrêtage à savoir la tension d'écrêtage et la résistance dynamique présentée dans ce mode de fonctionnement.
- L'autolimitation en courant sur deux points distincts : la modification de paramètres rétablissant la cohérence des niveaux de courant autolimité avec l'expérimentation et la prise en compte du niveau de tension de commande maximum à partir duquel la forme de courant d'autolimitation n'évolue plus.
- L'ajout des inductances de câblage dues aux jonctions de la puce à son boîtier.

L'outil de simulation permet l'étude paramétrique de ce mode de protection en tension en l'assimilant à une boucle de régulation. Le diagramme suivant présente par exemple le gain et la phase de la boucle de régulation pour un courant en écrêtage allant de 0,5 à 10 A.

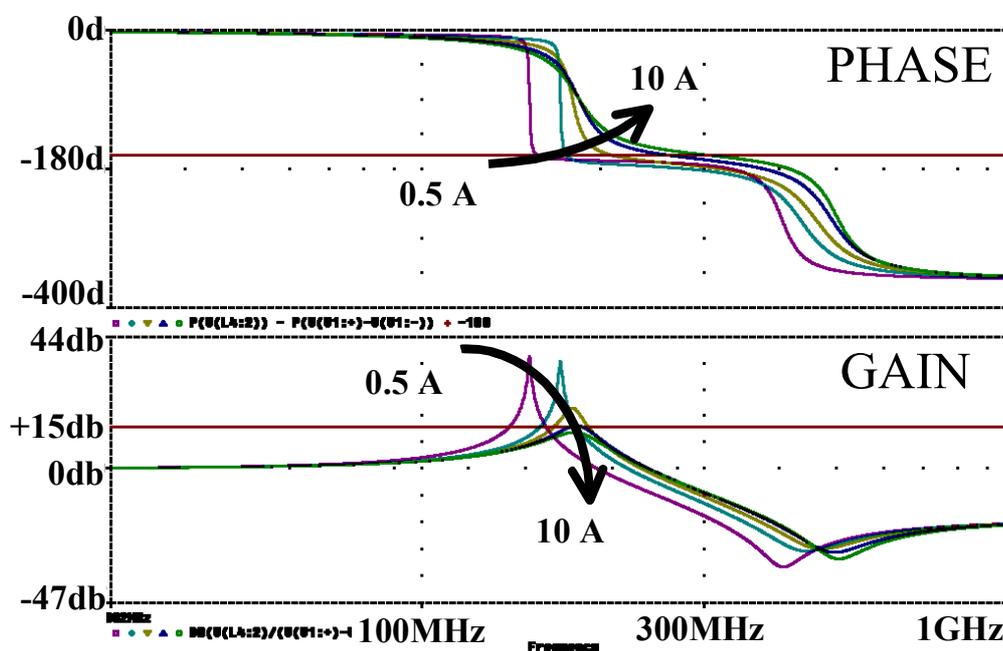


Figure IV.30 : étude paramétrique sur le courant extérieur, diagramme de gain et de phase

Il apparaît que le domaine des courants de faible intensité (jusqu'à 1 A) présente des phases de fonctionnement instables. Le gain de la boucle est supérieur à 15 dB alors que le déphasage est à  $-180$  deg.

Notons que ces instabilités liées au domaine des faibles courants en écrêtage sont retrouvées expérimentalement lors d'essais sur la Machine à Avalanche [7].

Une façon de réduire le domaine de ces instabilités consiste à ralentir la boucle de contre réaction. Pour ce faire, un moyen simple est l'ajout d'une résistance en série avec la Transil fixant la consigne de tension.

La figure suivante représente, en trois dimensions, les résultats d'une étude bi-paramétrique portant à la fois sur le domaine des courants écrêtés et sur les valeurs de résistance ( $R_{DG}$ ) mises en série avec la Transil.

On trace le gain de la boucle lorsque la phase est à  $-180$  deg. Rappelons que les critères de stabilité imposent un gain inférieur à 15dB lorsque la phase atteint  $-180$  deg.

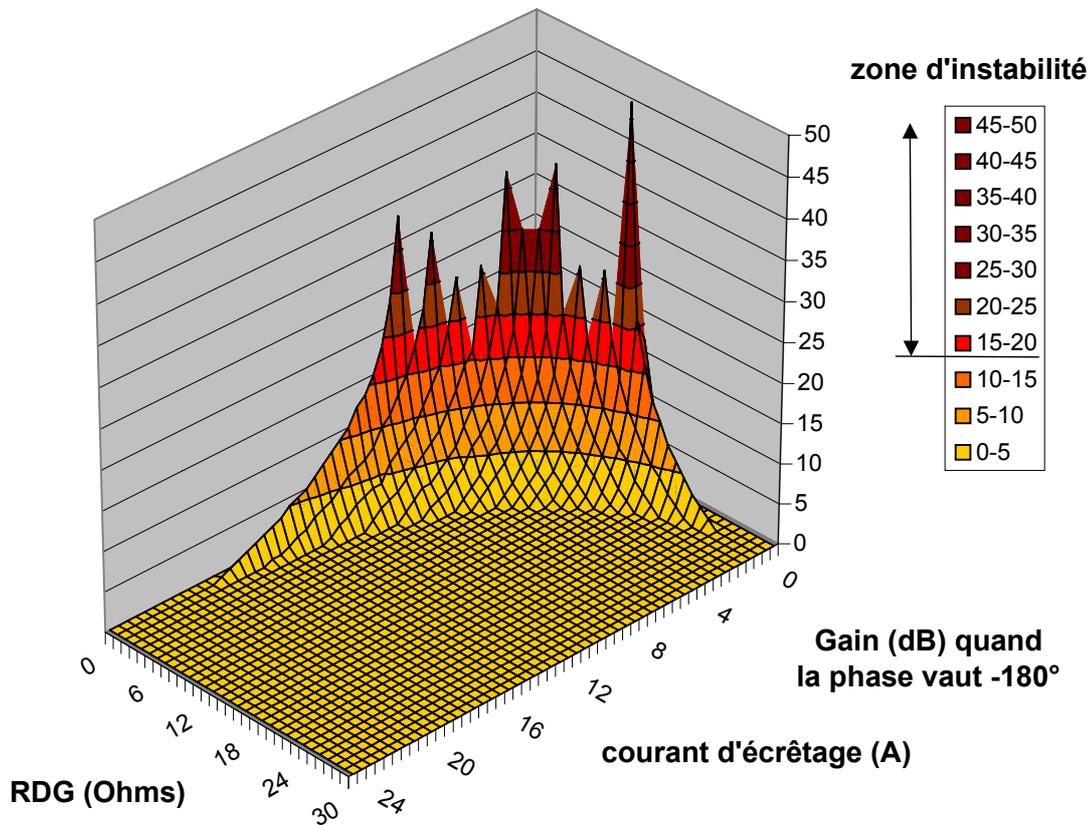


Figure IV.31 : étude bi-paramétrique sur le courant écrêté et la résistance en série avec la Transil, visualisation de la zone d'instabilité

Il apparaît, sur le diagramme, que le système est instable pour des courants de faible intensité et que l'augmentation de la valeur de la résistance en série avec la Transil réduit l'étendue (en courant) de la zone d'instabilité.

Ce type d'écrêtage à faible courant peut être rencontré dans le cas de mises en série de composants semi-conducteurs soumis à une surtension globale. En effet, suivant l'état des composants en série avec un étage donné, le courant que ce dernier aura à écrêter pourra être de très faible intensité (par exemple si un des étages adjacents est en train de s'ouvrir).

Les avantages de la protection en tension par écrêtage actif sont les suivants :

- Caractéristique à résistance dynamique nulle
- Capacité de dissipation en énergie

Caractéristique à résistance dynamique nulle

La figure suivante représente la caractéristique dynamique de ce mode de protection :

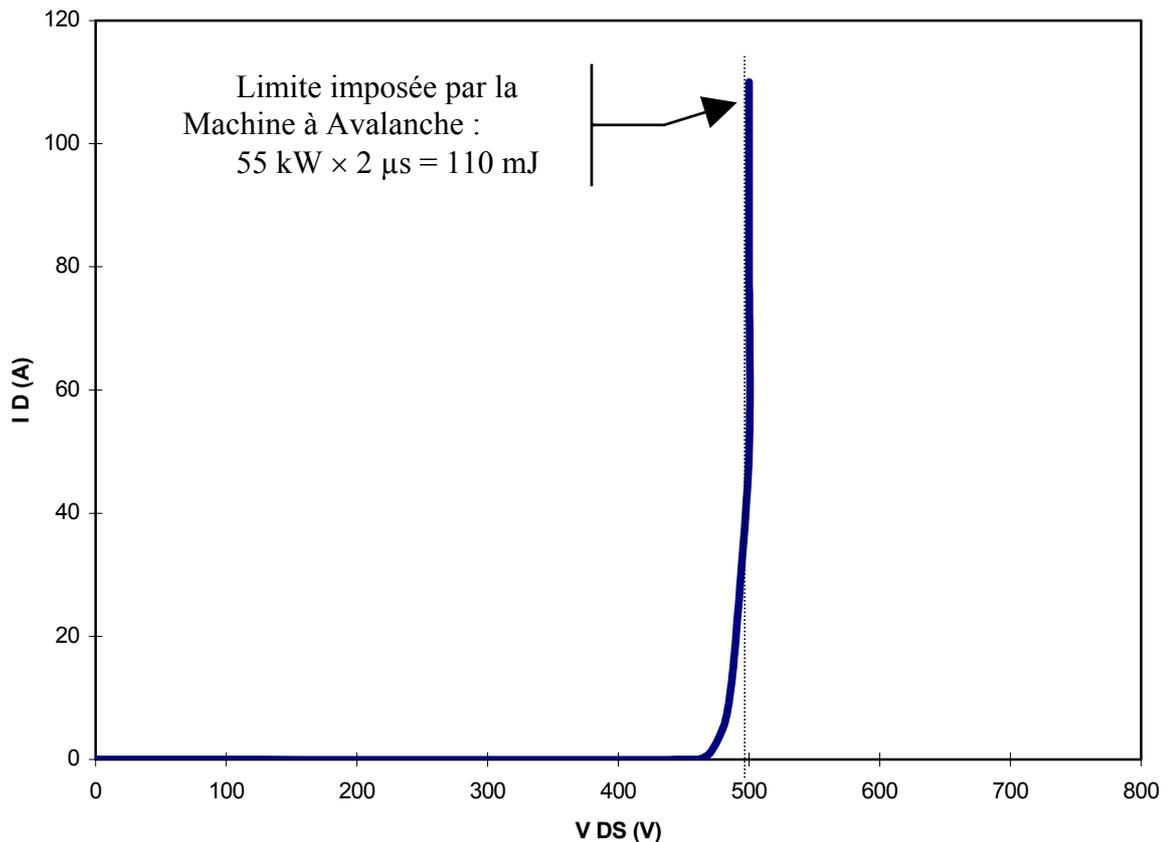


Figure IV.32 : caractéristique de l'écrêtage actif d'un IRF840

Ce mode de protection présente une résistance dynamique quasi nulle. En effet, très peu de courant traversant la diode Transil de contre réaction, la tension à ces bornes, qui constitue la valeur de consigne, reste presque constante sur toute la plage de fonctionnement.

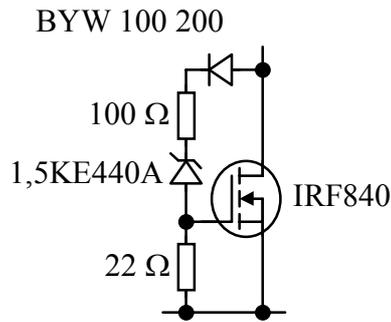
#### Capacité de dissipation

Comme lors de l'utilisation de l'écrêtage intrinsèque, tout le courant d'avalanche transite par la puce du transistor (exception faite des 0,5 A passant par la boucle de régulation en mode de protection par contre réaction). Pourtant, les niveaux d'énergie dissipée et de densité de courant ne sont pas les mêmes :

	<i>écrêtage intrinsèque</i>	<i>écrêtage actif</i>
<i>durée de l'écrêtage</i>	2 $\mu\text{s}$	2 $\mu\text{s}$
<i>énergie dissipée</i>	98 mJ (maximum)	110 mJ (limité par le banc d'essai)
<i>courant atteint</i>	65 A (maximum)	110 A (limité par le banc d'essai)
<i>densité de courant</i>	325 A/cm <sup>2</sup>	550 A/cm <sup>2</sup>

Les densités de courant accessibles varient du simple au double. Le mode de protection en tension active fait appel à un mode de fonctionnement pour lequel le composant est directement fabriqué et optimisé : le fonctionnement en conduction.

Grâce aux résultats des travaux de simulation, nous avons obtenu une configuration pour les transistors MOS dans laquelle les instabilités devraient être évitées. Le schéma est le suivant.



*Figure IV.33 : schéma retenu pour l'écrêtage actif d'un MOS*

C'est cette configuration qui fut utilisée pour l'étude de l'association en série de l'écrêtage actif.

#### Mise en série de semi-conducteurs en protection active

L'étude de la mise en série de composants semi-conducteurs protégés en tension par écrêteurs actifs a été faite parallèlement selon deux axes : la simulation grâce à PSPICE et l'expérimentation sur la Machine à Avalanche [14].

L'expérimentation montre de très sérieux problèmes d'oscillations haute fréquence des différents paramètres (tension de drain, de grille) conduisant à la destruction de l'association. Aussi, l'outil de simulation apparaît comme un très bon atout pour comprendre et analyser les phénomènes afin d'adapter le montage à un bon fonctionnement.

#### Simulation

Suite aux travaux de simulation effectués sur un composant protégé en tension par écrêtage actif, des essais ont été menés sur des associations de trois composants en série.

Les points délicats de cette étude furent, outre les travaux d'optimisation des modèles des composants (sur le MOS mais aussi sur les Transils), l'évaluation des éléments parasites de l'association : capacités et inductances parasites.

Alors que les simulations effectuées sur un seul composant furent très enrichissantes pour déterminer les grandes tendances du fonctionnement de l'écrêteur actif, les simulations de plusieurs étages n'ont pas apporté d'éléments nouveaux. La grande difficulté réside dans le mode d'utilisation de l'outil de simulation :

Comprendre les problèmes d'oscillations haute fréquence rencontrés dans les associations séries de composants protégés par écrêtage actif grâce à la simulation nécessite au minimum de les retrouver. Or, la présence ou non de ces oscillations haute fréquence, leurs amplitudes et leurs fréquences semblent être liées aux dissymétries de répartition des tensions et courants apportées par les différents éléments parasites et par les faibles différences de comportement des composants de même type.

Tenir compte de tous ces éléments, de plus dans une association série, correspond à réaliser un fichier que le calculateur ne sait pas traiter suite à de nombreux problèmes de convergence.

Les simulations effectuées sur les mises en série n'ont donc apporté aucun élément nouveau quant aux dysfonctionnements rencontrés sur les montages expérimentaux. Les associations dont les simulations convergeaient ne présentaient aucune oscillation parasite. Le logiciel de simulation dont nous disposons ayant montré ses limites vis à vis des associations

séries de composants, nous avons travaillé de manière plus approfondie sur la partie expérimentale.

#### Expérimentation

Les tests expérimentaux ont consisté à réaliser sur PCB des associations de trois composants en série et de les soumettre à des surtensions transitoires grâce à la Machine à Avalanche.

Les essais ont mis en évidence 3 modes oscillatoires liés à l'utilisation de l'écrêtage actif comme protection en tension et à son association en série. Ces trois modes d'instabilité, le plus souvent combinés, provoquent des oscillations haute fréquence (plusieurs dizaines de MHz) sur les tensions de drain, de grille, et sur les courants dans les MOS. L'origine de ces perturbations est d'autant plus difficile à localiser que la sonde capte par rayonnement des dizaines de volts d'oscillation à 50 MHz avant même d'être connectée au montage.

Les modes d'instabilité ont donc été identifiés et localisés en modifiant certaines valeurs de résistance pour les atténuer.

Instabilité due à l'apport de charges au travers de la capacité de Miller lors de  $dV/dt$ .

Lorsqu'un composant protégé en tension par écrêtage actif est soumis à un  $dV/dt$ , des charges sont amenées à sa grille par la capacité Miller en parallèle avec la capacité de la Transil. Ces charges ont pour effet d'augmenter le potentiel de grille, rendant le transistor plus conducteur. Les charges apportées sont évacuées par la résistance de pull-down avec un retard lié à la valeur de cette capacité et à celle de la résistance de pull-down.

D'un point de vue d'automatique, la réaction sur la grille a un très fort gain car lorsque le MOS est en mode de protection active, il fonctionne en linéaire et sa tension de grille est proche de la tension de seuil de mise en conduction ; peu de charges suffisent alors pour fortement modifier son courant admissible et donc la tension à ses bornes.

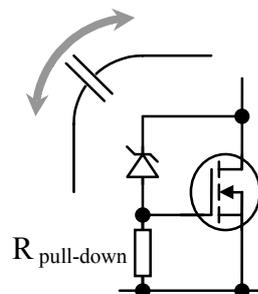


Figure IV.34 : instabilité due à l'apport de charges par la capacité dite de Miller lors des  $dV/dt$

Une des façons pour réduire les effets de ce mode d'oscillation consiste à réduire la valeur de la résistance de pull-down. On réduit alors le déphasage entre l'apport des charges (par la capacité Miller) et leur évacuation (par la résistance de pull-down).

Instabilité due à des échanges de charges entre les grilles des composants associés en parallèle

Dans le cas des associations de composants en parallèle, les capacités d'entrées des MOS sont reliées en parallèle. Comme on l'a vu précédemment, le fonctionnement en mode linéaire du MOS dû à l'écrêtage actif impose au composant une tension de grille proche de la tension

seuil. Quelques charges suffisent alors pour faire évoluer le potentiel de grille du composant et faire changer le niveau de courant le traversant.

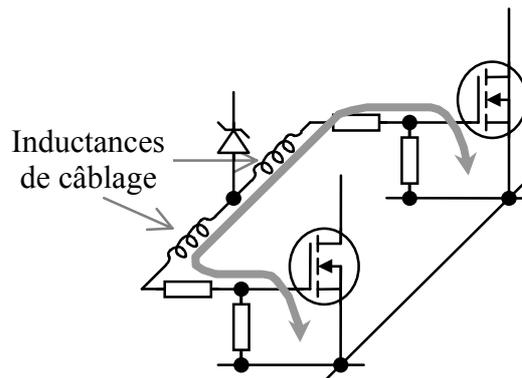


Figure IV.35 : instabilité due à l'échange de charges entre les capacités de grille connectées en parallèle

Une façon d'atténuer ce mode oscillatoire consiste à augmenter les valeurs des résistances de grille  $R_G$  et à diminuer celles de pull-down. Notons que cette solution augmente les risques d'instabilité dus à l'apport de charges par la capacité Miller lors de  $dV/dt$ .

Oscillation inter étage pour les composants associés en série

Le dernier mode d'instabilité découle directement des deux modes évoqués précédemment. Lorsqu'un composant ou un étage de composants se met à osciller, ou si la tension à ses bornes varie rapidement dans une plage importante, il soumet les autres étages de l'association série à de forts  $dV/dt$  pouvant les rendre instables.

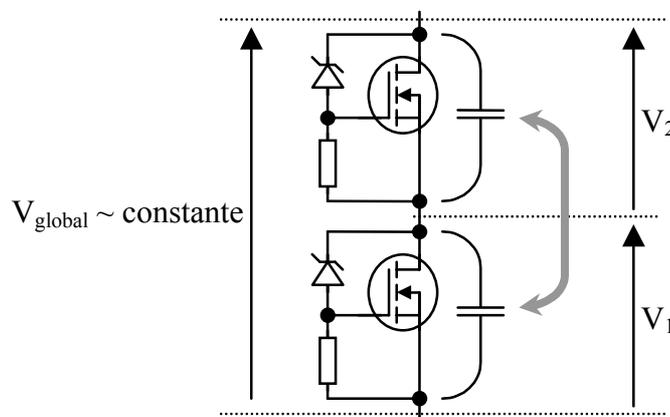


Figure IV.36 : instabilité due à l'échange de charges entre les capacités drain-source connectées en série

### Conclusion

La protection en tension par écrêtage actif des composants semi-conducteurs apparaît comme une solution performante et fiable : résistance dynamique très faible, capacité en courant très importante.

Cependant, il apparaît très délicat d'utiliser ce mode de protection dans l'association en série. En effet, un composant en protection active régule la tension à ses bornes en fonctionnant en mode linéaire. Sa tension de commande est alors proche de la tension de

seuil. Une faible variation de tension de commande peut provoquer de fortes variations de tension de drain. Le  $dV/dt$  alors engendré peut se répercuter sur les autres étages de la mise en série et provoquer des oscillations de tension destructives entre les composants.

La difficulté semble donc due au principe qui consiste à utiliser un mode de protection en tension très sensible aux  $dV/dt$  (l'écrêtage actif) à un type de structure très propice aux  $dV/dt$  (la mise en série). L'association en série d'écrêteurs actifs est un problème délicat de régulation dont la difficulté de mise au point est liée au type d'application.

**A ce stade des travaux, la protection en tension par action sur l'électrode de commande n'apparaît pas applicable aux associations utilisant la structure de mise en série.**

### Conclusion sur les différentes techniques de protection en tension dans les matrices

Des trois techniques recensées de protection en tension, l'écrêtage actif est, pour l'heure, proscrit aux associations matricielles.

Reste l'écrêtage passif. Performant et facile d'utilisation, il représente la solution la plus rassurante dans le sens où la fonction de protection est clairement assurée par un système défini, spécifique et localisé. Cependant, ce système doit être correctement dimensionné :

**Un système d'écrêtage doit pouvoir supporter le courant nominal du système à protéger.**

D'autre part, il faut veiller qu'à ce niveau de courant, la tension d'écrêtage aux bornes sur système de protection soit inférieure à celle tolérée par les composants à protéger.

Une protection supplémentaire consiste à utiliser des composants capables de se protéger par écrêtage intrinsèque. Outre l'aspect fiabilité que présentent les composants supportant ce mode de fonctionnement, la mise en matrice de composants possédant de bonne capacité d'écrêtage intrinsèque permet d'accroître le niveau de courant acceptable lors du passage en avalanche de l'association.

synthèse de comparaison des trois solutions de protection en tension :

- écrêtage intrinsèque : il est recommandé d'utiliser des composants à protéger capables de supporter ce mode de fonctionnement (même si le constructeur ne le spécifie pas) afin d'assurer un niveau supplémentaire de sécurité vis à vis de la tolérance aux surtensions.
- écrêtage passif : pratique est simple, sa résistance dynamique positive entraîne néanmoins une sous utilisation en tension des composant à protéger.
- écrêtage actif : c'est un système de protection en tension très performant. La résistance dynamique très faible assure un niveau de tension constant et les courants admissibles sont très importants. Néanmoins les instabilités que présentent ce mode de protection rend, pour l'instant, trop délicate sa mise en œuvre dans les associations en série.

#### IV.2.4.2. Protection en courant

##### Dans la structure parallèle

Lorsqu'on considère la structure parallèle de la mise en matrice, on considère la protection des composants par rapport à un déséquilibre en courant.

En ce qui concerne les mise en parallèle de MOSFETs, qui fut le composant privilégié de nos études, la capacité d'autolimitation en courant que présentent les composants limite les déséquilibres en courant. D'autres composants tels que les IGBTs, possèdent également cette faculté.

Rappelons que la bonne répartition du courant entre les composants d'une mise en parallèle, nécessite d'assurer un passage large du courant, jusque dans les connexions avec l'extérieur (c.f. Figure IV.9 page 76).

##### Dans la structure série

Lorsqu'on considère la structure série, l'association de composant capable d'autolimiter en courant permet d'obtenir une structure qui hérite de la même faculté.

Individuellement, chaque étage est protégé par la capacité d'autolimitation des étages adjacents.

### IV.3. Conclusion

Les règles de l'art concernant la réalisation des mises en matrice de MOS sont :

- ↪ Une sélection des composants en fonction des points suivants :
  - ✓ aptitude à supporter le fonctionnement en régime d'avalanche à fort courant,
  - ✓ aire de sécurité la plus étendue possible, voir rectangulaire entre la tension maximale spécifiée et le courant d'autolimitation à cette tension pour  $V_{GS}$  maximale spécifiée,
  - ✓ tenue en tension des oxydes de grilles,
  - ✓ dispersion sur les caractéristiques faible,
  - ✓ impédance à l'état défaillant proche de celle du composant à l'état fermé.
  
- ↪ L'utilisation d'une commande capable :
  - ✓ de piloter tous les composants de façon synchronisée,
  - ✓ d'assurer l'isolation galvanique entre la puissance et la commande,
  - ✓ de piloter tous les composants fonctionnant malgré la présence de composants défaillants dans la matrice.
  
- ↪ La protection :
  - ✓ en tension des étages par utilisation de composants supportant le régime d'écrêtage intrinsèque, protégés de surcroît par un écrêtage passif optimisé,
  - ✓ en courant en assurant une répartition uniforme sur la largeur de la carte grâce à une implantation géométrique large et à des composants capables de limiter le courant qui les traverse.

Afin de concrétiser les règles assurant la fiabilité des mises en matrice, nous avons réalisé une nouvelle génération de cartes à MOS à partir de composants sélectionnés en fonction de leur tenue en avalanche et de leur aire de sécurité.

Chaque étage bénéficie d'une protection en tension optimisée qui permet à la carte de fonctionner sur court-circuit de type I et II. La commande rapprochée permet la commande à l'ouverture et à la fermeture de façon indépendante.

La matrice réalisée, tolérante à la défaillance des composants de puissance, est une carte 5 000 V, 500 A nommée carte à MOS ON / OFF / CC pour commandable à la mise ON et à la mise OFF de façon indépendante et capable de supporter le Court-Circuit.

#### IV.4. Références bibliographiques associées au quatrième chapitre

[1] G.R. DREIFUERST, B.T. MERRITT, *Development and operation of a solid-state switch for thyatron replacement* Pulsed Power Conference 1991 (San Diego California) page 191-195.

[2] G. COQUERY, R. LALLEMAND, P. CAROFF, L. LAFON, A. LE DU et M. STEPHANI, *Mise en série de thyristors GTO pour les applications très haute tension Evaluation expérimentale sur une maquette 6 GTO - 12 kV - 3 kA*. EPF'96, Grenoble, pp. 145-152.

[3] D. CHATROUX, Y. LAUSENAZ, J.F. VILLARD, L. GARNIER, D. LAFORE, *High reliability high voltage fast switches*. EPE'99, Lausanne, 7-9 septembre 1999.

[4] D. CHATROUX, Y. LAUSENAZ, J.F. VILLARD, D. LAFORE, *High voltage fast switches for nuclear applications*. EP2 Forum 98, Grenoble, 21-22 octobre 1998, pp. 51-58.

[5] Y. LAUSENAZ, *Etude de la fiabilité des mises en série de composants MOSFETs*, rapport de DEA Génie Electrique / ESIM, Faculté des Sciences & Techniques de St Jérôme Marseille, 1997.

[6] CNET, *Composants Electroniques, Recueil de données de fiabilité* (norme UTE C 80-810), juin 1997.

[7] Y. LAUSENAZ, J.F. VILLARD, D. CHATROUX, D. LAFORE, *Component-evaluation facility for high current (200A), short time (2 $\mu$ s) avalanche testing*. PCIM'99, Nuremberg, 22-24 juin 1999.

[8] Y. LAUSENAZ, D. CHATROUX, D. LAFORE, J.M. LI, *banc de test de composants en avalanche à fort courant (200 A) pendant des temps courts (2  $\mu$ s)*. EPF'98, Belfort, 16-18 décembre 1998.

[9] P. ESTOP, P. CARRERE, S. CAZABAT, J.P. LAVIEVILLE, P. NOGARET, *Montée en tension des convertisseurs à IGBT*. EPF'96, Grenoble, pp. 193-198.

[10] J.M. LI, D. LAFORE, S. TIAN, *Energy absorption devices for solid-state interruption*, EPE journal Vol.7 no 1-2 août - octobre 1997 et EPE'95 Seville.

[11] P. ALOISI, *L'avenir des IGBT*. EPF'96, Grenoble, pp. 3-7.

[12] T. REIMANN, R. KRÜMMER, J. PETZOLDT, *Active voltage clamping techniques for overvoltage protection of MCT*, EPE'97 Trondheim.

[13] E. GOTTI, *Enhanced PSPICE model for power MOSFETs*. PCIM Europe juin 1997 page 320-326.

[14] Y. LAUSENAZ, D. CHATROUX, J.F. VILLARD, D. LAFORE, J.M. LI, L. GARNIER, *Serial connected active voltage clamping*. EPE'99, Lausanne, 7-9 septembre 1999.

# CHAPITRE V : APPLICATIONS

## V.1. Cartes à MOS

### V.1.1. Contexte historique

Historiquement, le Laboratoire d'Electronique de Puissance du CEA de Pierrelatte (actuellement LETC) a été créé pour apporter une réponse au manque de fiabilité des alimentations impulsionnelles des lasers à vapeur de cuivre du projet SILVA.

SILVA (Séparation Isotopique par Laser de la Vapeur Atomique de l'uranium) est le projet d'enrichissement de l'uranium basé sur la différence de fréquence d'ionisation des isotopes le constituant. L'uranium, à l'état naturel, est constitué de deux isotopes : le 235 et le 238. La proportion en uranium 235 ( $U_{235}$ ) doit être portée de 0,7% à 3% pour être utilisable dans les centrales nucléaires les plus courantes en France (REP).

Le principe consiste à vaporiser de l'uranium naturel dans une enceinte à vide. Un éclairage laser de forte puissance et de longueurs d'onde calées sur les fréquences d'ionisation de l' $U_{235}$  permet son ionisation de façon sélective. Le métal ionisé est alors recueilli par champ électrique sur des plaques collectrices placées dans l'enceinte à vide.

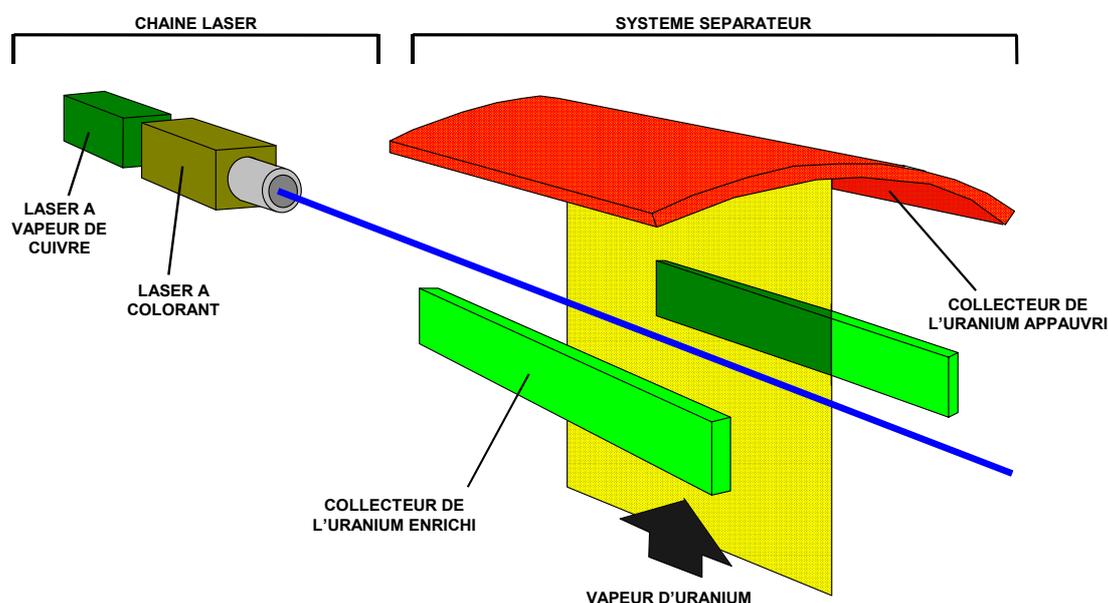


Figure V.1 : schéma de principe du projet d'enrichissement de l'uranium SILVA

Les lasers, assurant le calage en fréquence, sont des lasers à colorant accordables en fréquence. L'énergie nécessaire à l'ionisation massive de la vapeur métallique leur est apportée par pompage optique grâce à des lasers à vapeur de cuivre (LVC) de forte puissance. La photo suivante est celle de MNT100. Construits par la CILAS (Compagnie des LASers), ces lasers possèdent une puissance moyenne optique de 100 W.



*Figure V.2 : lasers MNT100 CILAS, 100 W optique moyen*

Ces lasers sont impulsionnels et fonctionnent à une fréquence de récurrence de 5 kHz. L'énergie électrique est apportée sous la forme d'impulsions de 1 600 A sous 25 kV durant 200 ns.

Les alimentations initialement utilisées étaient réalisées grâce à deux thyatronns (tube à gaz) dont la durée de vie, dans ces conditions, n'excédait pas 2000 heures (1000 heures en moyenne). Le nombre de lasers qu'une installation d'enrichissement devait posséder rendait ce manque de fiabilité critique.

Une solution de remplacement fut mise au point par le Laboratoire d'Electronique de Puissance du CEA de Pierrelatte. Les études ont été menées en collaboration avec l'Ecole Supérieure de Ingénieur de Marseille (ESIM) et la phase de réalisation industrielle a été confiée à la société Enertronic (Saint QUENTIN-FALLAVIER, Isère).

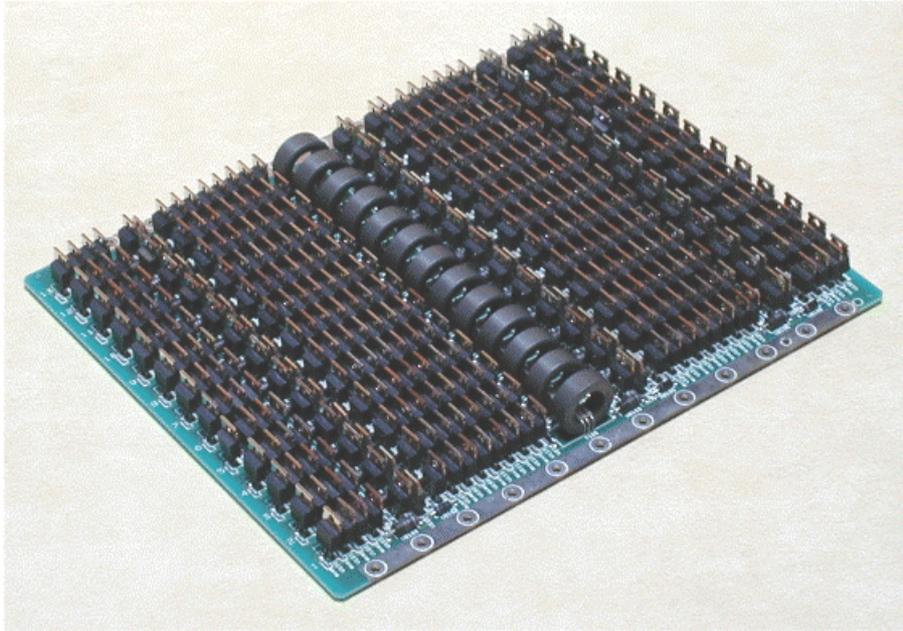
### **V.1.2. La carte à MOS ON**

L'alimentation réalisée est solide, par opposition aux tubes à vide ou à gaz, c'est à dire qu'elle est réalisée à base de composants semi-conducteurs. La structure retenue est celle d'une mise en matrice de MOSFETs 500 V.

L'élément de base de ces alimentations est la carte à MOS.

### V.1.2.1. Structure

La carte à MOS réalisée est une carte 5 kV, 800 A.



*Figure V.3 : carte à MOS ON, 5 kV, 800 A*

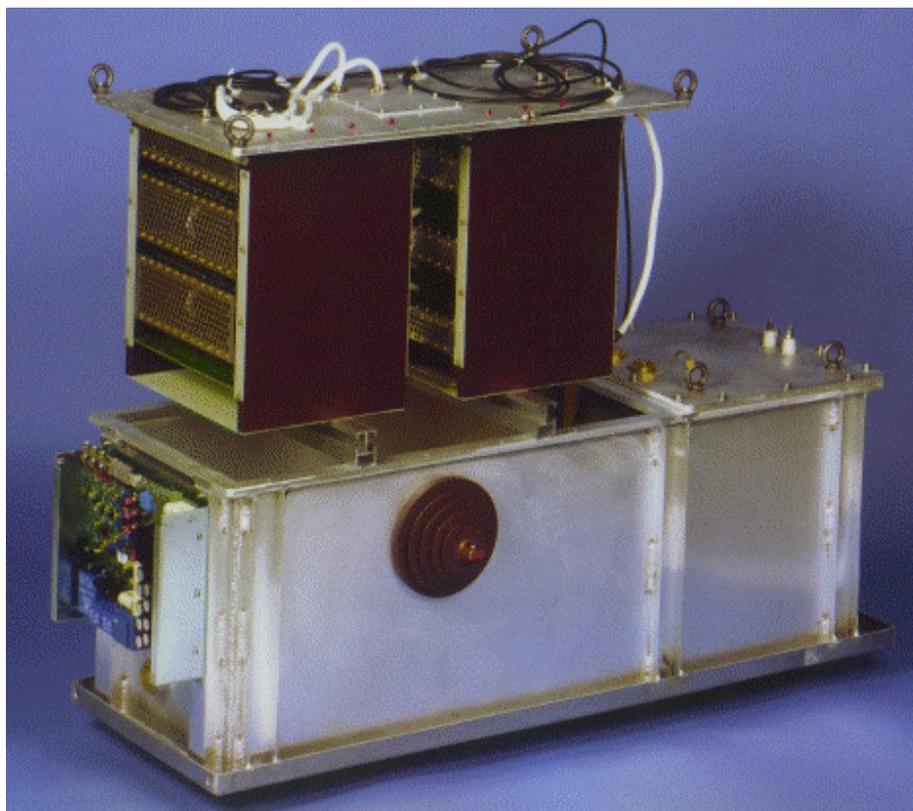
La structure matricielle de la carte comprend 13 étages de 24 MOS 500 V en parallèle. Chaque étage est protégé en tension à 440 V.

Les composants sont commandés à la mise en conduction par transformateurs d'impulsions. Ils assurent une mise en conduction de tous les composants de façon synchronisée à 1 ns près. Le blocage des composants a lieu, par construction, 200 ns après l'ordre de conduction alors que le courant dans l'association est nul. La carte est dite ON car seule la mise en conduction peut être déclenchée.

Aujourd'hui, les composants utilisés dans ces matrices sont retenus en fonction des critères de tenue à l'avalanche, de dispersion des caractéristiques et d'aire de sécurité.

### V.1.2.2. Application

Pour réaliser le commutateur impulsionnel des LVC du projet SILVA, les cartes à MOS sont regroupées en deux modules en parallèle de 5 cartes en série. Une cuve à MOS mesure 1 mètre de long. L'une d'entre elles est présentée, ouverte, sur la photographie suivante.



*Figure V.4 : commutateur impulsionnel, 25 kV, 1 600 A*

Aujourd'hui, il existe une quarantaine de cuves à MOS implantées sur tous les lasers MNT100 du CEA. Notons que l'installation d'une cuve n'engendre pas de surcoût à la construction du laser et que la modification des lasers existants assure un retour sur investissement de 6 mois.

Au total, ces alimentations ont cumulé plus de 150 000 heures de fonctionnement sans défaillance du commutateur matriciel.

L'utilisation de ces cartes à MOS n'est plus restreinte aux lasers de puissance. Elles sont utilisées dans des commutateurs haute tension destinés à de nouvelles exploitations telles que le traitement des aliments et des eaux par champs électriques pulsés.

Ce domaine d'étude révéla le besoin d'une carte capable d'être commandée à l'ouverture et à la fermeture. La carte devait être également capable de supporter le régime de court-circuit. L'aspect fiabilité étant toujours critique, les travaux de thèse ont permis la réalisation d'une telle carte.

### **V.1.3. La carte à MOS ON OFF CC**

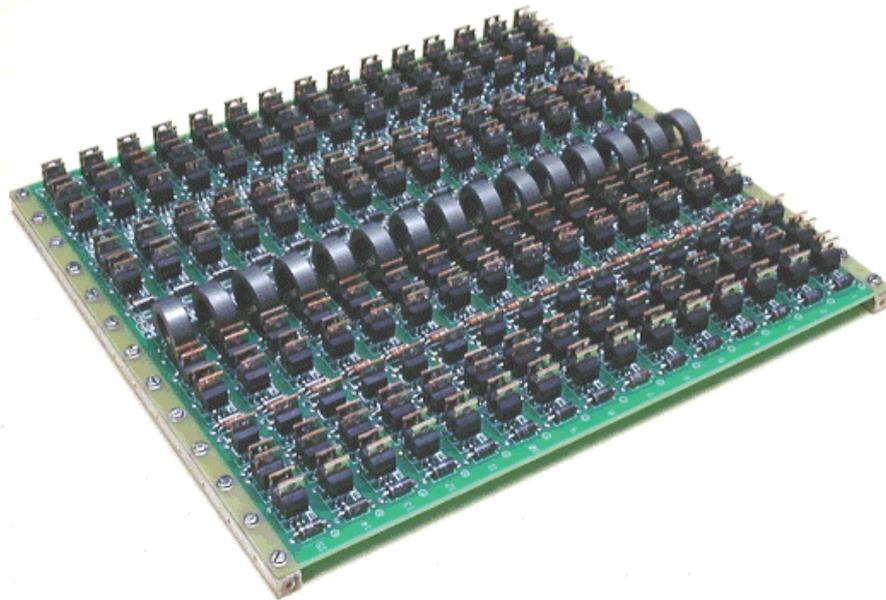
La carte réalisée à partir des résultats d'étude de la thèse est nommée carte ON OFF CC ; ON OFF pour commandable à la mise ON et à la mise OFF de façon indépendante et CC pour capable de supporter le régime de Court-Circuit.

### Caractéristiques électriques de la carte ON OFF CC

- Tensions nominale 5 000 V maximum 5 250 V
- Courants nominal 500 A maximum 800 A
- Commandable à la mise en conduction en 20 ns pour une durée de 500 ns à 50  $\mu$ s
- Capable de fonctionner sur des court-circuits de type I et II et d'y ouvrir son courant nominal

La carte est constituée de 15 étages de 16 MOS 500 V en parallèle. La carte est commandée par transformateurs d'impulsions. La particularité de la commande, par rapport à la carte ON, est l'utilisation sur chaque étage d'un module de mémorisation qui, suite à une impulsion positive de courant dans le câble de commande, maintient l'ordre de fermeture des MOS. Les MOS s'ouvrent lorsque la carte est commandée à l'ouverture par une impulsion de courant négative dans le même câble de commande.

La photo suivante montre la carte ON OFF CC telle qu'elle est industrialisée par Enertronic.



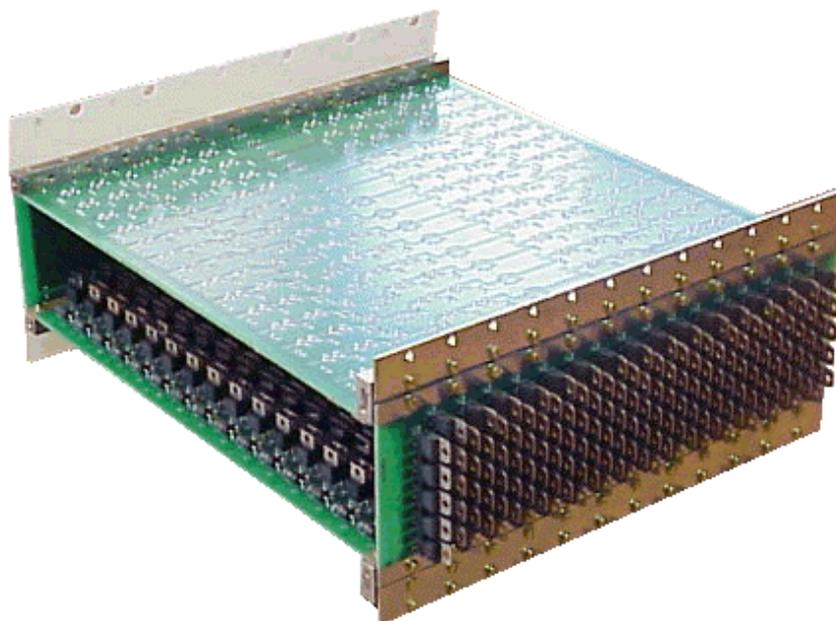
*Figure V.5 : carte à MOS ON OFF CC, 5 000 V, 500 A*

### Solutions assurant la fiabilité mises en œuvre dans la carte ON OFF CC

- Un choix de composants fiables, sélectionnés selon nos critères. Aujourd'hui réalisées à base d'IRF840 de chez IR, les cartes ON OFF CC devraient, à terme, être réalisées avec une technologie plus récente, les IR11N50A du même fabricant.
- Une utilisation très optimisée des systèmes de protection en tension sur chaque étage de la matrice, utilisant à la fois l'écrêtage intrinsèque des MOS et l'écrêtage passif.
- La mise au point d'une commande robuste et rapide assurant la synchronisation des ordres de mise en conduction et de blocage des composants. Elle est capable de maintenir la mise en conduction de 500 ns à 50  $\mu$ s selon les ordres de commande qui lui sont fournis par le câble de commande.

Il en résulte une carte à la fiabilité élevée et dont la tolérance à la défaillance de composants a déjà été vérifiée.

Ces cartes sont associées 2 à 2 pour donner des modules 10 kV à diode(s) de roue-libre intégrée.



*Figure V.6 : module 10 kV, 500 A à diode(s) de roue-libre intégrée*

### Applications

Ces modules sont utilisés pour la réalisation d'alimentations impulsionnelles +30 kV -30 kV destinées aux traitements des eaux et des aliments par champs électriques pulsés. L'alimentation est un demi-pont constitué de 6 modules (soit 12 cartes) par interrupteur. Le commutateur du CEP13 (Champ Electrique Pulsé 13 kW) est montré sur la photographie suivante.

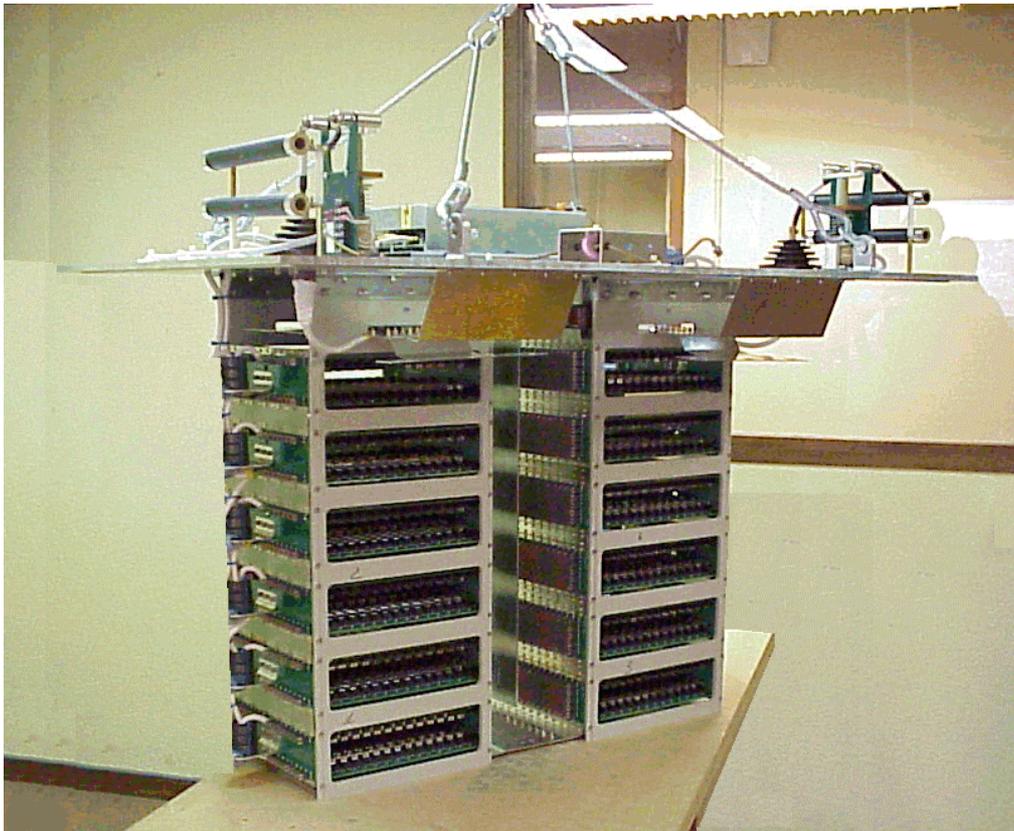


Figure V.7 : CE13, demi-pont constitué de 2 fois 12 cartes ON OFF CC en série

Les caractéristiques de l'alimentation réalisée sont les suivantes :

- Créneaux positifs et négatifs de tension appliqués à la charge, constituée de l'élément à traiter, jusqu'à +30 kV et -30 kV.
- Courant maximum disponible sur chaque impulsion de 500 A.
- Durées des impulsions réglables de façon indépendante de 500 ns à 50  $\mu$ s.
- En cas de court-circuit sur la charge, provoqué par un arc dans l'élément à traiter, il y a détection du surcourant et ouverture du court-circuit.

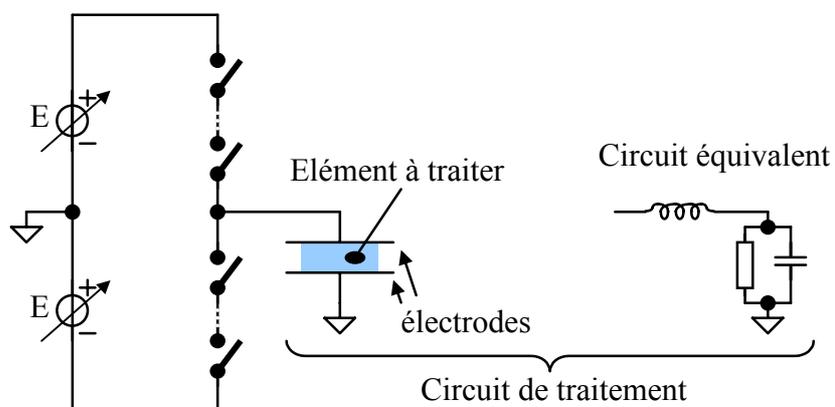


Figure V.8 : schéma de principe du CE13 pour le traitement par champ pulsé

Ce montage est très contraignant pour les commutateurs de haute tension :

- ↪ Pour générer une tension de valeur crête  $E$ , les deux interrupteurs doivent être dimensionnés pour  $2E$ , chaque demi-pont tient donc 60 kV !
- ↪ Les deux interrupteurs doivent être commandés à l'ouverture et à la fermeture (pour des durées de 500 ns à 50  $\mu$ s),
- ↪ Les deux interrupteurs doivent ouvrir un fort courant (500 A) sous haute tension ( $\pm 30$  kV),
- ↪ Les deux interrupteurs doivent supporter le court-circuit imposé par un arc au niveau de la charge,
- ↪ Les deux interrupteurs doivent pouvoir ouvrir le courant de court-circuit ( $\sim 800$  A).
- ↪ La fréquence de fonctionnement doit atteindre 1 600 Hz ( $\alpha$  du demi pont  $\leq 0,16$ )

Le graphe suivant est un exemple d'oscillogramme obtenu lors du traitement de l'eau chez le premier client de ce produit.

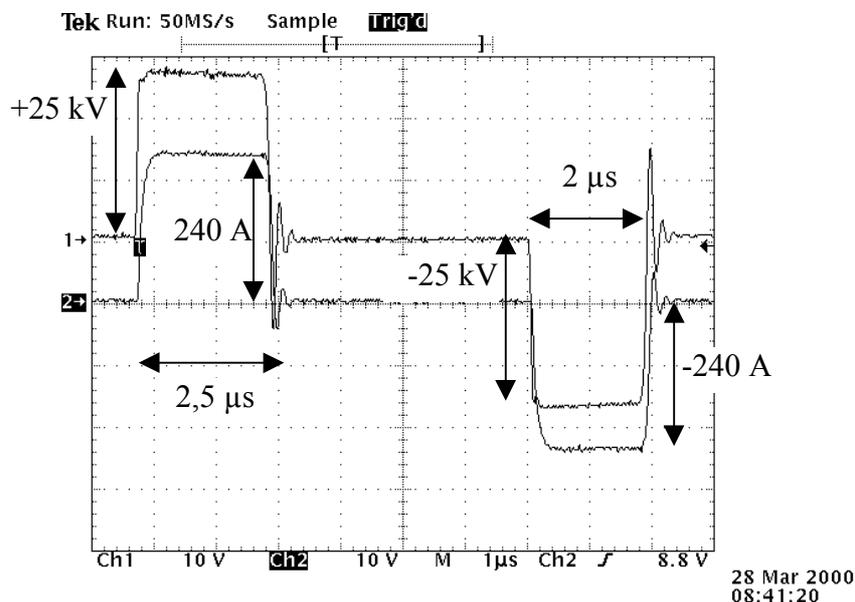


Figure V.9 : impulsions de tension  $\pm 25$  kV et de courant de  $\pm 240$  A

Suite à la mise au point des structures matricielles à base de MOS, la technologie a été déclinée à d'autres types de composants.

Outre la réalisation de cartes à IGBTs (obtenue par remplacement des MOS d'une carte ON par des IGBTs) destinées à des temps de conduction de l'ordre de quelques microsecondes, il existe d'autres types de mises en matrice :

- ↪ Cartes à diodes. Elles sont utilisées dans les structures utilisant les commutateurs matriciels (cuve MNT100 et CEP13 par exemple).
- ↪ Cartes à thyristors. Elles sont destinées au passage de forts courants pour des durées de l'ordre de quelques dizaines de microsecondes.

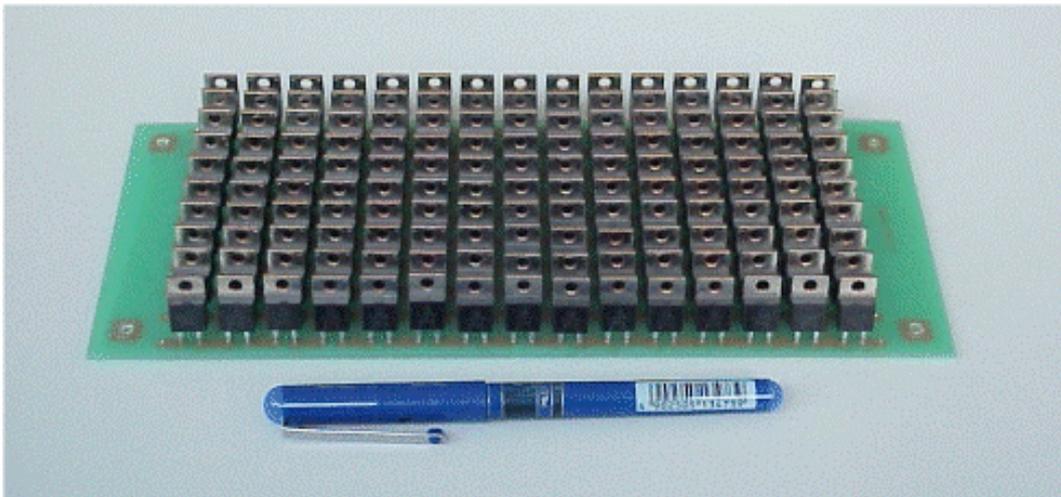
## V.2. Carte à diodes

Pour être associées à des commutateurs utilisant la structure matricielle, plusieurs types de diodes haute tension et fort courant impulsif ont été réalisées.

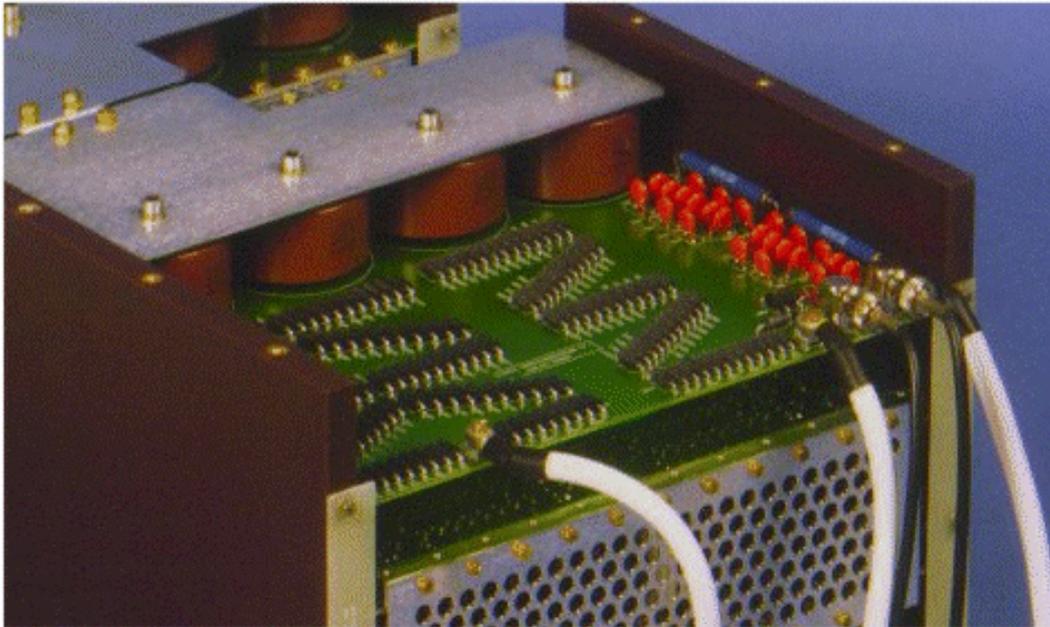
Ces cartes à diodes, outre leur structure de mise en matrice de composants standard, ont les points communs suivants :

- ↪ Utilisation de composants caractérisés et sélectionnés par nos soins suivant nos critères. Les diodes sont, entre autre, capables de supporter le régime d'avalanche.
- ↪ Structure série parallèle sans réseau d'équilibrage ni de la tension (utilisation de la capacité d'écrêtage intrinsèque des composants pour leur maintien dans la zone de sécurité), ni du courant.
- ↪ Faible inductance assurée par une nappe de courant large. L'équilibrage dynamique du courant entre les composants en parallèle est assuré grâce aux inductances de câblage.
- ↪ Capacité d'écrêtage de la matrice.

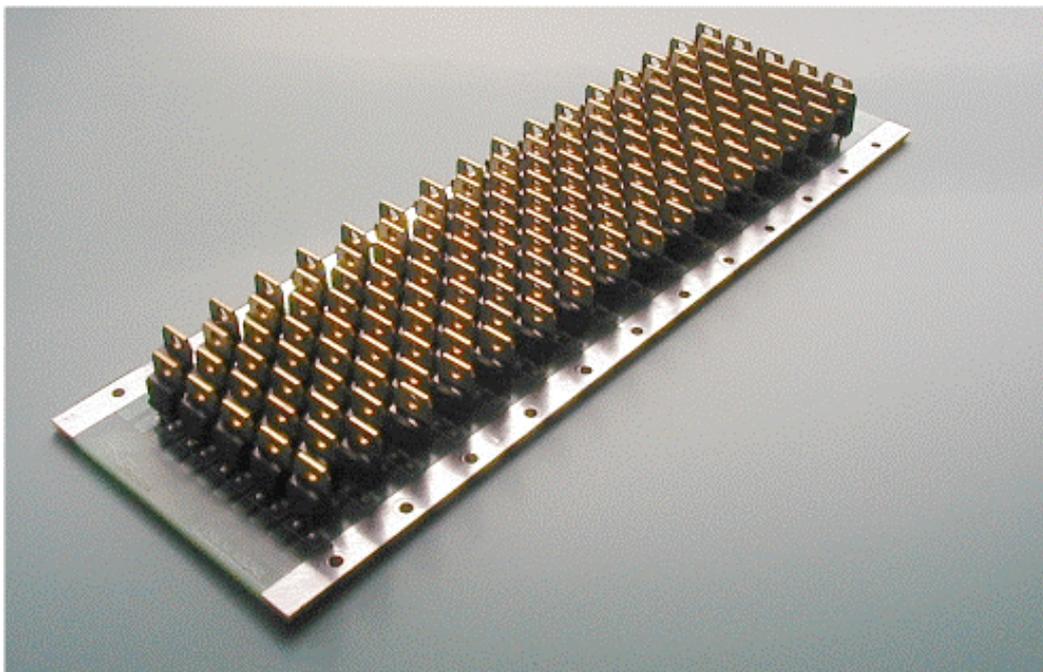
Les photographies suivantes montrent trois exemples de ces matrices de diodes.



*Figure V.10 : carte à diodes, 15 mises en série de 10 MUR840 en parallèle, 6 kV, 1 000 A*



*Figure V.11 : carte à diodes des cuves à MOS ON, mise en matrice de MUR4100E ; 30 kV, 1 600 A*



*Figure V.12 : carte à diodes de roue libre du CEP13, 10 mises en série de 16 STTA812D en parallèle ; 12 kV, 800 A*

### V.3. Carte à thyristors

Pour répondre au besoin de commutation de forts courants impulsionnels pendant des temps longs (quelques dizaines de microsecondes), une carte à base de thyristors a également été mise au point durant la thèse.

La matrice est constituée de 150 thyristors TYN1012 (boîtier TO220) : 15 mises en série de 10 TYN1012 en parallèle. Elle constitue un interrupteur 10 kV, 10 kA.

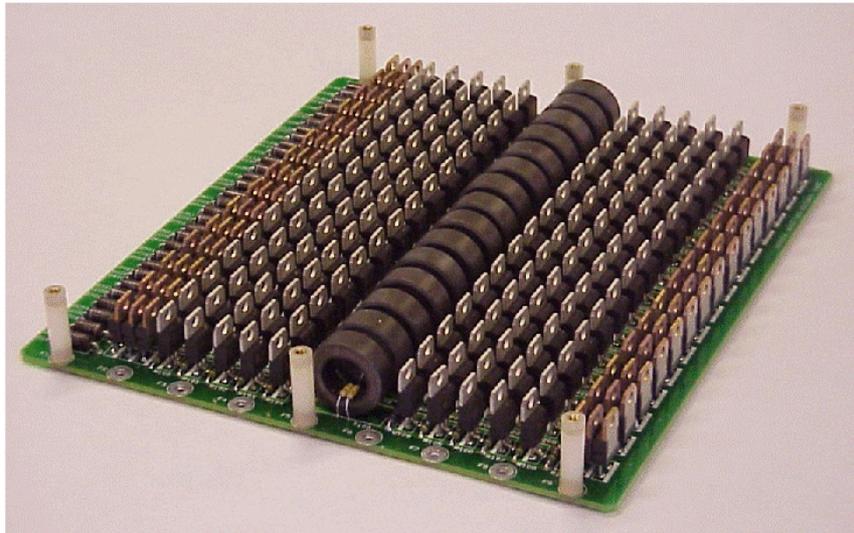


Figure V.13 : carte à thyristors, 15 mises en série de 10 TYN1012 en parallèle ; 10 kV, 10 kA

#### V.3.1. Commande

Comme pour les cartes à MOS ON et ON OFF CC, les composants sont commandés par transformateurs d'impulsions, à raison d'un par étage.

Les thyristors ne possédant pas la faculté d'autolimitation en courant, la synchronisation lors de la mise en conduction doit être parfaite pour éviter la destruction thermique des composants allumés en avance. Elle est assurée par un fort courant de gâchette qui limite la dispersion sur les instants de mise en conduction ( J.F. VILLARD, *Etude et mise en parallèle de thyristors pour des commutations à forts courants*. Rapport interne, CEA Pierrelatte, 1995, NT DTE/SLC/SDL N° 95/45).

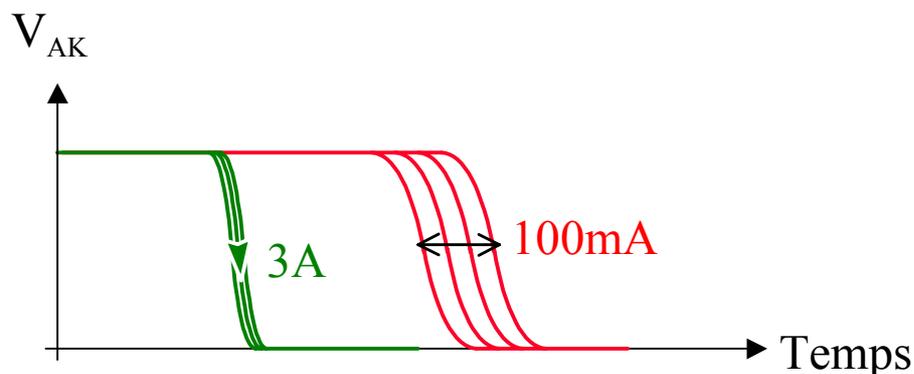


Figure V.14 : dispersion des temps de mise en conduction selon le courant de gâchette



sécurité en tension. Les thyristors ne possédant pas de capacité d'écrêtage intrinsèque, on utilise l'écrêtage passif : implantation de deux Transils 440 V en série par étage.

### V.3.4. Application

Comme pour les cartes ON OFF CC, les matrices de thyristor sont connectées deux à deux. Le module ainsi réalisé est un commutateur 20 kV, 10 kA.

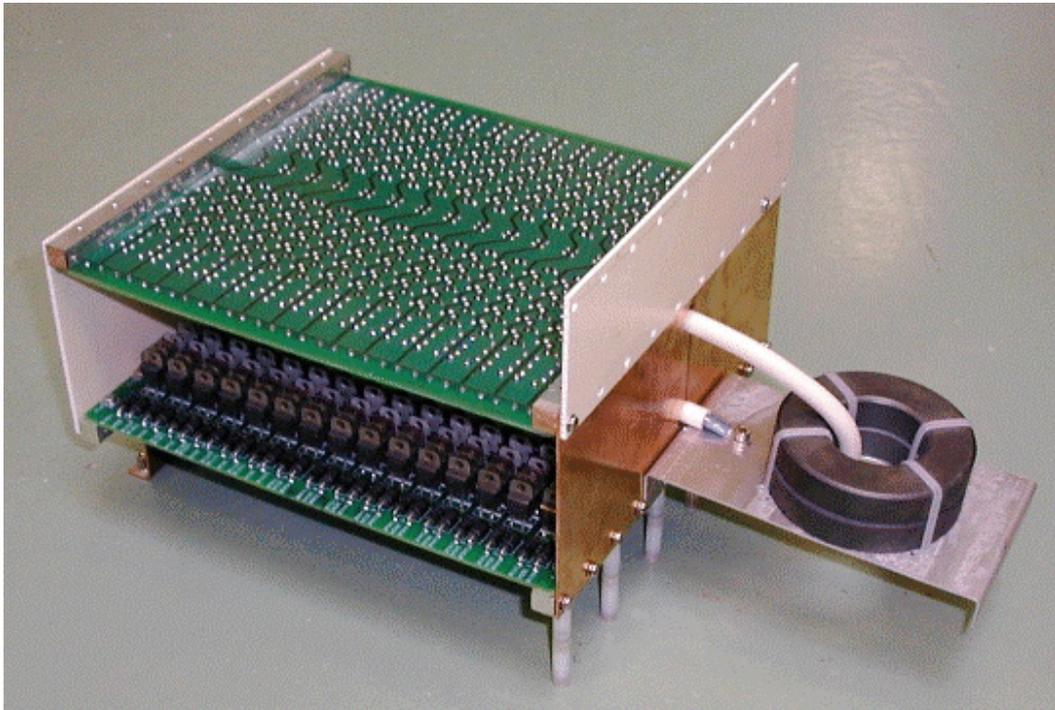


Figure V.16 : module constitué de 2 cartes à thyristors en série ; 20 kV, 10 kA

Les courbes suivantes sont issues de la commutation d'un tel module sur un circuit RLC.

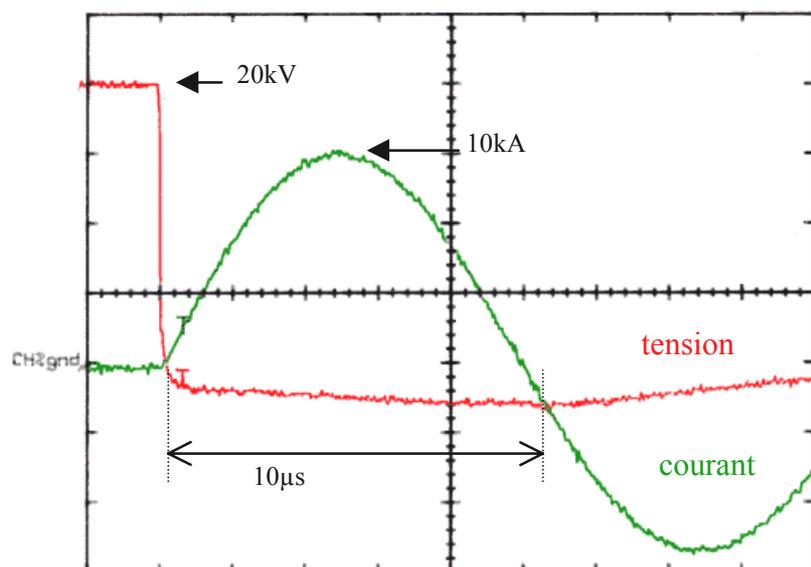
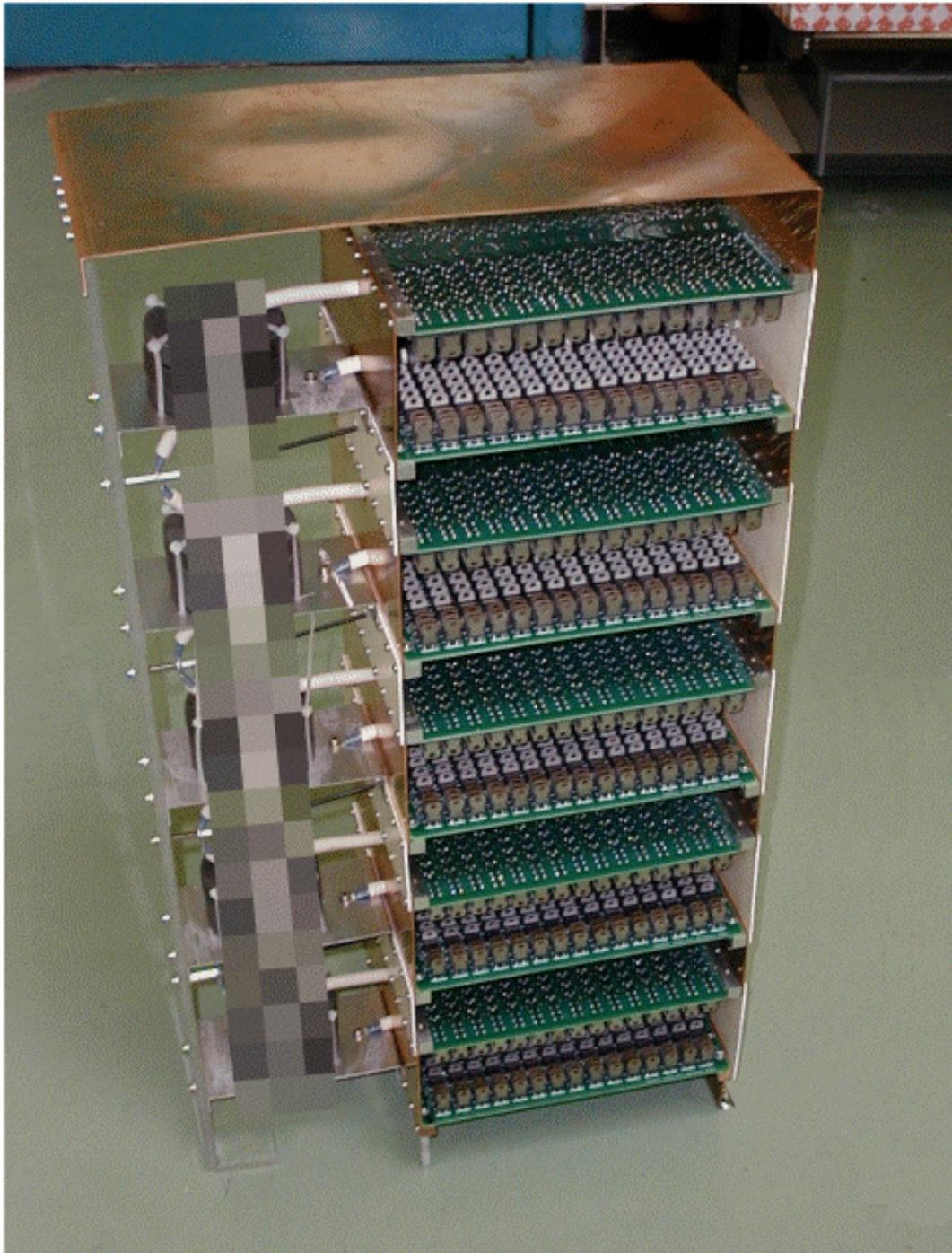


Figure V.17 : commutations d'une arche de courant de 10 kA sous 20 kV

Dans ce cas d'application, les caractéristiques de la commutation sont ;

- ↪ Chute de tension de (20 kV en 20 ns)  $\Leftrightarrow$   $dV/dt = 1 \text{ MV}/\mu\text{s}$
- ↪ Croissance du courant à l'origine  $\Leftrightarrow$   $dI/dt = 12 \text{ kA}/\mu\text{s}$

Par la suite, nous avons réalisé un court-circuiteur 100 kV, 10 kA par mise en série de 5 modules. Il mesure 80 cm. Lors de l'impression de ce document, le commutateur était en attente de validation.



*Figure V.18 : court-circuiteur 100 kV, 10 kA réalisé par mise en série de 10 cartes à thyristors*

## V.4. Conclusion

La mise au point de la technologie de mise en matrice nous a permis la réalisation d'une gamme complète de produits : cartes à MOS, carte à IGBTs, cartes à diodes et carte à thyristors.

L'utilisation de nombreux composants permet, outre une diminution du coût des composants grâce au volume utilisé, de réaliser les commutateurs sur circuits imprimés de façon automatique et industrielle. Les pièces mécaniques de liaison, spécifiques et coûteuses, sont peu nombreuses.

Les commutateurs, de part leur structure large, présentent des inductances séries faibles. Cette disposition géométrique permet également l'économie de radiateurs. En effet, une structure matricielle de composants présente une surface de refroidissement très importante du fait du grand nombre de composants.

# Conclusion générale

Les travaux effectués durant cette thèse ont permis de mettre en évidence l'aspect fiabilisant des associations matricielles de MOSFETs.

La réalisation de bancs de test spécifiques (l'EASY Machine et trois versions de Machine à Avalanche) nous a permis, grâce à de nombreux tests de caractérisation, de réunir de nombreuses informations sur les composants MOS que nous utilisons dans les matrices :

- ↗ capacité de fonctionner en régime d'avalanche à de forts courants ( $\rightarrow 60$  A),
- ↗ étendue de leur aire de sécurité (un rectangle  $500$  V ( $V_{DSS}$  spécifié)  $\times 100$  A),
- ↗ tenue en tension des oxydes de grille (4 fois  $V_{GS}$  spécifié),
- ↗ dispersion des caractéristiques (très faible pour le composant retenu),
- ↗ impédance du composant après défaillance (de l'ordre de l'ohm, qui est l'impédance du composant non défaillant à l'état fermé).

Les Machines à Avalanche nous ont également permis de caractériser le fonctionnement en régime d'avalanche et la dispersion des caractéristiques des diodes et des Transils utilisées dans nos convertisseurs.

Rappelons que ces caractérisations entrent dans une procédure de choix des composants parmi les produits équivalents de différents fabricants : il ne s'agit pas de faire un tri composant par composant mais lot par lot.

La compréhension des mécanismes de propagation des défauts dans les structures matricielles nous a permis de mettre en avant la nécessité :

- ↗ d'une commande robuste capable de piloter tous les composants de façon synchronisée, malgré la présence de composants défaillants,
- ↗ de systèmes de protection en tension bien adaptés et répartis par étage,
- ↗ d'une réalisation géométrique soignée permettant de limiter les déséquilibres en courant entre les composants en parallèle.

Toutes ces considérations de fiabilité dans les associations matricielles nous permettent d'une part d'expliquer la fiabilité des convertisseurs matriciels existants et notamment celle des cuves à MOS utilisant les cartes dites ON et alimentant les lasers à vapeur de cuivre du CEA. Ces convertisseurs sont des alimentations impulsionnelles 30 kV, 1 600 A.

**A ce jour, ces alimentations matricielles à base de cartes à MOS ON, cumulent plus de 150 000 heures de fonctionnement sans défaillance du commutateur.**

Ce chiffre est à comparer au temps moyen de fonctionnement de 1000 heures observé expérimentalement sur la précédente génération de convertisseurs implantée dans ces lasers : alimentations à thyatron (tubes à gaz).

D'autre part, cette étude nous a permis de réaliser une nouvelle carte à MOS, carte ON OFF CC, regroupant toutes les solutions assurant la fiabilité et capable de fonctionner dans des environnements plus sévères : temps de conduction réglable, ouverture de forts courants sur charge inductive, fonctionnement sur court-circuits de type I et II...

Fiable et robuste, ce produit a d'ors et déjà atteint le stade industriel chez le partenaire industriel du laboratoire, ENERTRONIC, dans un produit destiné au traitement des eaux et des aliments par champs électriques pulsées.

**La technologie matricielle permet de réaliser des convertisseurs haute tension et fort courant impulsionnel possédant un très haut niveau de fiabilité et un coup de fabrication comparable aux méthodes traditionnelles.**

# ANNEXES

## VI.1. Calculs des surcontraintes électriques engendrées dans une matrice lors de la défaillance d'un élément

### VI.1.1. Introduction et hypothèses

De façon générale, considérons une matrice  $S \times P$ , c'est à dire  $S$  étages en série de  $P$  composants identiques en parallèle (avec  $S > 1$  et  $P > 1$ ).

Nous étudierons les surcontraintes en tension et en courant subies par les composants suite à la défaillance de l'un d'entre eux.

La surcontrainte en tension considérée sera la tension supportée après apparition de la défaillance, divisée par celle supportée avant :

$$\frac{V_{\text{après défaillance}}}{V_{\text{avant défaillance}}}$$

Les considérations sont similaires pour les surcontraintes en courant.

$$\frac{I_{\text{après défaillance}}}{I_{\text{avant défaillance}}}$$

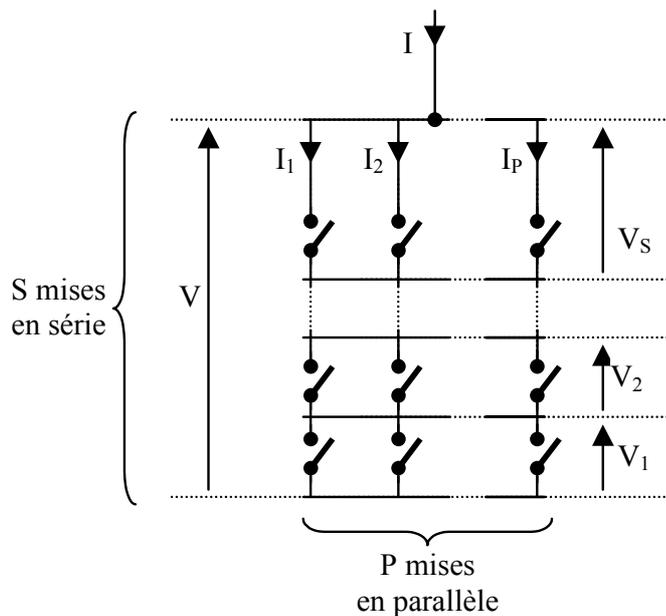


Figure VI.1 : schéma d'une matrice de  $S$  mises en série de  $P$  composants en parallèle, notation des courants et tensions

Soient  $V$  la tension globale et  $I$  le courant global vus par la matrice. Les composants sont considérés comme étant identiques, leur impédance est notée  $Z_0$ .

L'impédance  $Z_{S \times P}$  globale de la matrice  $S \times P$  est :

$$Z_{S \times P} = Z_0 \frac{S}{P} \left( = \frac{V}{I} \right) \quad (\text{VI-1})$$

Le fait que les composants soient identiques entraîne une répartition des tensions et courants :

Sur un étage : 
$$V_i = \frac{V}{S} \quad (VI-2)$$

Avec (VI-1) => 
$$V_i = I \frac{Z_0}{P} \quad (VI-3)$$

Dans un composant : 
$$I_i = \frac{I}{P} \quad (VI-4)$$

Avec (VI-1) => 
$$I_i = \frac{V}{Z_0 S} \quad (VI-5)$$

Supposons qu'un des composants de la matrice vienne à être défaillant. On note  $V'$ , la nouvelle tension aux bornes de la matrice,  $I'$  le nouveau courant qui la traverse et  $Z_{def}$  l'impédance du composant défaillant.

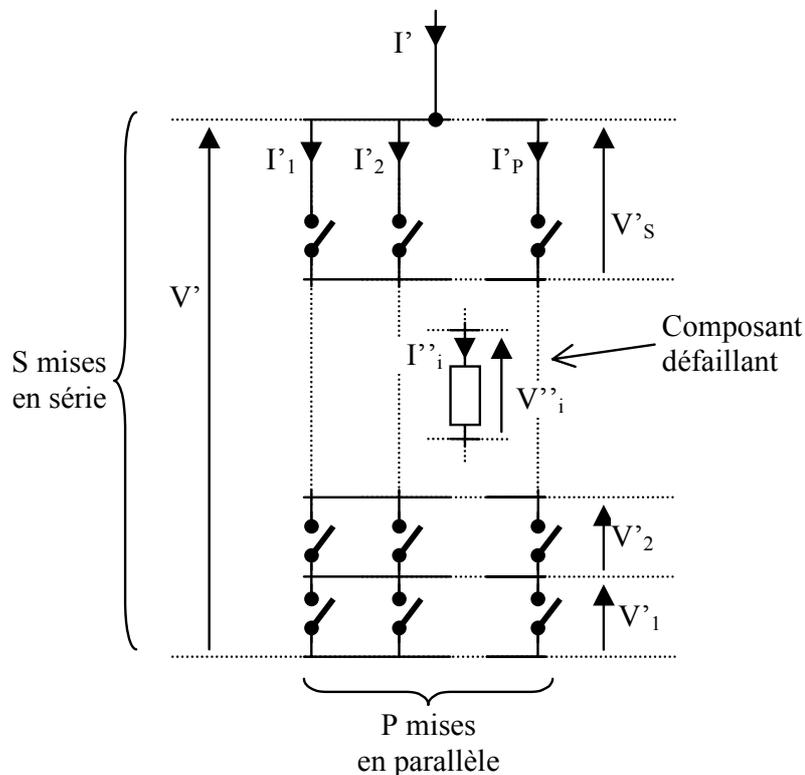


Figure VI.2 : schéma d'une mise en matrice, nouvelle notation des courants et tensions suite à la défaillance d'un composant

Les composants non défaillants restent identiques, leur impédance est notée  $Z_0$ .

Le fait que les composants non défaillants soient identiques entraîne une répartition des tensions et courants sur l'étage sans défaut :

Dans un composant d'un étage sans défaillance :

$$I'_i = \frac{I'}{P} \quad (VI-6)$$

Sur un étage non défaillant

$$V'_i = I' \frac{Z_0}{P} \quad (VI-7)$$

Sur l'étage défaillant : 
$$V''_i = I' \frac{Z_0 Z_{\text{def}}}{Z_0 + (P-1)Z_{\text{def}}} \quad (\text{VI-8})$$

L'impédance globale de cette matrice S×P, où un composant est défaillant, s'exprime comme la mise en série d'une matrice de S-1 étages et d'un étage de (P-1) composants en parallèle avec le composant défaillant. Cette impédance globale s'exprime alors comme :

$$Z'_{S \times P} = Z_{(S-1) \times P} + (Z_{\text{def}} // Z_{1 \times (P-1)})$$

(VI-1) et (VI-8) donnent 
$$Z'_{S \times P} = Z_0 \left( \frac{S-1}{P} + \frac{Z_{\text{def}}}{Z_0 + (P-1)Z_{\text{def}}} \right) \left( = \frac{V'}{I'} \right) \quad (\text{VI-9})$$

### VI.1.2. Hypothèse de tension constante sur la matrice

Dans le cas d'une tension constante aux bornes de la matrice, nous noterons :

$$V' = V \quad (\text{VI-10})$$

#### VI.1.2.1. Détermination des expressions des surtensions

##### Surtension sur les étages non défaillants

(VI-1) et (VI-9) dans (VI-10) donnent

$$Z'_{S \times P} I' = Z_{S \times P} I \quad (\text{VI-11})$$

(VI-7) dans (VI-11) donne 
$$V''_i = \begin{pmatrix} Z_0 Z_{S \times P} \\ P Z'_{S \times P} \end{pmatrix} I$$

Avec (VI-3) 
$$V''_i = \begin{pmatrix} Z_{S \times P} \\ Z'_{S \times P} \end{pmatrix} V_i$$

Surtension sur un étage non défaillant : $\frac{V''_i}{V_i} = \frac{Z_{S \times P}}{Z'_{S \times P}} \quad (\text{VI-12})$
--

##### Surtension sur l'étage défaillant

(VI-9) dans (VI-8) donne 
$$V''_i = \left( \frac{Z_0 Z_{\text{def}}}{Z_0 + (P-1)Z_{\text{def}}} \right) \left( \frac{V}{Z'_{S \times P}} \right)$$

avec (VI-2) 
$$V''_i = \left( \frac{Z_0 Z_{\text{def}}}{Z_0 + (P-1)Z_{\text{def}}} \right) \left( \frac{S V_i}{Z'_{S \times P}} \right)$$

Surtension sur l'étage en défaut : $\frac{V''_i}{V_i} = \frac{S}{\frac{(S-1)}{P} \left( \frac{Z_0}{Z_{\text{def}}} + (P-1) \right) + 1} \quad (\text{VI-13})$
---

### VI.1.2.2. Détermination des expressions des surcourants

#### Surcourant dans les composants des étages non défailants

$I'_i = \frac{V'_i}{Z_0}$  ((VI-7) dans (VI-6)) et  $I_i = \frac{V_i}{Z_0}$  ((VI-3) dans (VI-4)) dans (VI-12) donnent :

$\text{Surcourant dans les composants des étages non défailants : } \frac{I'_i}{I_i} = \frac{Z_{S \times P}}{Z'_{S \times P}} \quad (\text{VI-14})$
---

#### Surcourant dans les composants non défailants de l'étage en défaut

$I''_i = \frac{V''_i}{Z_0}$  et  $I_i = \frac{V_i}{Z_0}$  dans (VI-13) donnent :

$\text{Surcourant dans les composants non défailants de l'étage en défaut :}$ $\frac{I''_i}{I_i} = \frac{S}{\frac{(S-1)}{P} \left( \frac{Z_0}{Z_{\text{def}}} + (P-1) \right) + 1} \quad (\text{VI-15})$
--

#### Surcourant dans le composant en défaut

$I''_{\text{idef}} = \frac{V'_i}{Z_{\text{def}}}$  et  $I_i = \frac{V_i}{Z_0}$  dans (VI-13) donnent :

$$\frac{I''_{\text{idef}}}{I_i} = \frac{Z_0}{Z_{\text{def}}} \left( \frac{S}{\frac{(S-1)}{P} \left( \frac{Z_0}{Z_{\text{def}}} + (P-1) \right) + 1} \right)$$

$\text{Surcourant dans le composant en défaut :}$ $\frac{I''_{\text{idef}}}{I_i} = \frac{PS}{(S-1) + \frac{Z_{\text{def}}}{Z_0} (PS - S + 1)} \quad (\text{VI-16})$
---

### VI.1.3. Hypothèse du courant constant dans la matrice

Dans le cas d'un courant constant dans la matrice, nous noterons :

$$I' = I \quad (\text{VI-17})$$

#### VI.1.3.1. Détermination des expressions des surtensions

##### Surtension sur les étages non défailants

$$(VI-3) \text{ et } (VI-7) \text{ dans } (VI-17) \text{ donnent } \frac{V'_i}{V_i} = \frac{I'}{I} \quad (VI-18)$$

Pas de surtension sur un étage non défaillant : $\frac{V'_i}{V_i} = 1$	(VI-19)
--	---------

Surtension sur l'étage en défaut

(VI-3) et (VI-8) dans (VI-18) donnent

$$\frac{V''_i}{V_i} = \frac{I' \left( \frac{Z_0 Z_{def}}{Z_0 + (P-1)Z_{def}} \right)}{I \frac{Z_0}{P}}$$

Surtension sur l'étage en défaut : $\frac{V''_i}{V_i} = \frac{P}{\frac{Z_0}{Z_{def}} + (P-1)}$	(VI-20)
--	---------

**VI.1.3.2. Détermination des expressions des surcourants**

Surcourant dans les composants des étages non défaillants

(VI-6) sur (VI-4) donne  $\frac{I'_i}{I_i} = \frac{I' P}{P I}$

Pas de surcourant dans les étages sans défaillance : $\frac{I'_i}{I_i} = 1$	(VI-21)
---	---------

Surcourants dans les composants non défaillants de l'étage en défaut

$I''_i = \frac{V''_i}{Z_0}$  sur  $I_i = \frac{V_i}{Z_0}$  donne :  $\frac{I''_i}{I_i} = \frac{V''_i}{V_i}$

avec (VI-20) on obtient :

Surcourant dans les composants non défaillants de l'étage en défaut : $\frac{I''_i}{I_i} = \frac{P}{\frac{Z_0}{Z_{def}} + (P-1)}$	(VI-22)
---	---------

Surcourant dans le composant défaillant

$I''_{idef} = \frac{V''_i}{Z_{def}}$  sur  $I_i = \frac{V_i}{Z_0}$  donne :  $\frac{I''_i}{I_i} = \frac{Z_0 V''_i}{Z_{def} V_i}$

avec (VI-20) on obtient :

Surcourant dans le composant défaillant :
---

$$\frac{I''_i}{I_i} = \frac{P}{(P-1)\frac{Z_{def}}{Z_0} + 1} \quad (VI-23)$$

On notera que toutes les équations de surcontrainte sont homogènes et valent 1 (pas de changement de la valeur considérée et donc pas de surcontrainte) si l'impédance du composant défaillant ( $Z_{def}$ ) est égale à celle du composant non défaillant  $Z_0$ .

#### VI.1.4. Récapitulatif des résultats

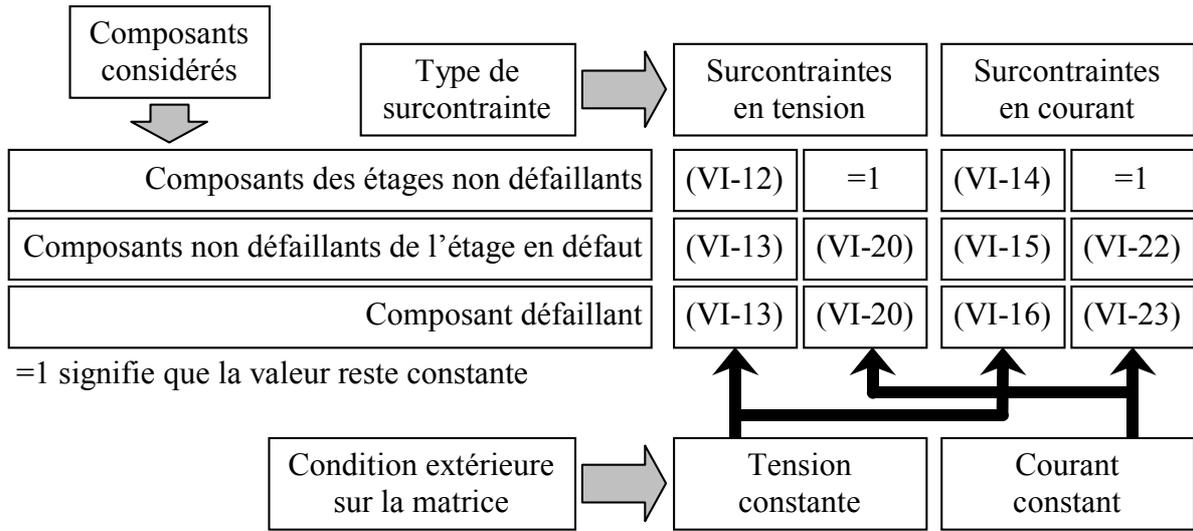


Figure VI.3 : tableau récapitulatif des surcontraintes sur les composants d'une matrice ( $S \times P$ ) suite à une défaillance

#### VI.1.5. Cas extrêmes sur l'impédance du composant défaillant

Considérons les valeurs extrêmes d'impédances que peut présenter le composant défaillant :  $Z_{def} \lll Z_0$  et  $Z_{def} \ggg Z_0$

Les tableaux suivants représentent les surcontraintes selon ces hypothèses concernant l'impédance du composant défaillant. Les formules dont le cadre est large sont toujours supérieures à 1. Ceci traduit une augmentation du paramètre concerné sur les composants en question, et donc de réelles surcontraintes.

### VI.1.5.1. Défaillance en mode faible impédance $Z_{def} \lll Z_0$

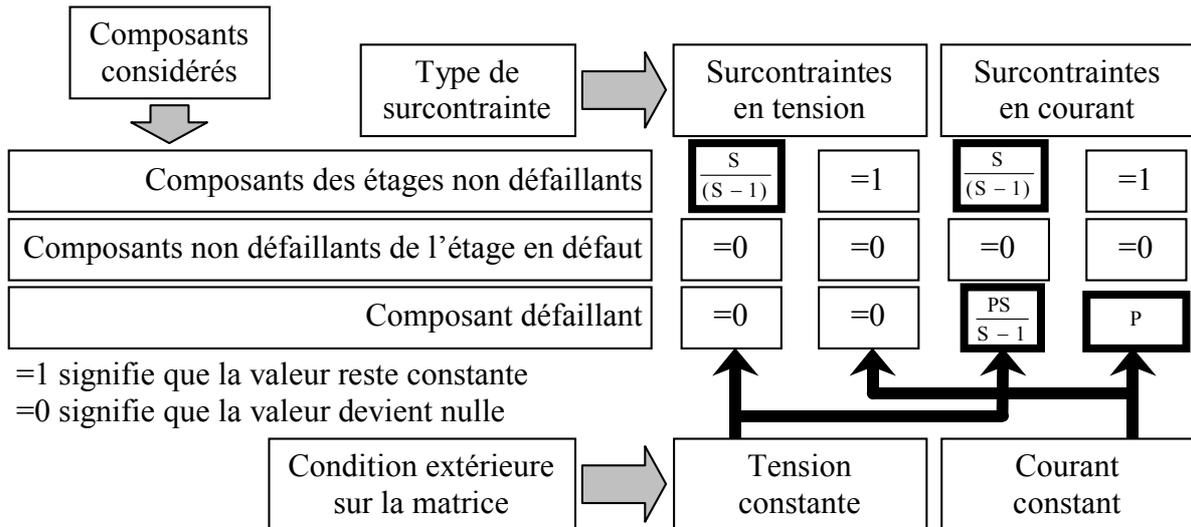


Figure VI.4 : tableau des surcontraintes sur les composants d'une matrice ( $S \times P$ ) suite à une défaillance d'un composant en mode faible impédance  $Z_{def} \lll Z_0$

### VI.1.5.2. Défaillance en mode haute impédance $Z_{def} \ggg Z_0$

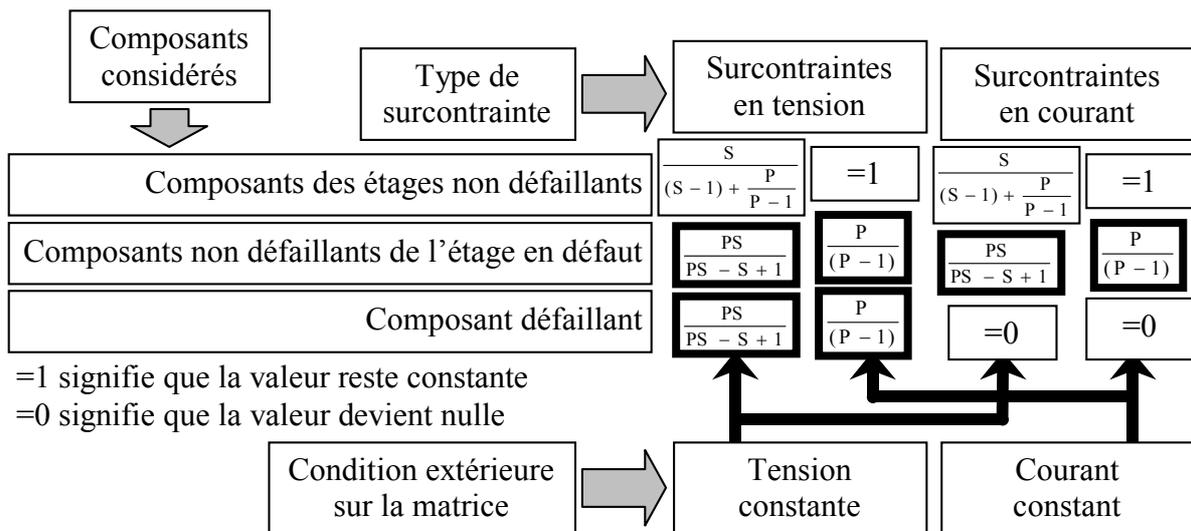


Figure VI.5 : tableau des surcontraintes sur les composants d'une matrice ( $S \times P$ ) suite à une défaillance d'un composant en mode haute impédance  $Z_{def} \ggg Z_0$

## VI.2. EASY MACHINE ; banc de caractérisation des composants en régime d'autolimitation en courant et détermination de l'aire de sécurité

### VI.2.1. Introduction

Dans le cadre de l'étude des aires de sécurité (et de l'autolimitation en courant) des transistors du LETC, un banc de test a été réalisé et mis au point en collaboration avec Mademoiselle Séverine MARC. La machine réalisée se nomme EASY Machine (pour Etude des Aires de Sécurité des sYstèmes). Ces travaux entre dans le cadre de sa formation par alternance entre le CEA de Pierrelatte et le CESI de Toulouse.

Ces travaux ont compris, la réalisation du banc de test, sa validation, son intégration dans un châssis et la rédaction d'une notice d'utilisation ainsi qu'un rapport de fin de projet dont est tirée cette annexe.

### VI.2.2. Banc de test

#### VI.2.2.1. Principe

Le but est de mesurer le courant d'autolimitation d'un composant (un MOS par exemple) en fonction de sa tension de drain et de sa tension de grille. On cherche à tracer les caractéristiques du courant de drain en fonction de la tension de drain,  $I_D = f(V_{DS})$ , paramétrées en fonction de la tension de grille,  $V_{GS}$ .

La particularité de ce banc est de pouvoir étudier le composant sur toute son aire de sécurité, jusqu'à sa tension maximale et son courant d'autolimitation en court-circuit.

#### VI.2.2.2. Mode d'utilisation

Ce banc permet d'appliquer, sur la grille d'un composant, un échelon de tension de fréquence et de durée déterminées, avec une amplitude réglable, ainsi qu'une tension réglable sur son drain. On peut, grâce à un système de mesure intégré et à l'aide d'un oscilloscope, visualiser la tension grille-source, celle de drain-source et aussi le courant de drain.

Deux sondes de tension permettent de mesurer  $V_{GS}$  et  $V_{DS}$ , une sonde de courant pour  $I_D$ .

#### VI.2.2.3. Réalisation

Le schéma suivant présente le principe de fonctionnement de l'EASY machine :

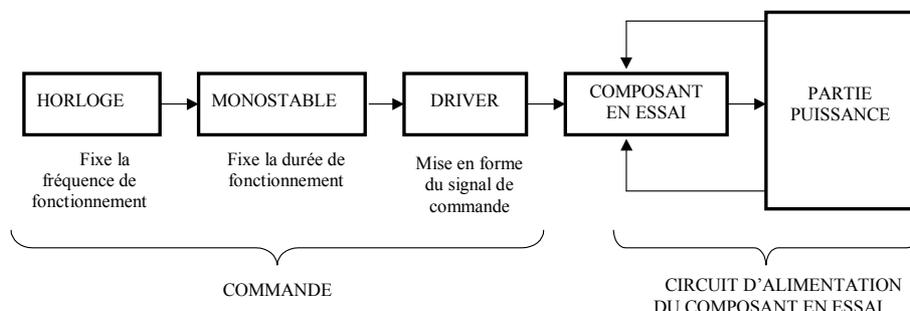


Figure VI.6 : synoptique de la maquette d'essai

Lors de l'intégration du banc de test dans un châssis, on a incorporé un montage de sécurité, en plus du montage de réalisation du banc, afin que l'appareil soit utilisable par tous et en toute sécurité.

Lorsque le capot est ouvert, le relais haute tension (relais ROSS) n'est pas alimenté et court-circuite la haute tension : le détecteur de présence fonctionne comme un interrupteur normalement ouvert. Lorsque le capot est ouvert, le relais n'est pas alimenté alors le relais ROSS ne l'est pas non plus et la haute tension est directement reliée à la masse, les condensateurs HT sont court-circuités.

Lorsque le capot est fermé, le détecteur de présence est fermé, le relais est alimenté en 15V. Ceci permet d'alimenter en 220V le relais ROSS qui commute. Ainsi la haute tension issue de l'alimentation de puissance n'est plus court-circuitée, mais alimente le montage.

#### VI.2.2.4. Intégration

Les photos suivantes présentent l'EASY Machine réalisée.

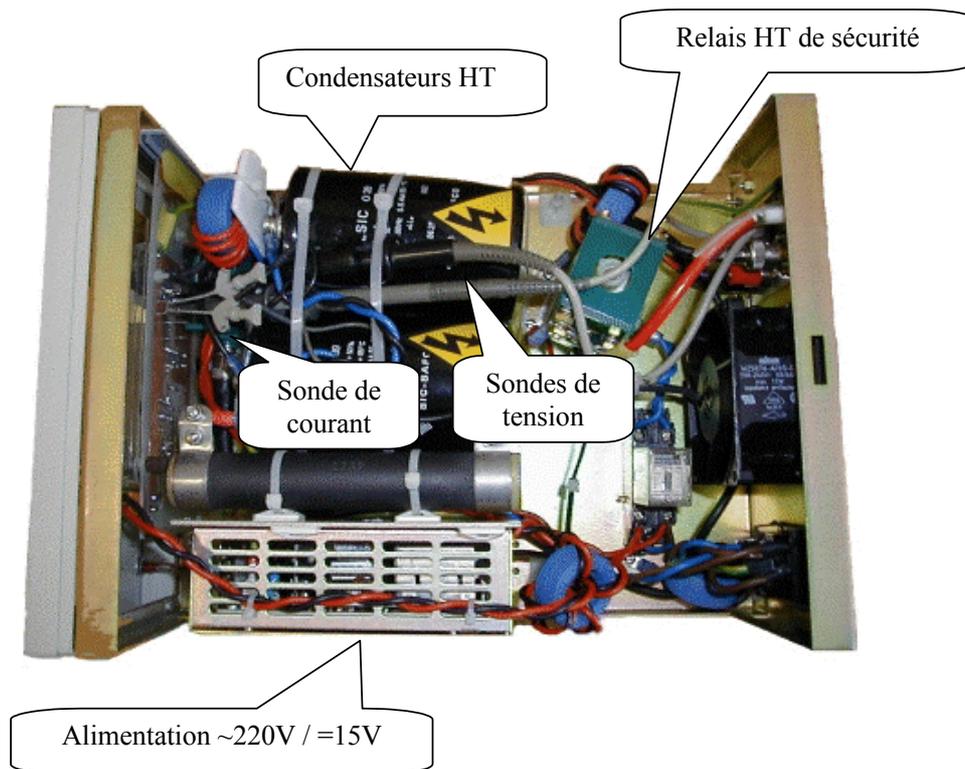


Figure VI.7 : banc de test EASY machine ouvert

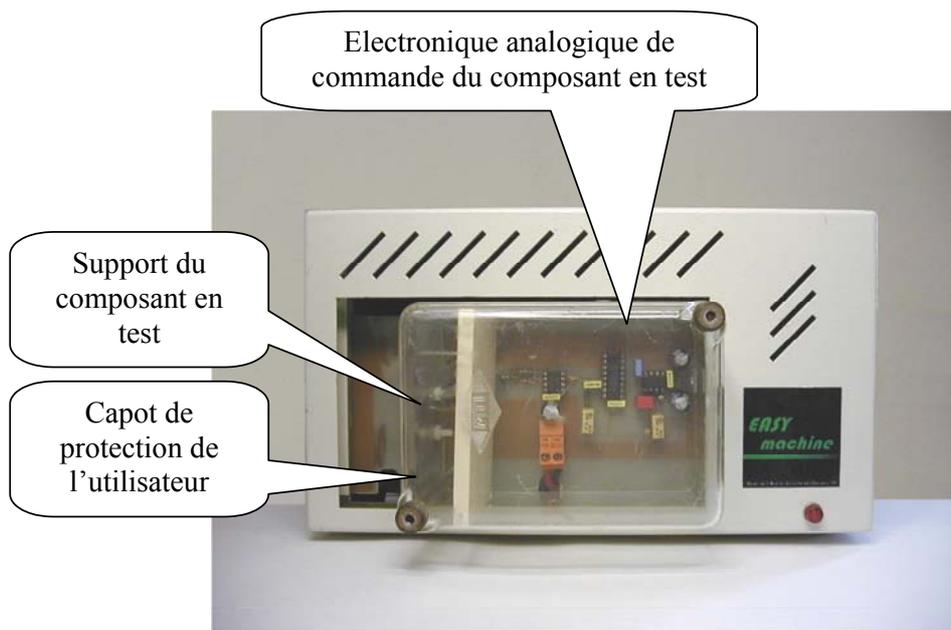


Figure VI.8 : banc de test EASY machine fermé

### VI.2.3. Exemple de résultats

Les courbes suivantes représentent l'autolimitation en courant de divers composants. Elles donnent le courant de drain  $I_D$ , en fonction de la tension de drain  $V_{DS}$ , le tout paramétré par différentes tensions de grille,  $V_{GS}$ .

#### IRFP460LC

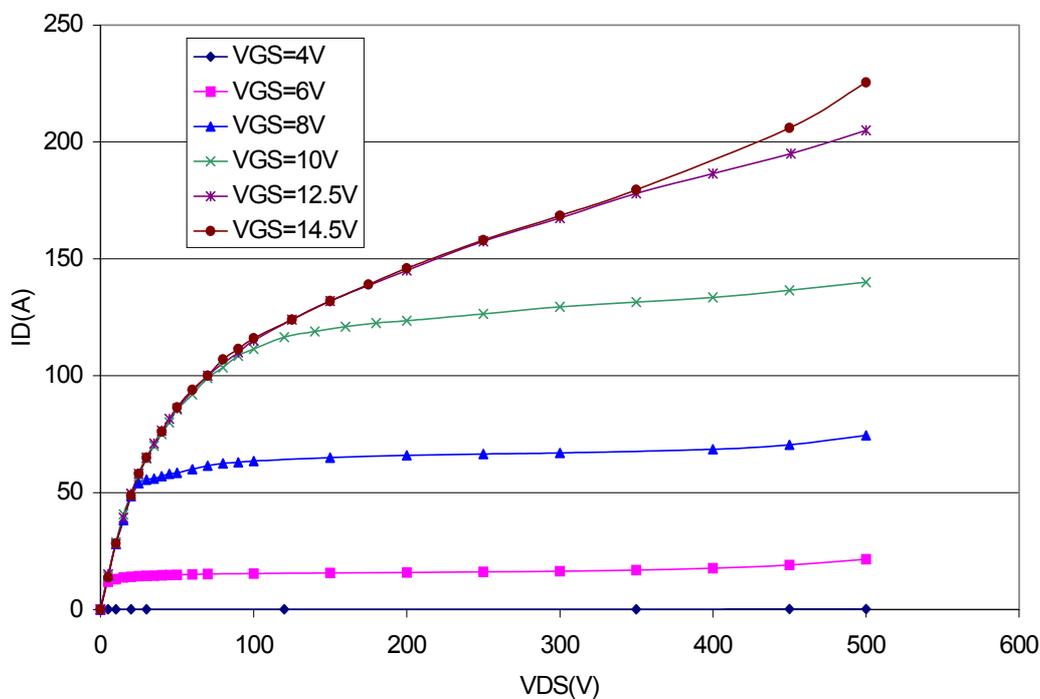


Figure VI.9 : autolimitation en courant de l'IRFP460LC

## IRFB11N50A

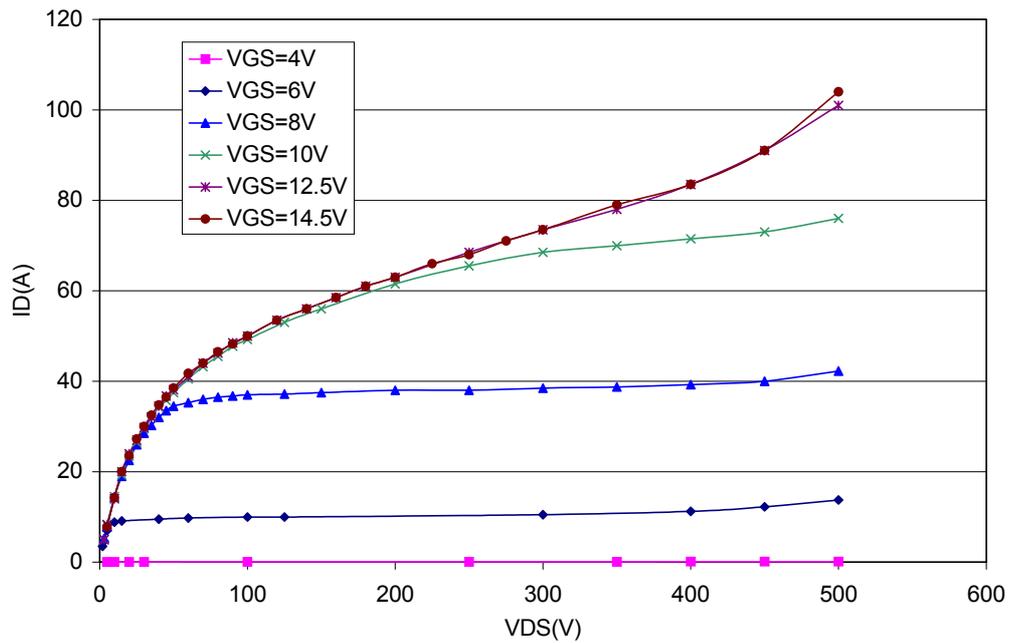


Figure VI.10 : autolimitation en courant de l'IRFB11N50A

## IRF840

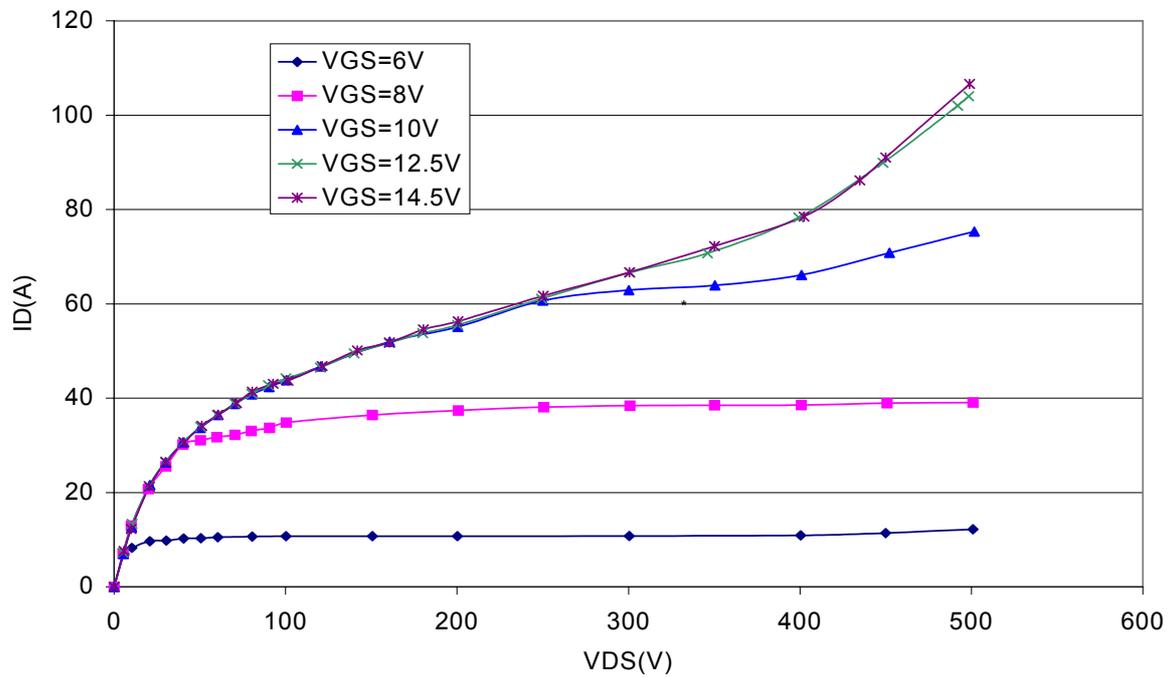


Figure VI.11 : autolimitation en courant de l'IRF840

## IRFBE30

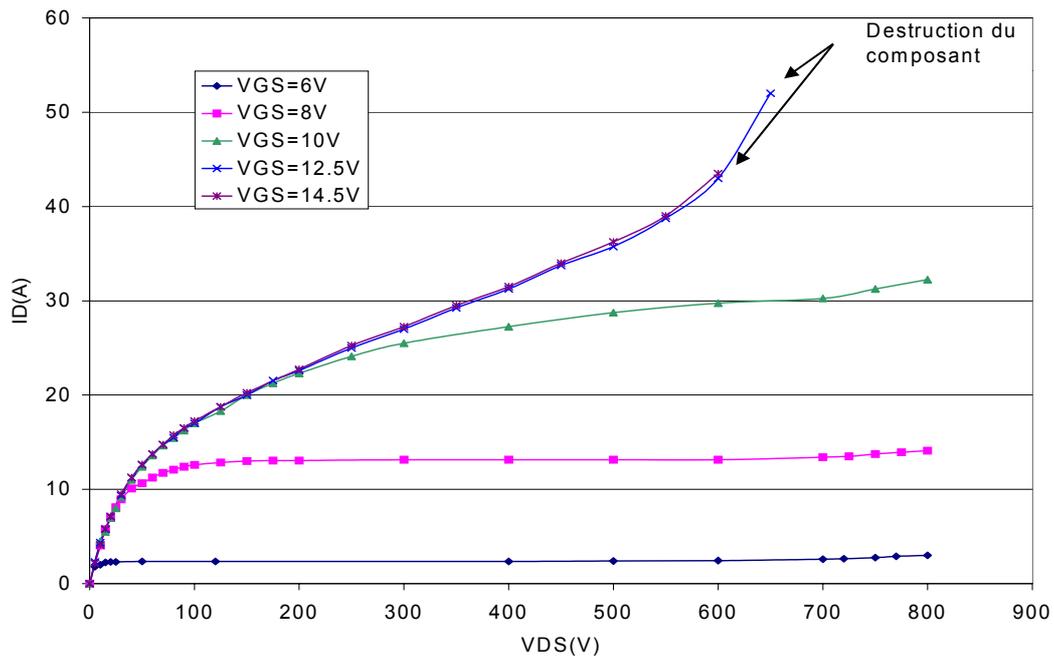


Figure VI.12 : autolimitation en courant de l'IRFBE30

### VI.2.4. Conclusion

Cette machine conçue pour le tracé de l'autolimitation en courant de composants, donne entière satisfaction.

La fréquence de 15 Hz et la faible durée d'impulsion de 1  $\mu s$  permettent de limiter l'énergie dans le composant de façon à ne pas l'échauffer.

Grâce aux deux condensateurs de découplage associés en série, on obtient une capacité de découplage de 750  $\mu F$ , 80 0V. Elle permet de tester de nombreux composants afin de déterminer leur résistance et leur autolimitation en courant.

Le banc de test, grâce au montage de sécurité, ne représente aucun risque pour l'utilisateur. Il peut être utilisé par tous et en toute sécurité. Une notice a été rédigée à cet effet.

## VI.3. MACHINES A AVALANCHE ; bancs de caractérisation des composants en régime d'avalanche fort courant et temps faible

### VI.3.1. Introduction

Afin d'effectuer des caractérisations en avalanche selon nos critères, nous avons réalisé des bancs de test capables de soumettre les composants à un régime d'écrêtage fort courant pendant un temps court.

Le principe consiste à appliquer au composant en test un créneau de tension et un créneau de courant pendant un temps court (fixé en général à 2  $\mu$ s). Le schéma de principe de ces bancs de test est le suivant :

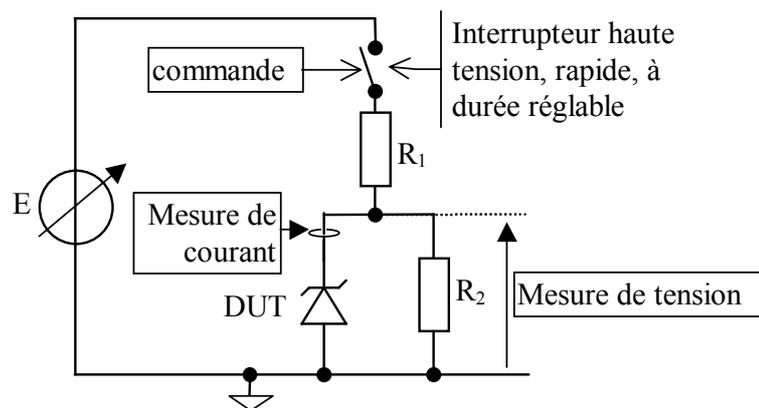


Figure VI.13 : schéma de principe de la Machine à Avalanche

Ces bancs de tests, soumettant les composants en phase d'écrêtage au régime d'avalanche, ont été baptisés Machine à Avalanche.

Nous avons réalisé plusieurs Machines à Avalanche de différents calibres en tension et en courant.

### VI.3.2. Machine à avalanche I

La première machine réalisée est la Machine à Avalanche I : 5 kV, 250 A.

Réalisée grâce à un prototype de carte à MOS ON OFF CC, elle permet la caractérisation des composants tels que les diodes, les transistors et les Transils. Ce banc de test donne entière satisfaction.



Figure VI.14 : Machine à Avalanche I ; 5 kV, 800 A

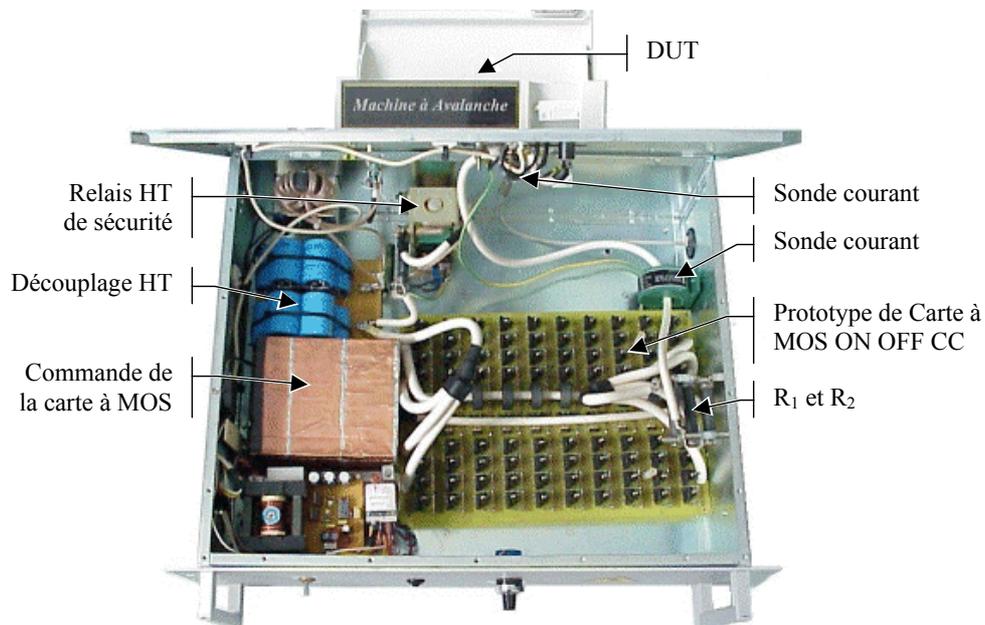


Figure VI.15 : Machine à Avalanche I ouverte

Ses calibres ne permettant ni la caractérisation des associations série / parallèle de composant, ni le test des Transils (de 350 V à 440 V) jusqu'à leur destruction, nous avons réalisé un second banc de test aux calibres supérieurs.

### VI.3.3. Machine à avalanche II

Afin de caractériser des composants de plus fort calibre en courant, nous avons réalisé une seconde Machine à Avalanche. Elle utilise une carte à MOS ON, modifiée pour la rendre capable d'ouvrir de forts courants.

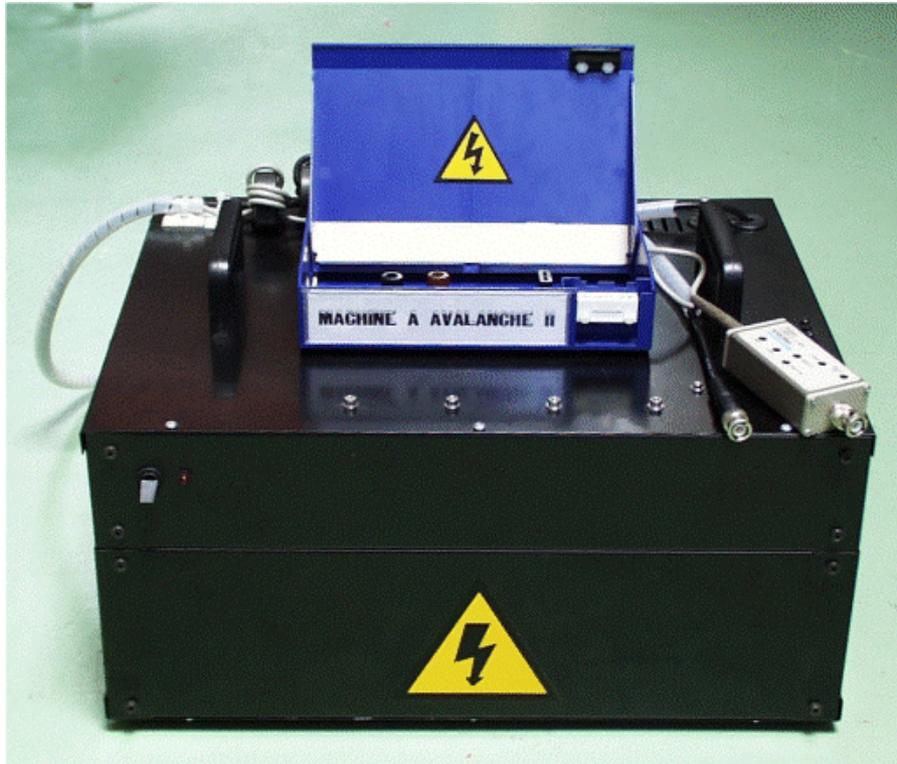


Figure VI.16 : Machine à Avalanche II ; 5 kV, 800 A

En fait, la Machine à Avalanche II ne possède pas de domaine de caractérisation bien défini : trop grosse pour la caractérisation de composants seuls (encore assurée aujourd'hui par la Machine à Avalanche I), elle reste trop faible pour la caractérisation d'associations de composants.

Nous avons utilisé la technologie des cartes à MOS ON OFF CC pour réaliser une ultime Machine à Avalanche aux performances supérieures : la Machine à Avalanche III.

### VI.3.4. Machine à avalanche III

#### VI.3.4.1. Besoin

Le projet de la Machine à Avalanche est un banc de test capable de générer des impulsions carrées de fort courant (1 000 A) sous haute tension (10 kV) pendant des temps réglables de 500 ns à 50  $\mu$ s.

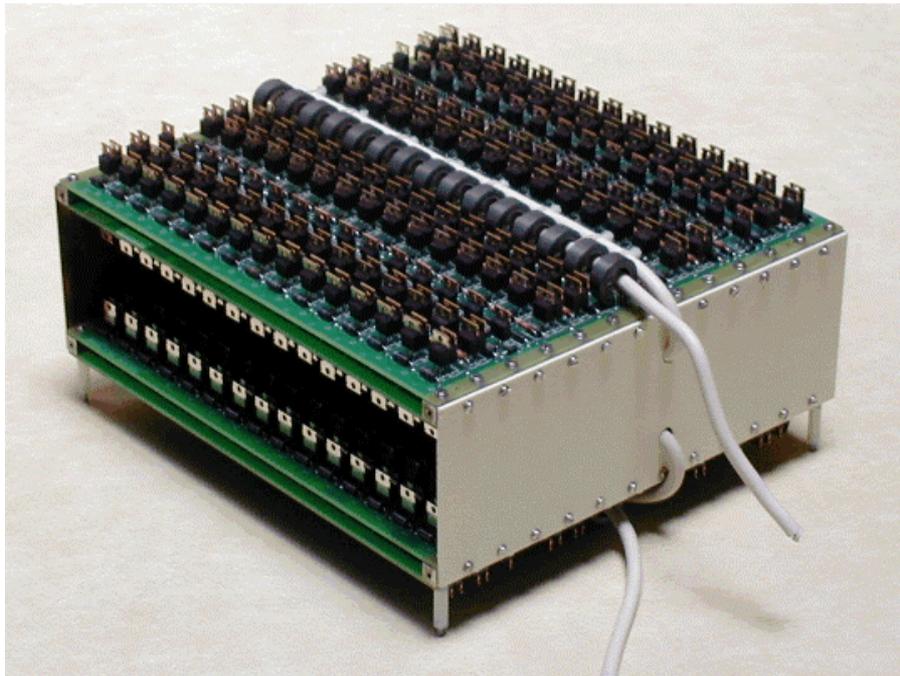
Ce nouveau banc de test doit répondre au besoin de caractérisation en mode d'avalanche fort courant, sous haute tension, de systèmes à des niveaux d'énergie plus importants que ceux que permettent les autres Machines à Avalanche. Il s'agit de la caractérisation d'associations série, parallèle ou matricielle de composants dont l'énergie dissipable en mode

d'avalanche et théoriquement celles des composants cumulées. Les niveaux de courant accessibles rendons également possible la caractérisation des Transils à très très fort courant.

Le principe de la Machine à Avalanche III est le même que celui de la version I présentée précédemment. Seule la réalisation diffère pour répondre aux besoins de niveaux d'énergie élevés.

#### VI.3.4.2. Réalisation

La réalisation d'un tel banc de teste est rendue possible grâce à l'existence de carte à MOS ON OFF CC (**Figure V.5** page 104). L'association de 4 de ces cartes (2 mises en série de 2 cartes en parallèle) permet la réalisation de l'interrupteur haute tension rapide et à durée de conduction réglable nécessaire au banc de test.



*Figure VI.17 : interrupteur rapide 10 kV, 1000 A*

Comme nous l'avons vu, la largeur de ce type d'association matricielle permet d'avoir une inductance série faible. Le condensateur de découplage fournissant l'énergie de l'impulsion et nécessaire au banc de test est réalisé suivant le même principe de mise en matrice.

On réalise un condensateur 46  $\mu\text{F}$  10 kV par 24 mises en série de 5 condensateurs 220  $\mu\text{F}$  400 V Philips en parallèle.

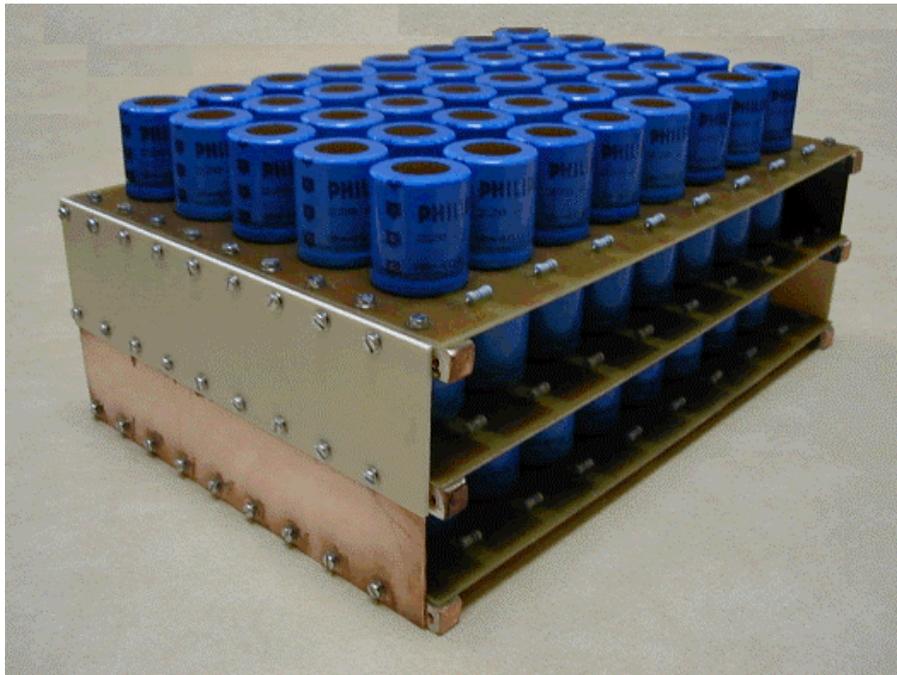


Figure VI.18 : condensateur 46  $\mu\text{F}$ , 10 kV réalisé par mise en matrice de condensateurs

Les résistances de puissance de limitation du courant ( $R_1$ ) et de décharge des capacités parasites ( $R_2$ ) sont réalisées grâce à des résistances de puissance Le Carbone Lorraine. Pour réduire l'inductance de ces résistances, on en connecte plusieurs en parallèle. La mesure de tension, faite en parallèle sur la résistance de décharge des capacités parasites, est assurée par une sonde haute tension P6015A Tektronix.

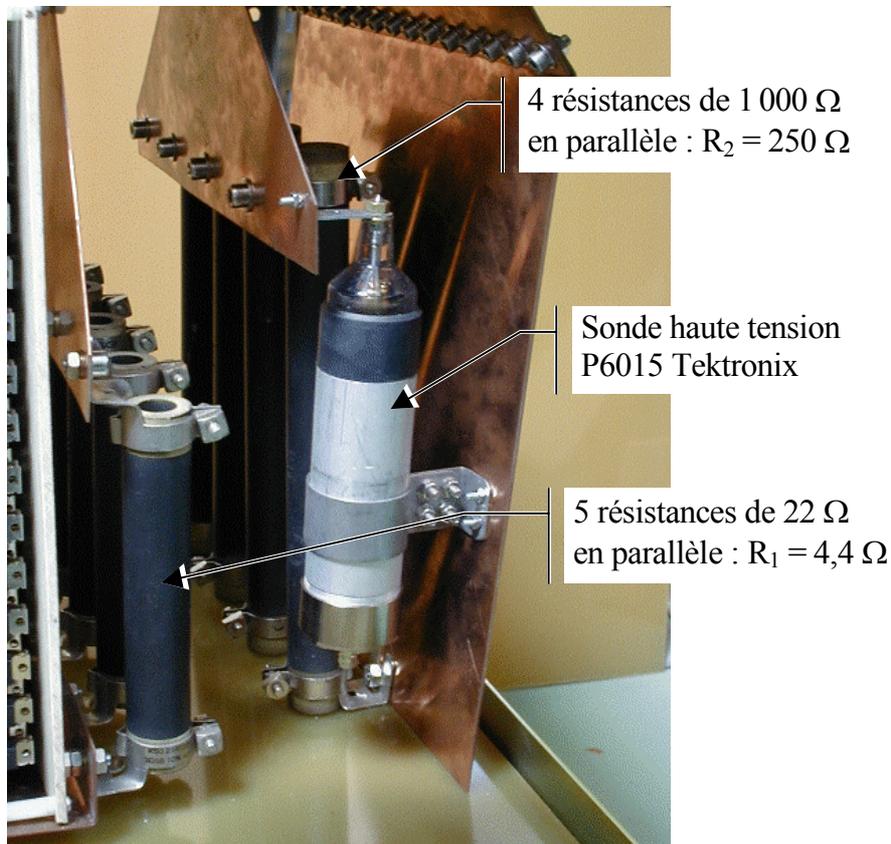
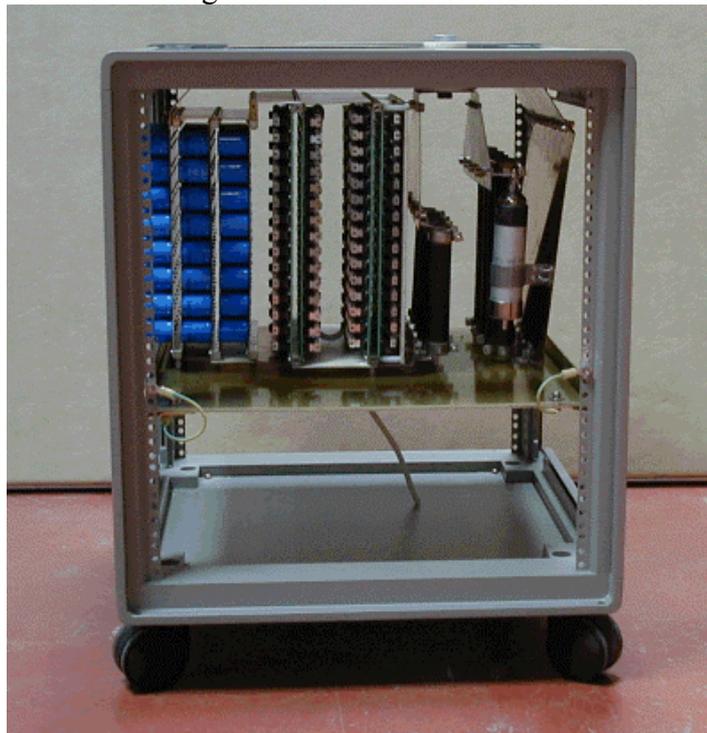


Figure VI.19 : résistances de puissance et mesure de la tension d'écrêtage

Le banc de test assemblé est intégré dans une mini-baie de 70 cm de haut.



*Figure VI.20 : intégration de la partie puissance de la Machine à Avalanche III dans une mini baie*



*Figure VI.21 : Machine à Avalanche III dans sa présentation finale*

