



HAL
open science

Les opportunités académiques de RISC-V Premières rencontres sur l'impact et les opportunités de RISC-V

Christian Fabre

► **To cite this version:**

Christian Fabre (Dir.). Les opportunités académiques de RISC-V Premières rencontres sur l'impact et les opportunités de RISC-V. 2018. cea-01892399v2

HAL Id: cea-01892399

<https://cea.hal.science/cea-01892399v2>

Submitted on 11 Oct 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Les opportunités académiques de RISC-V

Premières rencontres sur l'impact et les opportunités de RISC-V

Parrainées par le CEA DACLE et l'IRT nanoelec
Mercredi 17 octobre 2018 – CEA, Minatec, 3 parvis louis-néel, Grenoble, France

L'initiative RISC-V lancée par l'Université de Californie à Berkeley est un événement majeur : « *RISC-V est un jeu d'instructions libre et ouvert, qui inaugure une nouvelle ère d'innovation pour les processeurs en permettant la collaboration autour de standards ouverts. Issu du monde de l'université et de la recherche, le jeu d'instructions RISC-V renouvelle les possibilités d'innovation en logiciel et en matériel, ouvrant ainsi la voie aux cinquante prochaines années de recherche et d'innovation en architecture des ordinateurs.* »¹

Cette journée rassemblera des chercheurs d'organismes publics et des universitaires intéressés par ce nouvel écosystème afin d'évaluer collectivement son impact et ses opportunités. Les thématiques abordées seront : outils de conception, simulateurs, micro-architectures, accélérateurs, co-processeurs, hiérarchies mémoires, parallélisme, compilation, systèmes d'exploitation, temps-réel, sécurité, sûreté, applications embarquées, calcul basse consommation, calcul haute performance, enseignement, etc.

Afin de laisser le maximum de temps aux échanges, le programme est organisé en sessions plénières rassemblant un petit nombre de courtes contributions suivi d'un temps de discussion collectif. Cette journée débutera par un exposé liminaire sur l'*European Processor Initiative*.

Invitation à participation

Nous vous invitons à participer à ces premières rencontres qui auront lieu mercredi 17 octobre à Grenoble. Ce sera pour vous l'occasion d'échanger avec des chercheurs d'autres domaines académiques impactés par RISC-V.

Le programme de la journée est présenté ci-après. Les supports de présentation seront mis en ligne sur un site d'archives ouvertes. Quelques panneaux de posters sont prévus pour faciliter les discussions en point-à-point sur des thèmes précis. Ils seront attribués aux participants intéressés dans l'ordre des demandes. La liste des participants sera distribuée en séance.

Le mercredi soir, un repas informel sera organisé pour les personnes intéressées.

Inscription

Le nombre de places est limité et les inscriptions seront closes dès que la limite sera atteinte, et au plus tard mercredi 10 octobre. Pour vous inscrire, il vous faut remplir le formulaire disponible à l'adresse suivante :

<https://framaforms.org/premieres-rencontres-sur-les-opportunités-de-risc-v-1536864091>

L'entrée sur le site nécessite l'établissement d'un bon de visite pour lequel des informations personnelles vous seront demandées. À ce titre, il est important que les informations fournies sur le formulaire d'inscription soient en tout point identiques à celles de la pièce d'identité que vous présenterez à votre arrivée à l'accueil du CEA.

En cas de problème durant l'inscription, vous pouvez contacter M. Christian Fabre par mél à l'adresse suivante : christian.fabre1@cea.fr.

1. Traduit de la page de garde de la Fondation RISC-V : <https://riscv.org>

Programme de la journée

Version définitive

9h00	9h45	—	Accueil
9h45 10h00	10h00 10h30	C. Fabre T. Collette	<i>Introduction</i> <i>European Processor Initiative: Consortium to Develop Europe's Microprocessors for Future Supercomputers</i> [1]
Specialised Architectures – Session chair: I. Miro-Panadès			
10h30	10h45	C. Bernier	<i>Design of an Ultra-Low Power Software-Defined-Radio for IoT Using RISC-V</i> [2]
10h45	11h00	T. Peyret	<i>STELLAR - An heterogeneous RISC-V-based multicore platform with dynamic energy-management mechanisms</i> [3]
11h00	11h15	É. Guthmuller	<i>A Scalable Cache Coherent Manycore Architecture Based on RISC-V Processors</i> [4]
11h15	11h30	—	Discussion
11h30	11h45	—	Pause
Safe & Dependable Architectures – Session chair: J. Fournier			
11h45	12h00	S. Boulmé	<i>Introduction à CompCert, compilateur optimisant certifié pour la sûreté</i> [5]
12h00	12h15	N. Hili	<i>Towards a Dependable Multicore RISC-V Processor</i> [6]
12h15	12h30	M. Jan	<i>Towards formal executable models for the detection of temporal anomalies in RISC-V-based programs</i> [7]
12h30	12h45	—	Discussion
12h45	13h45	—	Déjeuner
Revisiting Hardware-Software Co-Development – Session chair: H.-P. Charles			
13h45	14h00	V. Quéma	<i>RISC-V : Some Opportunities for Operating System Developers</i> [8]
14h00	14h15	F. Rastello	<i>Pourquoi le compilateur polyédricien souhaiterait des caches partitionnables (et plus si affinité)?</i> [9]
14h15	14h30	F. de Dinechin	<i>Dark silicon : a computer arithmetic perspective</i> [10]
14h30	14h45	S. Derrien	<i>RISC-V and the research of the PACAP team</i> [11]
14h45	15h05	—	Discussion
15h05	15h20	—	Pause
Simulation, & Software Opportunities – Session chair: F. Pétrot			
15h20	15h35	S. Derrien	<i>Hybrid-DBT: Hardware Software Dynamic Binary Translation from RISC-V to VLIW</i> [12]
15h35	15h50	W. Jalby	<i>Performance Analysis and Optimization Tools for HPC Modern Processors</i> [13]
15h50	16h05	D. Novo	<i>FPGA-accelerated computer architecture simulation to evaluate last-level cache replacement policies</i> [14]
16h05	16h20	H.-P. Charles	<i>Opportunités de coopérations offertes par le RISC-V pour aller des applications au silicium</i> [15]
16h20	16h40	—	Discussion
16h40	16h55	—	Pause
Secure Architectures, & RISC-V in Teaching – Session chair: D. Couroussé			
16h55	17h10	O. Savry	<i>RISC-V: Opportunities for a Secure Processor</i> [16]
17h10	17h25	D. Hély	<i>Tools and Architecture Towards an Inherently Secure Processing Platform for IoT</i> [17]
17h25	17h40	F. Pétrot	<i>Intégration du RISC-V dans les enseignements d'informatique</i> [18]
17h40	17h55	—	Discussion
17h55	18h15	C. Fabre	Bilan et perspectives
20h00	...	—	Repas informel en ville

Détail des contributions

- [1] Thierry COLLETTE. *European Processor Initiative: Consortium to Develop Europe's Microprocessors for Future Supercomputers*. CEA CSO. The European Commission select the Consortium European Processor Initiative (EPI) to co-design, develop and bring on the market a European low-power microprocessor. This technology, with drastically better performance and power, is one of the core elements needed for the development of the European Exascale machine. The EPI gets together 23 partners from 10 European countries, with the aim to bring to the market a low power microprocessor. It gathers experts from the High Performance Computing (HPC) research community, the major supercomputing centres, and the computing and silicon industry as well as the potential scientific and industrial users. Through a co-design approach, it will design and develop the first European HPC Systems on Chip and accelerators. Both elements will be implemented and validated in a prototype system that will become the basis for a full Exascale machine based on European technology.
- [2] Carolyn BERNIER. *Design of an Ultra-Low Power Software-Defined-Radio for IoT Using RISC-V*. CEA DACLE. Faced with the uncertain evolution of wireless standards for IoT (both long-range and short-range), a multi-standard solution is desired to minimize transceiver development cost, enable multi-mode applications and future-proof designs. While a software-defined-radio (SDR) approach offers maximum versatility, developing a programmable architecture that is compatible with the ultra-low power (ULP) consumption required by IoT applications is a major challenge. Until now, only dedicated processor architectures have been shown to reach the required level of performance. In this work, we will discuss a software/hardware co-design methodology for an ULP SDR baseband processor for IoT. Using an open-source 32 bit RISC-V core, standard compilation tools and no assembly-level optimizations, we show that Bluetooth LE frames can be detected with an estimated peak core power consumption of 1.6 mW on a 28 nm FDSOI technology at nominal voltage. Research directions for future experiments with more complex IoT signaling standards will be discussed.
- [3] Thomas PEYRET, Benoît TAIN, Jean-Marc PHILIPPE, Alexandre CARBON, Amir CHARIF, Chiara SANDIONIGI, Gabriel BUSNOT, Tanguy SASSOLAS et Nicolas VENTROUX. *STELLAR - An heterogeneous RISC-V-based multicore platform with dynamic energy-management mechanisms*. CEA DACLE. STELLAR est une architecture de calcul embarquée haute performance visant une forte efficacité énergétique pour faire face aux challenges des applications du futur. Cette architecture est composée de clusters hétérogènes de processeurs RISC-V (BOOM et Rocket), fonctionnant en mode big.LITTLE. Une IP appelée Smart Monitoring Controller (SMC) permet de gérer dynamiquement les paramètres non-fonctionnels de l'architecture (consommation d'énergie, température, vieillissement) en s'appuyant sur des moniteurs matériels et en pilotant aussi bien l'ordonnancement des tâches que les mécanismes dépendant des technologies d'implémentation (zones « Back-Biasing » en FDSOI ou pilotage du couple tension/fréquence). STELLAR offre également des possibilités de spécialisation via des accélérateurs fortement couplés (e.g. unités vectorielles) ou faiblement couplés (e.g. accélérateur CEA PNeuro pour l'intelligence artificielle). Le système STELLAR peut être généré semi-automatiquement via l'utilisation du langage Chisel, de l'outil de génération de NoC de Synopsys et de l'utilisation de scripts Python. Une architecture STELLAR composée de 4 cœurs RISC-V et d'un accélérateur pour la vision a été modélisée grâce à l'environnement de simulation SESAM, prototypée sur une carte FPGA, et simulée sur l'émulateur matérielle ZeBu afin de préparer un circuit intégré. Des synthèses en technologie 28 nm FDSOI de STMicroelectronics confirment l'efficacité d'une implémentation ASIC : 4.5 mm² à une fréquence nominale de 650 MHz pour une consommation de 1.2 W.
- [4] Éric GUTHMULLER et César FUGUET TORTOLERO. *A Scalable Cache Coherent Manycore Architecture Based on RISC-V Processors*. CEA DACLE. CEA Leti is developing a manycore architecture featuring a scalable cache coherent interconnect for embedded high performance computing. This architecture has successfully been taped-out in 28 nm FDSOI technology with MIPS32 cores. CEA Leti now aims at replacing those cores by 64 bit RISC-V cores to improve architecture's performance.
- [5] Sylvain BOULMÉ. *Introduction à CompCert, compilateur optimisant certifié pour la sûreté*. VERIMAG PACSS. CompCert [Leroy et al., 2006-2018] est un compilateur C optimisant, développé et certifié en Coq, utilisé dans l'industrie des systèmes embarqués critiques depuis 2015. Il supporte plusieurs processeurs cibles dont le RISC-V. La preuve Coq garantit que, si le programme source n'a pas de

”undefined behavior” (au sens de la norme C), alors le programme assembleur généré a bien un comportement correct vis-à-vis de la sémantique du C99. En pratique, le code assembleur généré a des performances comparable à celui produit par “gcc -O1”. Je présenterai CompCert dans les grandes lignes et questionnerai son utilisation vis-à-vis des problématiques de sécurité.

- [6] Nicolas HILI. *Towards a Dependable Multicore RISC-V Processor*. IRT Saint-Exupéry. Aerospace and automotive critical embedded systems require high-performance and dependable execution platforms. This presentation shows the work on-going at IRT Saint-Exupery towards this goal, and discusses the opportunities and challenges brought by RISC-V to build modular dependable multicore architectures for such systems. It presents an early prototype of a multicore architecture for time-predictable applications we have developed together with industrial and academic partners and details our research roadmap.
- [7] Mihail ASVOAE, Belgacem Ben HEDIA et Mathieu JAN. *Towards formal executable models for the detection of temporal anomalies in RISC-V-based programs*. CEA DACLE. A timing anomaly is a counterintuitive timing behavior in the sense that a local fast execution slows down an overall global execution. The presence of such behaviors is inconvenient for the Worst-Case Execution Time (WCET) analysis which requires, via abstractions, a certain monotony property to compute safe bounds. In this talk we report on an on-going work to systematically execute a formal definition of timing anomalies towards their automatic identification in programs based on the RISC-V ISA.
- [8] Renaud LACHAIZE et Vivien QUÉMA. *RISC-V : Some Opportunities for Operating System Developers*. LIG ERODS. Dans cet exposé, nous présenterons brièvement quelques travaux de recherche récents sur l’optimisation de performances dans le domaine des système d’exploitation pour architectures multi-coeurs. En particulier, nous nous focaliserons sur la gestion mémoire, l’ordonnancement de tâches et les outils d’analyse de performance. Nous présenterons ensuite les opportunités offertes, selon nous, par l’architecture RISC-V pour résoudre certains problèmes sur lesquels buttent les chercheurs système aujourd’hui.
- [9] Fabrice RASTELLO. *Pourquoi le compilateur polyédricien souhaiterait des caches partitionnables (et plus si affinité)?* INRIA CORSE. La technique de pavage comme transformation de boucles est bien connue comme moyen d’exposer la localité à la fois spatiale et temporelle et ainsi réutiliser les données tant qu’elles sont encore là, réduire le volume d’IO, regrouper les communications, ... En d’autres termes augmenter la performance, réduire la consommation, en améliorant l’intensité opérationnelle. La question usuelle est : quelle est la bonne taille de tuiles? Si trop petite le taux de réutilisation est insuffisant pour réduire le débit au dessous de la bande passante disponible; si trop grande la distance de réutilisation excède la capacité du cache... La réalité est encore plus complexe car elle doit compter avec la stratégie de réutilisation, le déséquilibre d’utilisation des différentes structures de données qui se partagent le cache, le hachage du dernier niveau de cache, le partage entre tâches, etc. . . Cela dit, de nombreuses applications sont prédictibles, avec des accès réguliers. Le modèle polyédrique est un formalisme algébrique qui permet de raisonner avec de telles applications. Il est connu pour permettre d’automatiser les transformations de boucle les plus complexes mais surtout, dans le contexte de cet exposé, dénombrer des instances/volumes. En d’autres termes, le compilateur est capable d’évaluer l’empreinte mémoire d’un programme « régulier » (affine), de prédire un volume de communication, de dériver l’intensité opérationnelle d’un noyau de calcul, etc. . . Mais ce, seulement si le modèle de cache est suffisamment simple. Le compilateur a donc besoin d’une architecture simple et prédictible permettant d’isoler un flux de données particulier d’autres flux. Il voudrait pouvoir privatiser certaines ressources : unités arithmétiques, cache, bus. . . De fait, le partage de ressources c’est souvent bien, mais le partitionnement cela peut être encore mieux, car il permet le dimensionnement. Le raisonnement part d’une observation de compilateur polyédricien : en l’absence de conflits et quand les accès sont réguliers, estimer la quantité de ressources nécessaire, on sait faire! Finie l’anarchie où le compilateur évalue les capacités de l’architecture pour utiliser ses ressources au mieux et où cette dernière gère comme elle peut les requêtes en cherchant à prévoir les charges qui vont lui être attribuées! Fini le gaspillage : si on peut évaluer le besoin, alors on peut n’utiliser que le strict nécessaire. Ainsi, on utilise souvent beaucoup plus de cache que ce dont on a besoin. Le compilateur (polyédricien — ca ressemble à polytechnicien mais ca a beaucoup moins la grosse tête) peut décider de la quantité de cache strictement nécessaire à allouer à tel flux de données. Il faudrait être capable de partitionner le cache pour isoler les flux et éteindre les parties non utilisées. Pourrait-on faire de même sur les bus; les réseaux sur puce; les ports d’entrées aux

unités fonctionnelles. . . ? Le RISC-V peut il aider à développer/promouvoir de telles architectures ? Je n'en ai aucune idée. La question est posée.

- [10] Florent de DINECHIN. *Dark silicon : a computer arithmetic perspective*. INSA Lyon. The arithmetic offered by a processor shows which metrics are important at a given time of the computer history. For instance, the architectures currently being deployed for division are the exact opposite of what was the trend in 2000, and the reason is the recent dark silicon constraint. Beyond division, dark silicon should lead us to reassess the following question : which arithmetic makes sense in a processor ?
- [11] Steven DERRIEN, Erven ROHOU, André SEZNEC et Sylvain COLLANGE. *RISC-V and the research of the PACAP team*. INRIA PACAP. PACAP s'intéresse à la performance des systèmes informatiques. Nous souhaitons proposer des techniques qui augmentent ces performances, que ce soit la latence, le débit, voire l'efficacité énergétique. Nous travaillons aussi à garantir les performances à travers la conception de méthodes calcul de pire temps d'exécution pour les systèmes temps-réel. Enfin nous analysons l'adéquation d'une application à une architecture évaluons la performance résultante. Cette présentation a pour vocation de présenter les activités courantes et futures à court terme des différents axes de PACAP autour de RISC-V, ainsi que le positionnement de l'équipe par rapport à ce sujet.
- [12] Olivier SENTIEYS, Steven DERRIEN et Simon ROKICKI. *Hybrid-DBT: Hardware Software Dynamic Binary Translation from RISC-V to VLIW*. INRIA CAIRN. Hybrid-DBT is a hardware/software DBT framework capable of translating RISC-V binaries into VLIW binaries. Since the DBT overhead has to be as small as possible, our implementation takes advantage of hardware acceleration for performance critical stages (binary translation, dependency analysis and instruction scheduling) of the flow. Thanks to hardware acceleration, our implementation is two orders of magnitude faster than a pure software implementation and enable an overall performance improvements by 23 % on average, compared to a native RISC-V execution. Comet is a RISC-V pipelined processor with data/instruction caches, fully developed using High-Level Synthesis. The behaviour of the core is defined in a small C code which is then feeded into a HLS tool to generate the RTL representation. Thanks to this design flow, the C description can be used as a fast and cycle-accurate simulator, which behaves exactly like the final hardware. Moreover, modifications on the core can be done easily at the C level.
- [13] William JALBY. *Performance Analysis and Optimization Tools for HPC Modern Processors*. ECR UVSQ. In the race for ever increasing performance, the recent generations of high performance cores for HPC rely more and more on large degree of ILP (always longer vectors, more and more FU, wider datapaths, . . .) and complex memory hierarchies. As a direct consequence, the stress on the quality of the code generated is also increasing. In practice, this requires to assess "code" quality and suggest workarounds. In this presentation we will review the main techniques for analyzing performance and optimizing code for modern HPC cores and how to extend them to a new Instruction Set.
- [14] David Novo. *FPGA-accelerated computer architecture simulation to evaluate last-level cache replacement policies*. CNRS LIRMM. In this talk, I present preliminary results on leveraging FPGA acceleration to produce a computer architecture simulator tailored for the exploration of Last-Level Cache (LLC) replacement policies. In our prototype, not all the target computer architecture is implemented as FPGA hardware. Instead, the simulator executes carefully selected parts of the functionality, such as the LLC controller, in programmable soft-processors able to provide selective flexibility. Thereby, architects can programmatically modify the simulator (e.g., cache replacement policies) and take advantage of the FPGA acceleration while avoiding the burden of dealing with hardware altogether. Our prototype builds on the Berkeley Rocket Chip, which is a parameterized SoC generator written in Chisel and the MIDAS simulation framework. Rocket Chip generates general-purpose in-order and out-of-order RISC-V processor cores. Complementary, MIDAS automatically produces an FPGA-accelerated simulator from a Chisel-based RTL design.
- [15] Henri-Pierre CHARLES, Christian FABRE, Anca MOLNOS et Damien COUROUSSÉ. *Opportunités de coopérations offertes par le RISC-V pour aller des applications au silicium*. CEA DACLE. Le LIALP travaille sur des applications proches du silicium. Nous présenterons trois exemples de travaux actuels dans les domaines de la sécurité, du calcul adéquat et de la précision variable. Pour chacun de ces domaines nous verrons quels sont les impacts potentiels du jeu d'instruction RISC-V sur le liens entre les activités de recherche de la micro architecture jusqu'aux applications. Ces liens pourraient être

découplés grâce à l'ouverture du jeu d'instruction qui permettra des transferts fructueux entre les aspects applicatifs (logiciels, compilation, run-time) et la micro-architecture (hiérarchie mémoire, unités fonctionnelles, compartimentation, pipe-lines). Le jeu d'instruction n'étant plus une barrière infranchissable entre ces domaines.

- [16] Olivier SAVRY, Simone BACLES-MIN, Romain LEMAIRE, Damien COUROUSSE et Anca MOLNOS. *RISC-V: Opportunities for a Secure Processor*. CEA DSYS, CEA DACLE. Face aux toujours plus nombreuses vulnérabilités des processeurs dont Spectre et Meltdown ne sont qu'un reflet, l'architecture des CPU doit être repensée avec une volonté forte de sécurité. Seule un jeu d'instruction et une plateforme ouverts comme RISC-V permettent d'expérimenter et de valider de nouvelles solutions de contremesures. Nous vous montrerons alors par des exemples de réalisations qu'un co-design software/hardware permet d'assurer une exécution confidentielle, authentique et intègre.
- [17] David HÉLY et Cyril BRESCH. *Tools and Architecture Towards an Inherently Secure Processing Platform for IoT*. INPG LCIS. Open Instruction set architectures such as RISC-V offer the opportunity to develop new processing unit considering security aspects from scratch providing inherent security against basic software and hardware threats. We propose dedicated open tools and use case in order to evaluate and to explore new inherently secure architectures based on RISC-V.
- [18] Frédéric PÉTROU, Frédéric ROUSSEAU et Liliana ANDRADE. *Intégration du RISC-V dans les enseignements d'informatique*. INPG TIMA. L'émergence de l'écosystème RISC-V est une opportunité pour relier un certain nombre d'enseignements fondamentaux touchant de près ou de loin l'architecture des machines : architecture, évidemment, programmation assembleur, mais aussi programmation des micro-contrôleurs, système d'exploitation, compilation, etc. Cette présentation fera le point sur les leviers permettant de promouvoir l'utilisation du RISC-V dans les enseignements.

Remerciements

Ces premières rencontres sont parrainées par le Département architecture, conception et logiciel embarqué (DACLE) de la DRT² du CEA, et l'IRT Nanoelec³.

Le comité d'organisation de ces premières rencontres est composé des personnes suivantes :

Henri-Pierre Charles, LIST/DACLE, henri-pierre.charles@cea.fr

Damien Couroussé, LIST/DACLE, damien.courousse@cea.fr

Christian Fabre, LETI/DACLE, christian.fabre1@cea.fr

Julie Foucault, LETI/DACLE, julie.foucault@cea.fr

Thomas Hiscock, LETI/DSYS, thomas.hiscock@cea.fr

Mathieu Jan, LIST/DACLE, mathieu.jan@cea.fr

Romain Lemaire, LETI/DACLE, romain.lemaire@cea.fr

Anca Molnos, LETI/DACLE, anca.molnos@cea.fr

Jean-Marc Philippe, LIST/DACLE, jean-marc.philippe@cea.fr

Olivier Savry, LETI/DSYS, olivier.savry@cea.fr

Tiago Trevisan Jost, LETI/DACLE, tiago.trevisanjost@cea.fr

2. <http://www.drt-cea.com>

3. <http://www.irtnanoelec.fr>